



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/26 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월16일 10-0669704 2007년01월10일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0004992 2004년01월27일 2004년08월27일	(65) 공개번호 (43) 공개일자	10-2005-0077373 2005년08월02일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 권정현
 경기도용인시기흥읍서천리SK아파트101동804호

 김창수
 경기도수원시팔달구영통동963-2진흥아파트552동1004호

(74) 대리인 리앤목특허법인
 이해영

심사관 : 손희수

전체 청구항 수 : 총 9 항

(54) 유기 전계 발광 표시장치

(57) 요약

본 발명은 유기 전계 발광 표시장치에 관한 것으로서, 제 1 기판 상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 채널 영역에 대응되는 영역에 형성된 게이트 전극과, 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접하도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 적어도 하나의 박막 트랜지스터; 상기 소스 및 드레인 전극 중 일측에 전기적으로 접속된 언더버프 금속층; 및 제 2 기판 상에 형성된 것으로, 상기 소스 및 드레인 전극 중 일측에 구동 전류를 공급하는 전원 라인 패드와, 상기 전원 라인 패드에 전기적으로 접속된 버프 전극을 포함하고, 상기 버프 전극은 상기 언더버프 금속층과 결합되는 것을 특징으로 한다.

대표도

도 5

특허청구의 범위

청구항 1.

제 1 기판 상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 채널 영역에 대응되는 영역에 형성된 게이트 전극과, 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접하도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 적어도 하나의 박막 트랜지스터;

상기 소스 및 드레인 전극 중 일측에 전기적으로 접속된 언더범프 금속층; 및

제 2 기판 상에 형성된 것으로, 상기 소스 및 드레인 전극 중 일측에 구동 전류를 공급하는 전원 라인 패드와, 상기 전원 라인 패드에 전기적으로 접속된 범프 전극을 포함하고,

상기 범프 전극은 상기 언더범프 금속층과 결합되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 2.

제 1 항에 있어서,

상기 박막 트랜지스터를 덮은 절연막;

상기 절연막을 덮도록 형성되고, 상기 소스 및 드레인 전극 중 타측에 전기적으로 연결된 제 1 전극층;

상기 제 1 전극층에 절연되도록 형성된 제 2 전극층; 및

상기 제 1 전극층과 제 2 전극층의 사이에 개재되고, 적어도 발광층을 가지는 유기층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 3.

제 1 항에 있어서,

상기 범프 전극은 인듐, 납 또는 이들의 합금을 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 4.

제 1 항에 있어서,

상기 유기 전계 발광 표시장치는 복수개의 부화소를 갖고, 상기 각 부화소에는 적어도 하나의 박막 트랜지스터가 구비되며, 상기 범프 전극은 상기 박막 트랜지스터의 상기 소스 및 드레인 전극 중 일측에 전기적으로 접속된 언더범프 금속층에 결합되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 5.

제 1 항에 있어서,

상기 제 2 기판의 에지 주위에 형성되는 상기 범프 전극 및 전원 라인 패드는 상기 제 2 기판의 에지 주위를 끊임없이 둘러싸도록 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 6.

제 5 항에 있어서,

상기 제 2 기관의 에지 주위에 형성되는 상기 범프 전극은 상기 범프 전극의 일단측과 타단측이 서로 밀봉되도록 상기 제 1 기관측과 결합하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 7.

제 1 항에 있어서,

상기 언더범프 금속층은 투명 전극으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 8.

제 7 항에 있어서,

상기 언더범프 금속층은 ITO, IZO, ZnO, 또는 In_2O_3 으로 이루어지는 그룹에서 선택되는 어느 하나를 포함하여 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 9.

제 7 항 또는 제 8 항에 있어서,

상기 제 1 전극층은 상기 언더범프 금속층과 동일한 재료로 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시장치에 관한 것으로, 더 상세하게는 발광 휘도의 균일도가 개선되는 동시에 상부기관과 하부기관과의 봉지성이 개선된 유기 전계 발광 표시장치에 관한 것이다.

통상적으로 전계 발광 표시장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광형 디스플레이로 낮은 전압에서 구동이 가능하고, 박형화가 용이하며 광시야각, 빠른 응답속도 등 액정표지 장치에 있어서 문제점으로 지적된 결점을 해결할 수 있는 차세대 디스플레이로 주목받고 있다. 이러한 전계 발광 표시장치는 발광층을 형성하는 물질이 무기물인가 유기물인가에 따라 무기 전계 발광 표시장치와 유기 전계 발광 표시장치로 구분될 수 있다.

한편, 유기 전계 발광 표시장치는 유리나 그밖의 투명한 절연기관에 소정 패턴의 유기막이 형성되고 이 유기막의 상하부에는 전극층들이 형성된다. 유기막은 유기 화합물로 이루어진다. 상기와 같이 구성된 유기 전계 발광 표시장치는 전극들에 양극 및 음극 전압이 인가됨에 따라 양극전압이 인가된 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 음극전압이 인가된 전극으로부터 전자 수송층을 경유하여 발광층으로 주입된다. 이 발광층에서 전자와 홀이 재결합하여 여기자(exciton)를 생성하고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상이 형성된다.

이러한 유기 전계 발광 표시장치 중 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형 유기 전계 발광 표시장치는 각 화소당 적어도 2개의 박막 트랜지스터(이하, "TFT"라 함)를 구비한다. 이들 박막 트랜지스터는 각 화소의 동작을 제어

하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다. 이러한 박막 트랜지스터는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는 반도체 활성층을 가지며, 이 반도체 활성층 상에 형성된 게이트 절연막, 및 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극, 게이트 전극 상에서 층간절연막을 사이에 두고 드레인 영역과 소스 영역과 콘택홀을 통해 접속된 드레인 전극 및 소스 전극 등으로 구성된다.

도 1은 액티브 매트릭스형(Active Matrix) 유기 전계 발광 표시장치의 화소부를 도시한 평면도이고, 도 2는 그 I-I에 대한 단면도이다.

먼저, 도 1에 나타난 바와 같이, 유기 전계 발광 표시장치는 복수개의 부화소를 갖는다. 단일의 부화소는 스캔 라인(Scan), 데이터 라인(Data) 및 전원 라인(Vdd)으로 둘러싸여 있으며, 각 부화소는 가장 간단하게는 스위칭용인 스위칭 TFT(TFTsw)와, 구동용인 구동 TFT(TFTdr)의 적어도 2개의 박막 트랜지스터와, 하나의 커패시터(Cst) 및 하나의 유기 전계 발광 소자(OLED)로 이루어질 수 있다. 상기과 같은 박막 트랜지스터 및 커패시터의 개수는 반드시 이에 한정되는 것은 아니며, 이보다 더 많은 수의 박막 트랜지스터 및 커패시터를 구비할 수 있음은 물론이다.

상기 스위칭 TFT(TFTsw)는 스캔 라인(Scan)에 인가되는 스캐닝 신호에 구동되어 데이터 라인(Data)에 인가되는 데이터 신호를 전달하는 역할을 한다. 상기 구동 TFT(TFTdr)는 상기 스위칭 TFT(TFTsw)를 통해 전달되는 데이터 신호에 따라서, 즉, 게이트와 소오스 간의 전압차(Vgs)에 의해서 전원 라인(Vdd)을 통해 유기 전계 발광 소자(OLED)로 유입되는 전류량을 결정한다. 상기 커패시터(Cst)는 상기 스위칭 TFT(TFTsw)를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 한다.

도 2는 이러한 액티브 매트릭스형 유기 전계 발광 표시장치의 단면도를 도시한 것으로, 도 2에서 볼 수 있는 바와 같이, 글라스재의 제 1 기판(10)상에 버퍼층(11)이 형성되어 있고, 이 위에 박막 트랜지스터(TFT)와, 유기 전계 발광 소자(OLED)가 형성된다.

이러한 액티브 매트릭스형 유기 전계 발광 표시장치는 일반적으로 다음과 같이 형성된다.

먼저, 기판(10)의 버퍼층(11)상에 소정 패턴의 반도체 활성층(21)이 구비된다. 반도체 활성층(21)의 상부에는 SiO₂ 등에 의해 게이트 절연막(12)이 구비되고, 게이트 절연막(12) 상부의 소정 영역에는 MoW, Al/Cu 등의 도전막으로 게이트 전극(22)이 형성된다. 상기 게이트 전극(22)은 TFT 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 상기 게이트 전극(22)의 상부로는 층간 절연막(inter-insulator:13)가 형성되고, 콘택 홀을 통해 소스/드레인 전극(23)이 각각 반도체 활성층(21)의 소스 영역 및 드레인 영역에 접하도록 형성된다. 소스/드레인 전극(23) 상부로는 SiO₂, SiNx 등으로 이루어진 패시베이션막(14)이 형성되고, 이 패시베이션 막(14)의 상부에는 아크릴, 폴리 이미드, BCB 등의 유기물질로 평탄화막(15)이 형성되어 있다.

패시베이션 막(14) 및 평탄화막(15)에는 포토리소그래피 또는 천공에 의해 소스/드레인 전극(23)에 이어지는 비아홀(14a,15a)이 형성된다. 그리고, 이 평탄화막(15)의 상부에 애노드 전극이 되는 제 1 전극층(31)이 형성됨으로써, 제 1 전극층(31)은 소스/드레인 전극(23)에 전기적으로 접속된다. 그리고, 제 1 전극층(31)을 덮도록 유기물로 화소정의막(Pixel Define Layer: 16)이 형성된다. 이 화소정의막(16)에 소정의 개구(16a)를 형성한 후, 이 개구(16a)로 한정된 영역 내에 유기층(32)을 형성한다. 유기층(32)은 발광층을 포함한 것이 된다. 그리고, 이 유기층(32)을 덮도록 캐소드 전극인 제 2 전극층(33)이 형성된다. 상기 유기층(32)은 제 1 전극층(31)과 제 2 전극층(33)의 서로 대향되는 부분에서 정공 및 전자의 주입을 받아 발광된다.

한편, 글래스재의 제 2 기판(35)에는 수지계열의 접착제(36)가 도포된다. 이러한 수지계열의 접착제(36)는 제 1 기판(10)측과 제 2 기판(35)을 자외선 경화 또는 열경화에 의해 밀봉하는 역할을 한다.

그런데, 소스/드레인 전극(23)에 전류를 유입하는 역할을 하는 전원 라인(Vdd)은 소스/드레인 전극(23)을 형성할 때 그 측면에 동시에 형성되어 접속된다. 그러나, 전원 라인(Vdd)의 배선은 기판의 측면에서 제공되는 이유로 인하여, 박막구조에 있어서 그 단면적이 작음으로 인하여 배선 저항이 크게 된다. 이에 따라, RC 지연으로 인하여 구동 TFT에 공급되는 전류량이 불규칙하게 되고, 결국 유기 전계 발광소자(OLED)의 휘도 불균일이 발생하는 문제점이 발생한다.

또한, 제 1 기관(10)측과 제 2 기관(35)을 밀봉하는 역할을 하는 수지계열의 접착제(36)는 봉지 불량이 빈번하게 발생할 뿐 아니라, 제 1 기관과 제 2 기관 사이의 눌림에 따라 파괴되는 경우가 있는데, 봉지 불량시에 유기 전계 발광 소자(OLED)의 유기층(32)에 수분이 침투하게 되면 유기층(32)이 열화해버리는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 유기 전계 발광 표시 장치의 전원 라인의 단면적을 증가시킬 수 있는 구조를 제공함으로써, 유기 전계 발광소자의 발광 휘도의 균일도를 향상시킨 유기 전계 발광 표시 장치를 제공하는데 목적이 있다.

본 발명의 다른 목적은, 유기 전계 발광 표시 장치의 유기층을 수분 침투로부터 보호할 수 있도록, 상부기관과 하부기관과의 봉지성이 개선된 유기 전계 발광 표시장치를 제공하는 데 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은,

제 1 기관 상에 형성된 것으로, 반도체 활성층과, 상기 반도체 활성층의 채널 영역에 대응되는 영역에 형성된 게이트 전극과, 상기 반도체 활성층의 소스 및 드레인 영역에 각각 접하도록 도전성 소재로 구비된 소스 및 드레인 전극을 구비한 적어도 하나의 박막 트랜지스터;

상기 소스 및 드레인 전극 중 일측에 전기적으로 접속된 언더범프 금속층; 및

제 2 기관 상에 형성된 것으로, 상기 소스 및 드레인 전극 중 일측에 구동 전류를 공급하는 전원 라인 패드와, 상기 전원 라인 패드에 전기적으로 접속된 범프 전극을 포함하고,

상기 범프 전극은 상기 언더범프 금속층과 결합되는 것을 특징으로 하는 유기 전계 발광 표시장치를 제공한다.

그리고, 본 발명에 따른 유기 전계 발광 표시장치는 상기 박막 트랜지스터를 덮은 절연막; 상기 절연막을 덮도록 형성되고, 상기 소스 및 드레인 전극 중 타측에 전기적으로 연결된 제 1 전극층; 상기 제 1 전극층에 절연되도록 형성된 제 2 전극층; 및 상기 제 1 전극층과 제 2 전극층의 사이에 개재되고, 적어도 발광층을 가지는 유기층을 더 포함한다.

본 발명의 다른 특징에 의하면, 상기 범프 전극은 인듐, 납 또는 이들의 합금을 포함할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 유기 전계 발광 표시장치는 복수개의 부화소를 갖고, 상기 각 부화소에는 적어도 하나의 박막 트랜지스터가 구비되며, 상기 범프 전극은 상기 박막 트랜지스터의 상기 소스 및 드레인 전극 중 일측에 전기적으로 접속된 언더범프 금속층에 결합될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 2 기관의 에지 주위에 형성되는 상기 범프 전극 및 전원 라인 패드는 상기 제 2 기관의 에지 주위를 끊임없이 둘러싸도록 형성될 수 있다. 이때, 상기 제 2 기관의 에지 주위에 형성되는 상기 범프 전극은 상기 범프 전극의 일단측과 타단측이 서로 밀봉되도록 상기 제 1 기관측과 결합할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 언더범프 금속층은 투명 전극으로 구비될 수 있으며, 예를 들어, 상기 언더범프 금속층은 ITO, IZO, ZnO, 또는 In_2O_3 으로 이루어지는 그룹에서 선택되는 어느 하나를 포함하여 형성될 수 있다.

이때, 상기 제 1 전극층은 상기 언더범프 금속층과 동일한 재료로 형성될 수 있다. 이 경우, 제 1 전극층과 언더범프 금속층을 동일한 공정에서 동일한 마스크를 사용하여 형성할 수 있으므로, 제조 공정의 간소화될 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

도 3은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형(Active Matrix) 유기 전계 발광 표시장치의 화소부의 평면도이다. 도 3은 도 1에 비교하여, 언더버프 금속층(71)이 존재하는 점과 버프 전극(72-1, 72-2)가 존재한다는 점이 상이하다. 전원 라인 패드(73)는 외부 입력 전원으로부터 언더버프 금속층(71)에 전원을 공급해주는 역할을 하는 동시에, 후술하는 버프 전극(72, 72-1, 72-3)이 실장되는 역할을 하는 패드이다.

언더버프 금속층(71)은, 상기 전원 라인 패드(73)로부터 입력받은 전원 전압 또는 전류를 박막 트랜지스터에 공급하는 전원 라인(VDD)으로 작용한다. 도 3에서, 언더버프 금속층(71)은 전원 라인 패드(73)에 이르기까지 길게 형성되어 있는 모습을 보여주고 있으나, 유기 전계 발광 소자(OLED)의 형상에 따라 그 길이가 달라질 수 있으며, 반드시 도 3과 같이 길게 형성될 필요는 없다.

도 4은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치의 화소부의 단면도로서, 도 3의 II - II를 나타낸 단면도이다.

먼저, 도 1에 나타난 바와 같이, 본 발명의 바람직한 일 실시예에 따른 유기 전계 발광 표시장치는 복수개의 부화소를 갖는다. 단일의 부화소는 스캔 라인(Scan), 데이터 라인(Data) 및 전원 라인(Vdd)으로 둘러싸여 있으며, 각 부화소는 스위칭용인 스위칭 TFT(TFTsw)와, 구동용인 구동 TFT(TFTdr)의 적어도 2개의 박막 트랜지스터와, 하나의 커패시터(Cst) 및 하나의 유기 전계 발광 소자(OLED)로 이루어질 수 있다. 상기와 같은 박막 트랜지스터 및 커패시터의 개수는 반드시 이에 한정되는 것은 아니며, 이보다 더 많은 수의 박막 트랜지스터 및 커패시터를 구비할 수 있음은 물론이다.

상기 스위칭 TFT(TFTsw)는 스캔 라인(Scan)에 인가되는 스캐닝 신호에 구동되어 데이터 라인(Data)에 인가되는 데이터 신호를 전달하는 역할을 한다. 상기 구동 TFT(TFTdr)는 상기 스위칭 TFT(TFTsw)를 통해 전달되는 데이터 신호에 따라서, 즉, 게이트와 소오스 간의 전압차(Vgs)에 의해서 전원 라인 패드(73)를 통해 유기 전계 발광 소자(OLED)로 유입되는 전류량을 결정한다. 상기 커패시터(Cst)는 상기 스위칭 TFT(TFTsw)를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 한다.

그 단면 구조는 도 4에서 볼 수 있는 바와 같은데, 글라스재의 절연기판(40)상에 SiO₂ 등으로 버퍼층(41)이 형성되어 있고, 이 버퍼층(41) 상부로 도 1에서 볼 수 있는 바와 같은 스위칭 TFT(TFTsw), 구동 TFT(TFTdr), 커패시터(Cst) 및 유기 전계 발광 소자(OLED)가 구비된다. 이하에서 TFT에 대해서는 구동 TFT를 설명하나, 스위칭 TFT도 동일한 구조를 가짐은 물론이다. 기판(40)은 투명한 글라스재가 채용될 수 있는 데, 반드시 이에 한정되는 것은 아니고, 플라스틱재가 사용될 수도 있다. 글라스(Glass)재의 기판(40)을 사용할 경우에는 이 기판(40) 상에 버퍼층(41)을 형성하여 불순원소의 침투를 막고, 표면을 평탄하게 한다. 버퍼층(41)은 SiO₂로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있으며, 대략 3000Å 정도로 증착 가능하다.

도 4에서 볼 수 있는 바와 같이, 구동 TFT(TFTdr)는 버퍼층(41) 상에 형성된 반도체 활성층(51)과, 이 반도체 활성층(51)의 상부에 형성된 게이트 절연막(42)과, 게이트 절연막(42) 상부의 게이트 전극(52)을 갖는다. 그리고, 상기 반도체 활성층(51)과 콘택 홀을 통해 접하는 소스/드레인 전극(53)을 갖는다.

상기 반도체 활성층(51)은 무기반도체 또는 유기반도체로 형성될 수 있는데, 대략 500Å 정도로 형성될 수 있다. 반도체 활성층(51)을 무기반도체 중 폴리 실리콘으로 형성할 경우에는 비정질 실리콘을 형성한 후, 각종 결정화방법에 의해 다결정화할 수 있다. 이 활성층은 N형 또는 P형 불순물이 고농도로 도핑된 소스 및 드레인 영역을 가지며, 그 사이로 채널 영역을 갖는다.

무기반도체는 CdS, GaS, ZnS, CdSe, CaSe, ZnSe, CdTe, SiC, 및 a-Si(amorphous silicon)이나 poly-Si(poly silicon)과 같은 실리콘재를 포함하는 것일 수 있다.

그리고, 상기 유기반도체는 밴드갭이 1eV 내지 4eV인 반도체성 유기물질로 구비될 수 있는데, 고분자로서, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헥테로고리방향족 공중합체 및 그 유도체를 포함할 수 있고, 저분자로서, 펜타센, 테트라센, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-6-티오펜, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 또는 파이로멜리틱 디이미드 및 이들의 유도체, 퍼릴렌테트라카르복시산 디안하이드라이드 또는 퍼릴렌테트라카르복실릭 디이미드 및 이들의 유도체를 포함할 수 있다.

상기 반도체 활성층(51)의 상부에는 SiO_2 등에 의해 게이트 절연막(42)이 구비되고, 게이트 절연막(42) 상부의 소정 영역에는 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 게이트 전극(52)이 형성된다. 상기 게이트 전극(52)을 형성하는 물질에는 반드시 이에 한정되지 않으며, 도전성 폴리머 등 다양한 도전성 물질이 게이트 전극(52)으로 사용될 수 있다. 상기 게이트 전극(52)이 형성되는 영역은 반도체 활성층(51)의 채널 영역에 대응된다.

상기 게이트 전극(52)의 상부로는 SiO_2 및/또는 SiN_x 등으로 층간 절연막(inter-insulator: 43)이 형성되고, 이 층간 절연막(43)과 게이트 절연막(42)에 콘택 홀이 천공되어진 상태에서 소스 및 드레인 전극(53)이 상기 층간 절연막(43)의 상부에 형성되어진다. 상기 소스/드레인 전극(53)은 MoW, Al, Cr, Al/Cu 등의 도전성 금속막이나 도전성 폴리머 등이 사용될 수 있다.

이상 설명한 바와 같은 박막 트랜지스터의 구조는 반드시 이에 한정되는 것은 아니고, 종래의 일반적인 박막 트랜지스터의 구조가 모두 그대로 채용될 수 있음은 물론이다.

상기 소스/드레인 전극(53) 상부로는 SiN_x 등으로 이루어진 패시베이션막(44)이 형성되고, 이 패시베이션막(44)에 포토리소그래피 공정 또는 기타 천공작업에 의해 제 1 비아홀(44a) 및 제 1 패드홀(44b)을 형성한다.

그리고, 이 패시베이션 막(44)의 상부에는 아크릴, BCB, 폴리 이미드 등에 의한 평탄화막(45)을 형성한다.

이 평탄화막(45)에 포토리소그래피 공정 또는 기타 천공작업에 의해, 상기 패시베이션막(44)의 제 1 비아홀(44a)과 연통되도록 제 2 비아홀(45a)을 형성하고, 제 1 패드홀(44b)과 연통되도록 제 2 패드홀(45b)을 형성한다. 그리고, 평탄화막(45) 상부에 유기 전계 발광 소자(OLED)의 제 1 전극층(61)을 형성해, 이 제 1 전극층(61)이 제 1 및 제 2 비아홀(44a)(45a)을 통해 상기 소스/드레인 전극(53) 중 타측에 연결되도록 한다.

이때, 평탄화막(45)의 상부로 언더범프 금속층(71)을 형성해, 이 언더범프 금속층(71)이 제 1 및 제 2 패드홀(44b)(45b)을 통해 상기 소스/드레인 전극(53) 중 일측에 연결되도록 한다. 이 공정에서, 제 1 전극층(61)과 언더범프 금속층(71)의 재료를 동일한 것으로 형성할 경우에는, 제 1 전극층(61)과 언더범프 금속층(71)이 동시에 형성될 수 있어, 제조 공정이 간소화될 수 있다.

상기 제 1 전극층(61) 및 언더범프 금속층(71)의 상부로는 아크릴, BCB, 폴리 이미드 등에 의해 화소정의막(46)이 형성된다.

그리고, 화소정의막(46)에 화소정의용 개구부(46a) 및 전원 공급용 개구부(46b)를 형성한다. 그 후, 화소정의용 개구부(46a) 상에 유기 전계 발광 소자(OLED)의 유기층(62)과 제 2 전극층(63)을 형성한다.

상기 유기 전계 발광 소자(OLED)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, TFT의 소스/드레인 전극(53)에 연결되어 이로부터 플러스 전원을 공급받는 제 1 전극층(61)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 제 2 전극층(63), 및 이들 제 1 전극층(61)과 제 2 전극층(63)의 사이에 배치되어 발광하는 유기층(62)으로 구성된다.

상기 제 1 전극층(61)과 제 2 전극층(63)은 상기 유기층(62)에 의해 서로 소정간격 이격되어 있으며, 유기층(62)에 서로 다른 극성의 전압을 가해 유기층(62)에서 발광이 이뤄지도록 한다.

상기 유기층(62)은 저분자 또는 고분자 유기층이 사용될 수 있는 데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc : copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기층은 진공증착의 방법으로 형성된다.

고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

상기 제 1 전극층(61)은 애노드 전극의 기능을 하고, 상기 제 2 전극층(63)은 캐소드 전극의 기능을 하는 데, 물론, 이들 제 1 전극층(61)과 제 2 전극층(63)의 극성은 반대로 되어도 무방하다. 이하에서는 상기 제 1 전극층(61)이 애노드 전극인 실시예를 중심으로 설명한다.

상기 제 1 전극층(61)은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO, 또는 In_2O_3 로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 를 형성할 수 있다.

상기한 바와 같이, 언더범프 금속층(71)이 제 1 전극층(61)과 동일한 물질로 형성되는 경우에는, 제 1 전극층(61)과 동일한 공정에서 형성될 수 있으므로 제조 공정 간략화의 측면에서 바람직하다.

한편, 상기 제 2 전극층(63)도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 이 제 2 전극층(63)이 캐소드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물이 유기층(62)의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물을 전면 증착하여 형성한다.

전원 공급용 개구부(46b)는 전원 라인(Vdd)으로부터 공급되는 전류를 언더범프 금속층(71)으로 통전시켜 주기 위한 범프 전극(72)이 배치되기 위하여 마련된다. 그러므로, 전원 공급용 개구부(45b)의 크기는 범프 전극(72)의 사이즈에 대응하여 적응적으로 조절할 필요가 있다. 도 4는 상부 기판(70)측이 하부 기판(40)과 결합되기 전의 모습을 나타낸다.

유기층(62) 및 제 2 전극층(63)이 형성된 후, 유기 전계 발광 소자(OLED)는 수분 침투를 방지할 수 있도록 상부 기판(70)으로 밀봉된다. 상부 기판(70)의 표면에는 언더범프 금속층(71)과 대응하는 위치에 전원 라인 패드(73)가 형성된다. 전원 라인 패드(73)는 전원 라인(Vdd)의 역할을 하는 것으로서, 범프 전극(72)과 결합되며, 배선 저항을 최소화 만들기 위하여 배선펙을 충분히 가지는 것이 바람직하다.

범프 전극(72)은 전원 라인 패드(73)상에 실장되는 소정의 형상을 가진 저온용융형 금속물로서, 전원 라인(Vdd)으로부터 공급되는 전류를 언더범프 금속층(71) 및 구동 TFT의 소스/드레인 전극(53)으로 통전시키는 역할을 한다.

범프 전극(72)을 통하여 구동 전류를 공급하도록 하면, 종래의 유기 전계 발광 표시장치에 비하여 전원 라인 패드(73)의 단면적을 증가시킬 수 있으므로, 배선 저항을 감소시켜 회로 내부 저항으로 인한 RC 지연을 저감할 수 있다. 따라서, RC 지연에 의해 발생하는 전류의 불규칙성을 감소시킴으로써 유기 전계 발광소자의 발광 휘도의 균일도를 향상시킬 수 있다.

범프 전극(72)은 인듐, 납 또는 이들의 합금으로 이루어질 수 있다. 범프 전극(72)은 구형의 형상을 가지는 것이 일반적이다. 다만, 범프 전극(72)이 상부 기판(70)의 에지 부근을 둘러싸면서 형성되는 경우에는 구형이 아니라, 도 6의 도면 부호 72-2와 같이 길게 연장된 원기둥의 형상을 가질 수 있다. 범프 전극(72)이 원기둥의 형상을 가질 경우에는, 범프 전극(72)의 일단측과 타단측이 서로 밀봉됨으로써, 유기 전계 발광 소자(OLED)에 수분이 침투하지 않도록 하는 봉지체의 역할을 할 수도 있다.

도 5는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치를 도시한 단면도로서, 상부 기판(70)측과 하부 기판(40)측이 결합된 모습을 나타낸다. 이때, 범프 전극(72)과 언더범프 금속층(71)은 배선 저항을 최소화 만들기 위하여 접촉 면적을 충분히 가지는 것이 바람직하다.

도 6는 상부 기판(70)상에 전원 라인 패드(73) 및 범프 전극(72-1, 72-2)이 형성된 모습의 사시도이다. 도시된 바와 같이, 상부 기판(70)의 에지 주위에 형성되는 범프 전극(72-2) 및 전원 라인 패드(73)는 상부 기판(70)의 에지 주위를 끊임없이

둘러싸도록 형성된다. 이때, 상부 기관(70)의 에지 주위에 형성되는 범프 전극(72-2)은 범프 전극(72-2)의 일단측과 타단측이 서로 밀봉되도록 하부 기관(40)측과 결합됨으로써, 유기 전계 발광 소자(OLED)에 수분이 침투하지 않게 할 수 있다. 도 7은 상부 기관(70)상에 전원 라인 패드(73) 및 범프 전극(72-1, 72-2)이 형성된 모습의 평면도이다.

한편, 도 3, 도 6 및 도 7에서 에지 주위에 형성되는 범프 전극(72-2)의 내부에 형성되는 범프 전극들(72-1)은 구형의 형상을 취하고 있으나, 필요에 따라서는 에지 주위에 형성되는 범프 전극(72-2)과 마찬가지로 끊임없이 형성될 수도 있다. 예를 들어, 도 3, 도 6 및 도 7에서 도면 부호 72-1로 표시된 구형의 범프 전극들도 평면적으로 원기둥 형상의 범프 전극들로서 형성될 수 있다. 이 경우에는 각 부화소 단위의 밀폐효과가 증진되는 효과가 있다.

위에서 설명한 바와 같이, 본 발명을 가장 바람직한 실시예를 기준으로 설명하였으나, 상기 실시예는 본 발명의 이해를 돕기 위한 것일 뿐이며, 본 발명의 내용이 그에 한정되는 것이 아니다. 본 발명의 구성에 대한 일부 구성요소의 부가, 삭감, 변경, 수정 등이 있더라도 첨부된 특허청구범위에 의하여 정의되는 본 발명의 기술적 사상에 속하는 한, 본 발명의 범위에 해당된다. 예를 들어, 위에서 설명한 실시예는, 하나의 화소에서 2개의 TFT를 사용하는 경우를 기준으로 하여 설명하였으나, 본 발명은 반드시 이에 한정되는 것은 아니며, 하나의 화소에 복수개의 TFT가 사용되는 경우에도 동일하게 적용가능하다. 즉, 도면에는 한 화소에 두 개의 TFT만이 도시되어 있으나, 실제 평면 구조에서는 회로 설계에 따라 더 많은 TFT들이 배치될 수 있다.

발명의 효과

상기한 바와 같이 이루어진 본 발명에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 범프 전극 구조를 통해 유기 전계 발광 표시 장치의 전원 라인(Vdd)의 단면적을 증가시킬 수 있으므로, 배선 저항을 감소시켜 회로 내부 저항으로 인한 RC 지연을 저감할 수 있다. 따라서, RC 지연에 의해 발생하는 전류의 불규칙성을 감소시킴으로써 유기 전계 발광 소자의 발광 휘도의 균일도를 향상시킬 수 있다.

둘째, 유기 전계 발광 표시 장치의 전원 라인(Vdd)의 단면적을 증가시킬 수 있으므로, 배선 저항을 감소시켜 회로 내부 저항으로 인한 소비 전력 감소를 얻을 수 있다.

셋째, 범프 전극은 강건한 성질을 가지고 있으므로 상부기관과 하부기관과의 봉지성을 개선시킬 수 있다. 따라서, 단순한 수지봉지체에 의한 것보다도, 유기 전계 발광 표시 장치의 유기층을 수분 및 기타 불순물의 침투로부터 보호하는데 보다 유리하다.

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스형 유기 전계 발광 표시장치를 도시한 평면도이다.

도 2는 도 1의 I-I에 대한 단면도이다.

도 3은 본 발명의 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치를 도시한 평면도이다.

도 4은 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치를 도시한 단면도로서 도 3의 II-II에 대한 단면도이다.

도 5는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치를 도시한 단면도이다.

도 6는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치를 도시한 사시도이다.

도 7은 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치를 도시한 평면도이다.

<도면의 주요 부분에 대한 부호의 설명>

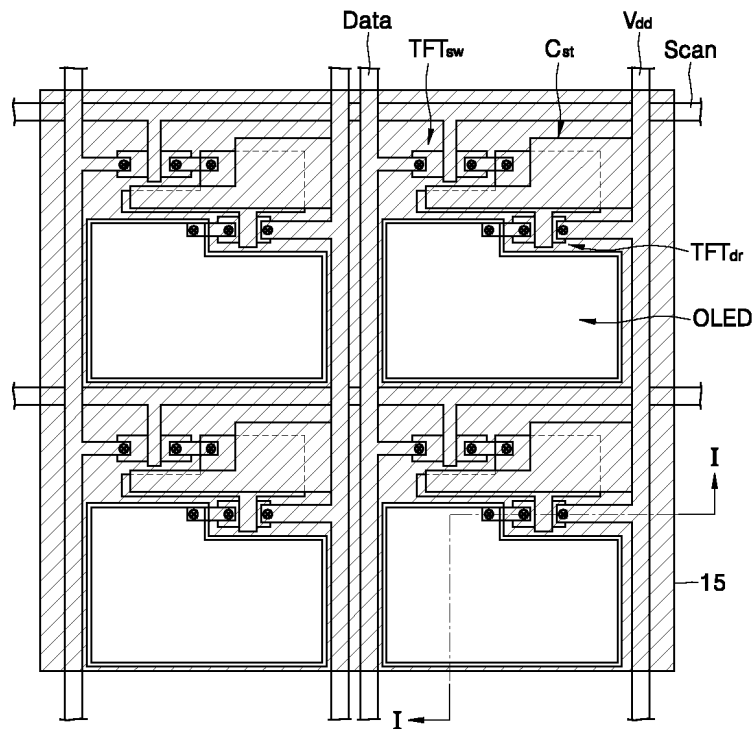
10,40: 제 1 기관, 11,41: 버퍼층,

12,42: 게이트 절연막, 13,43: 층간 절연막,

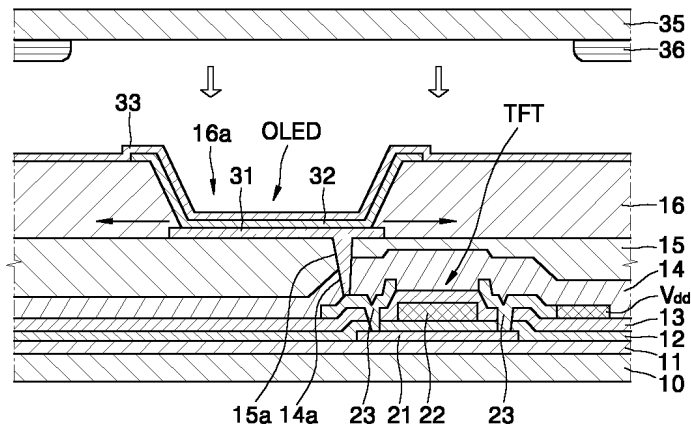
14,44: 패시베이션막, 14a,44a: 제 1 비아홀,
 44b: 제 1 패드홀, 15a,45a: 제 2 비아홀,
 45b: 제 2 패드홀, 15,45: 평탄화막,
 16,46: 화소정의막, 46a: 화소정의용 개구부,
 46b: 전원 공급용 개구부, 21,51: 활성반도체층,
 22,52: 게이트 전극, 23,53: 소스/드레인 전극,
 31,61: 제 1 전극층, 32,62: 유기층,
 33,63: 제 2 전극층, 70: 제 2 기판,
 71: 언더범프 금속층, 72, 72-1, 72-2: 범프 전극,
 73: 전원 라인 패드

도면

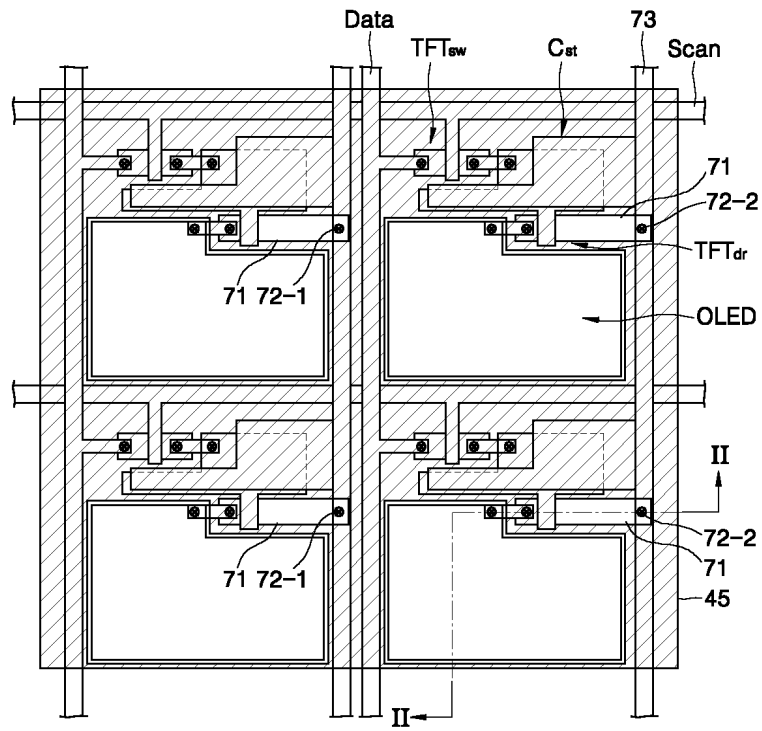
도면1



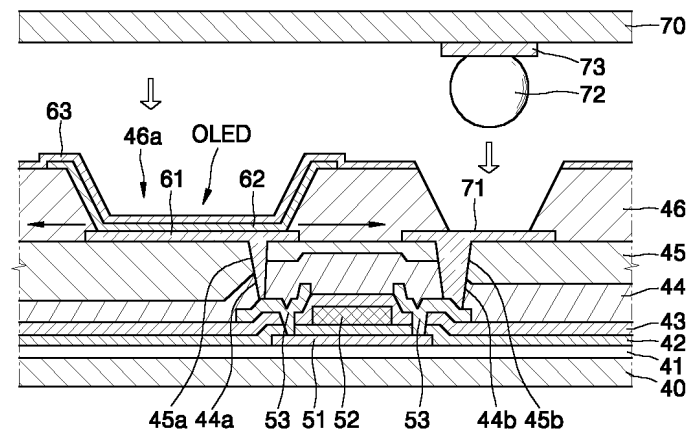
도면2



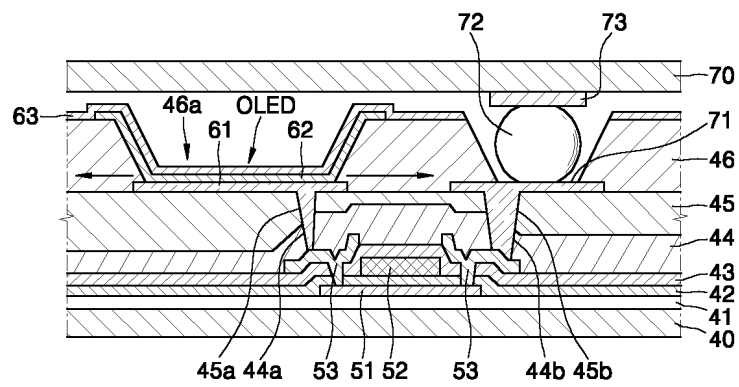
도면3



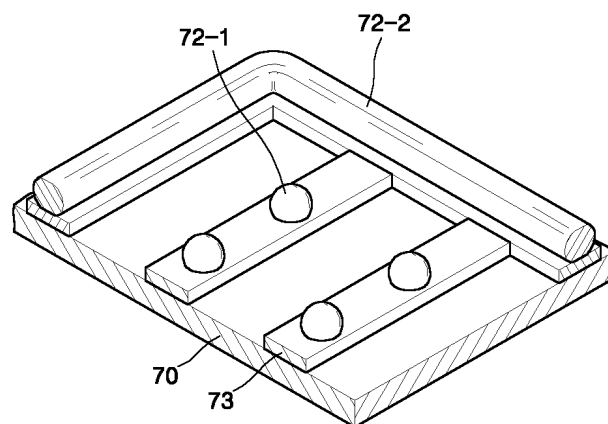
도면4



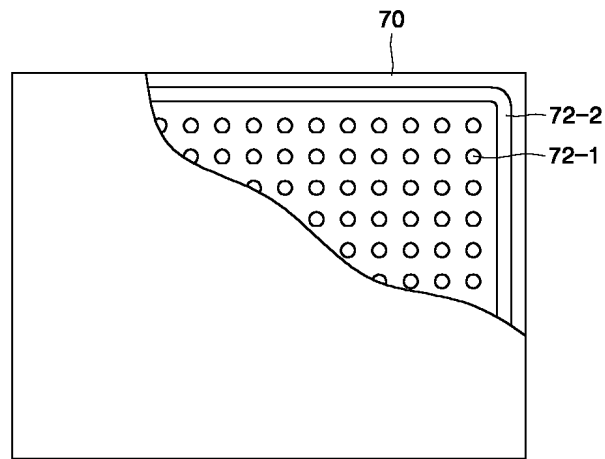
도면5



도면6



도면7



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR100669704B1	公开(公告)日	2007-01-16
申请号	KR1020040004992	申请日	2004-01-27
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KWON JUNGHYUN 권정현 KIM CHANGSOO 김창수		
发明人	권정현 김창수		
IPC分类号	H05B33/26		
代理人(译)	李，杨HAE		
其他公开文献	KR1020050077373A		
外部链接	Espacenet		

摘要(译)

本发明包括在第一基板上形成的半导体有源层，作为与有机电致发光显示装置有关的发明，在与上述半导体有源层的沟道区对应的区域中形成的栅电极，以及上述半导体有源层的源层和薄膜晶体管：用于向电连接的凸块下金属层和源极和漏极之间的一侧提供驱动电流的电源线焊盘，其形成在第二基板上，至少一个包括配备在其上的源极。导电材料以与漏极区域和漏极电极接触，并且凸块电极与电源线焊盘电连接。并且凸块电极与凸块下金属层结合。

