

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>H05B 33/00</i> (2006.01) <i>H05B 33/10</i> (2006.01)	(45) 공고일자 2006년10월23일 (11) 등록번호 10-0637250 (24) 등록일자 2006년10월16일
---	--

(21) 출원번호	10-2005-0120938	(65) 공개번호
(22) 출원일자	2005년12월09일	(43) 공개일자

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	박진성 경기 용인시 기흥읍 공세리 428-5 서민철 경기 용인시 기흥읍 공세리 428-5 안택 경기 용인시 기흥읍 공세리 428-5
(74) 대리인	리엔목특허법인

심사관 : 나광표

(54) 유기 발광 디스플레이 장치 및 그 제조방법

요약

본 발명은 유기 박막 트랜지스터의 기생 커패시턴스를 줄이면서도 어레이로 배열된 커패시터의 커패시턴스를 높이고 유기 발광 소자 및 유기 박막 트랜지스터의 보호가 확보된 유기 발광 디스플레이 장치 및 그 제조방법을 위하여, (i) 기판과, (ii) 상기 기판 상에 배치된 제 1 커패시터 전극과, 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극 중 어느 하나에 전기적으로 연결된 화소 전극과, (iii) 상기 제 1 커패시터 전극의 적어도 일부를 노출시키는 제 1 개구와, 상기 소스 전극 및 드레인 전극의 상호 대향된 부분을 노출시키는 제 2 개구와, 상기 화소 전극의 적어도 일부를 노출시키는 제 3 개구를 갖는 제 1 절연막과, (iv) 상기 제 1 절연막의 제 2 개구 내에 배치되어 상기 소스 전극 및 드레인 전극에 각각 접하는 유기 반도체층과, 상기 유기 반도체층 상에 배치되는 게이트 절연막과, (v) 상기 제 3 개구 내에 배치되어 상기 화소 전극의 노출된 부분 상에 배치되는, 적어도 발광층을 포함하는 중간층과, (vi) 상기 게이트 절연막 상에 배치되는 게이트 전극과, 상기 중간층 상에 배치되는 대향 전극과, (vii) 상기 제 1 커패시터 전극과, 상기 게이트 전극과, 상기 대향 전극을 덮도록 배치되는 제 2 절연막과, (viii) 상기 제 2 절연막 상에 상기 제 1 커패시터 전극에 대응하도록 배치된 제 2 커패시터 전극을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치 및 그 제조방법을 제공한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

도 2는 도 1의 유기 발광 디스플레이 장치의 일 부화소를 개략적으로 도시하는 회로도이다.

도 3은 본 발명의 바람직한 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

도 4는 본 발명의 바람직한 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

도 5는 본 발명의 바람직한 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

도 6은 본 발명의 바람직한 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 기판 101: 제 1 절연막

102: 제 2 절연막(패시베이션막) 110: 커패시터

111: 제 1 커패시터 전극 112: 제 2 커패시터 전극

120: 유기 박막 트랜지스터 121: 게이트 전극

123: 소스 전극 및 드레인 전극 125: 게이트 절연막

127: 유기 반도체층 130: 유기 발광 소자

131: 화소 전극 133: 중간층

135: 대향 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 발광 디스플레이 장치 및 그 제조방법에 관한 것으로서, 더 상세하게는 유기 박막 트랜지스터의 기생 커패시턴스를 줄이면서도 어레이로 배열된 커패시터의 커패시턴스를 높이고 유기 발광 소자 및 유기 박막 트랜지스터의 보호가 확보된 유기 발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

유기 발광 디스플레이 장치는 화소 전극과 이에 대향하는 대향 전극과 이들 전극 사이에 개재된 중간층을 구비하는 유기 발광 소자를 구비하는 디스플레이 장치이다. 이러한 유기 발광 디스플레이 장치에는 능동 구동형(AM: active matrix) 유기 발광 디스플레이 장치와 수동 구동형(PM: passive matrix) 유기 발광 디스플레이 장치가 있다. 능동 구동형 유기 발광 디스플레이 장치는 화소 전극에 박막 트랜지스터가 전기적으로 연결되어 화소 전극에 인가되는 전기 신호를 박막 트랜지스터를 통해 제어하는 것이며, 수동 구동형 유기 발광 디스플레이 장치는 상호 교차하는 스트라이프 패턴의 제 1 전극과 제 2 전극을 구비하여 이들의 교차점이 각 화소가 되는 것이다. 본 발명은 능동 구동형 유기 발광 디스플레이 장치에 관한 것이다.

이러한 능동 구동형 유기 발광 디스플레이 장치의 경우, 유기 발광 소자의 화소 전극에 전기적으로 연결된 박막 트랜지스터 외에도 커패시터를 구비하는데, 이 커패시터는 유기 발광 소자의 화소 전극에의 전류를 유지하거나 또는 구동속도를 향상시키는 기능을 한다. 이를 효율적으로 수행하기 위해서는 커패시터의 커패시턴스가 큰 것이 바람직하다. 그러나 종래의 유기 발광 디스플레이 장치에 구비된 커패시터의 경우에는 커패시턴스가 크지 않다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 유기 박막 트랜지스터의 기생 커패시턴스를 줄이면서도 어레이로 배열된 커패시터의 커패시턴스를 높이고 유기 발광 소자 및 유기 박막 트랜지스터의 보호가 확보된 유기 발광 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기와 같은 목적 및 그 밖의 여러 목적을 달성하기 위하여, 본 발명은 (i) 기판과, (ii) 상기 기판 상에 배치된 제 1 커패시터 전극과, 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극 중 어느 하나에 전기적으로 연결된 화소 전극과, (iii) 상기 제 1 커패시터 전극의 적어도 일부를 노출시키는 제 1 개구와, 상기 소스 전극 및 드레인 전극의 상호 대향된 부분을 노출시키는 제 2 개구와, 상기 화소 전극의 적어도 일부를 노출시키는 제 3 개구를 갖는 제 1 절연막과, (iv) 상기 제 1 절연막의 제 2 개구 내에 배치되어 상기 소스 전극 및 드레인 전극에 각각 접하는 유기 반도체층과, 상기 유기 반도체층 상에 배치되는 게이트 절연막과, (v) 상기 제 3 개구 내에 배치되어 상기 화소 전극의 노출된 부분 상에 배치되는, 적어도 발광층을 포함하는 중간층과, (vi) 상기 게이트 절연막 상에 배치되는 게이트 전극과, 상기 중간층 상에 배치되는 대향 전극과, (vii) 상기 제 1 커패시터 전극과, 상기 게이트 전극과, 상기 대향 전극을 덮도록 배치되는 제 2 절연막과, (viii) 상기 제 2 절연막 상에 상기 제 1 커패시터 전극에 대응하도록 배치된 제 2 커패시터 전극을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치를 제공한다.

본 발명은 또한 상기와 같은 목적을 달성하기 위하여, (i) 기판과, (ii) 상기 기판 상에 배치된 제 1 커패시터 전극과, 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극 중 어느 하나에 전기적으로 연결된 화소 전극과, (iii) 상기 제 1 커패시터 전극의 적어도 일부를 노출시키는 제 1 개구와, 상기 소스 전극 및 드레인 전극의 상호 대향된 부분을 노출시키는 제 2 개구와, 상기 화소 전극의 적어도 일부를 노출시키는 제 3 개구를 갖는 제 1 절연막과, (iv) 상기 제 1 절연막의 제 2 개구 내에 배치되어 상기 소스 전극 및 드레인 전극에 각각 접하는 유기 반도체층과, 상기 유기 반도체층 상에 배치되는 게이트 절연막과, 상기 게이트 절연막 상에 배치되는 게이트 전극과, (v) 상기 제 1 커패시터 전극과 상기 게이트 전극을 덮으며, 상기 화소 전극의 적어도 일부가 노출되도록 구비되는 제 2 절연막과, (vi) 상기 화소 전극의 노출된 부분 상에 배치되는, 적어도 발광층을 포함하는 중간층과, (vii) 상기 제 2 절연막 상에 상기 제 1 커패시터 전극에 대응하도록 배치된 제 2 커패시터 전극과, 상기 중간층 상에 배치되는 대향 전극을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 소스 전극 및 드레인 전극 중 상기 화소 전극에 전기적으로 연결된 전극은 상기 화소 전극과 일체로 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 소스 전극 및 드레인 전극 중 상기 화소 전극에 전기적으로 연결되지 않은 전극은 상기 제 1 커패시터 전극과 일체로 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 게이트 전극의 하면 중 적어도 일부는 상기 제 1 절연막의 상면에 접하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 게이트 전극은 상기 제 1 절연막의 제 2 개구 내에 배치되며, 상기 게이트 전극의 단부면은 상기 제 1 절연막의 제 2 개구 측면에 접하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 절연막의 제 1 개구는 상기 제 1 커패시터 전극을 모두 노출시키도록 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 절연막은 포토리지스트로 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 2 절연막은 알루미늄 옥사이드, 티타늄 옥사이드, 하프늄 옥사이드, 지르코늄 옥사이드, 란타늄 옥사이드, 프라세오디뮴 옥사이드 또는 이트륨 옥사이드로 구비되는 것으로 할 수 있다.

본 발명은 또한 상기와 같은 목적을 달성하기 위하여, (i) 기판 상에 제 1 커패시터 전극과, 소스 전극 및 드레인 전극을 형성하는 단계와, (ii) 상기 제 1 커패시터 전극과, 상기 소스 전극 및 드레인 전극을 덮도록 포토리지스트를 도포하여 제 1 절연막을 형성하는 단계와, (iii) 상기 제 1 절연막을 노광 및 현상하여, 상기 제 1 커패시터 전극의 적어도 일부를 노출시키는 제 1 개구와, 상기 소스 전극 및 드레인 전극의 상호 대향된 부분을 노출시키는 제 2 개구를 형성하는 단계와, (iv) 상기 제 1 절연막의 제 2 개구 내에 상기 소스 전극 및 드레인 전극에 각각 접하도록 유기 반도체층을 형성하는 단계와, (v) 상기 유기 반도체층 상에 게이트 절연막을 형성하는 단계와, (vi) 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와, (vii) 상기 제 1 커패시터 전극 및 상기 게이트 전극을 덮도록 제 2 절연막을 형성하는 단계와, (viii) 상기 제 2 절연막 상에 상기 제 1 커패시터 전극에 대응하는 제 2 커패시터 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법을 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 기판 상에 제 1 커패시터 전극과, 소스 전극 및 드레인 전극을 형성하는 단계는, 상기 소스 전극 및 드레인 전극 중 어느 한 전극을 상기 제 1 커패시터 전극과 일체로 형성하는 단계인 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 2 절연막은 알루미늄 옥사이드, 티타늄 옥사이드, 하프늄 옥사이드, 지르코늄 옥사이드, 란타늄 옥사이드, 프라세오디뮴 옥사이드 또는 이트륨 옥사이드로 형성되는 것으로 할 수 있다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이고, 도 2는 도 1의 유기 발광 디스플레이 장치의 일 부화소를 개략적으로 도시하는 회로도이다.

먼저 도 1 및 도 2를 참조하면, 기판(100) 상에 유기 발광 소자(130), 유기 박막 트랜지스터(120), 커패시터(110) 및 또 다른 유기 박막 트랜지스터(140)가 구비되어 있다. 여기서 참조번호 120의 유기 박막 트랜지스터(120)는 유기 발광 소자(130)를 구동하는 구동 트랜지스터이며, 참조번호 140의 유기 박막 트랜지스터(140)는 유기 발광 소자(130)에 인가될 전기적 신호를 스위칭하는 스위칭 트랜지스터이다. 물론 본 발명에 따른 유기 발광 디스플레이 장치의 회로 구조가 도 1 및 도 2에 도시된 회로 구조에 국한된 것은 아니며, 이와 달리 다른 전기 소자들을 더 구비할 수도 있는 등 다양한 변형이 가능한 것은 물론이다. 이하에서는 편의상 참조번호 120의 유기 박막 트랜지스터(120), 커패시터(110) 및 유기 발광 소자(130)의 상호 연결 구조에 대해서 설명한다.

기판(100)으로는 글라스재 기판뿐만 아니라 아크릴과 같은 다양한 플라스틱재 기판을 사용할 수도 있으며, 더 나아가 금속판을 사용할 수도 있다. 이 기판(100)에는 필요에 따라 버퍼층(미도시)이 더 구비될 수도 있다.

이 기판(100) 상에는 제 1 커패시터 전극(111)과, 소스 전극 및 드레인 전극(123)과, 소스 전극 및 드레인 전극(123) 중 어느 하나에 전기적으로 연결된 화소 전극(131)이 구비되어 있다. 도 1에서는 이 제 1 커패시터 전극(111)과 게이트 전극(121)이 상호 분리된 것으로 도시되어 있으나, 도 2의 회로도에서 알 수 있는 바와 같이 이 전극들은 상호 전기적으로 연결되어 있다.

이 전극들은 도전성 물질로 형성되는데, 필요에 따라 동시에 동일한 물질로 형성될 수도 있고, 서로 다른 공정에서 서로 다른 물질로 형성될 수도 있다. 동일한 물질로 형성될 경우 필요에 따라 투명한 물질 또는 불투명한 물질 등으로 형성될 수도 있다. 보다 상세히 설명하자면, 후술하는 바와 같이 광이 화소 전극(131)을 통해 외부로 추출될 경우에는 투명한 물질로 형성되며, 화소 전극(131)을 통해 외부로 추출되지 않을 경우에는 반사형 전극으로 형성될 수 있다. 투명한 물질로 형성될 때에는 ITO, IZO, ZnO 또는 In_2O_3 로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, W 및 이들의 화합물 등으로 형성된 반사막과 그 상부에 형성된 ITO, IZO, ZnO 또는 In_2O_3 막을 구비할 수 있다. 이러한 전극들은 마스크를 이용한 증착을 통해 형성될 수도 있고, 도전성 물질층을 기판(100) 상에 형성한 후 이를 패터닝하여 형성될 수도 있다.

이때, 소스 전극과 드레인 전극(123) 중 화소 전극(131)에 전기적으로 연결된 것은 도 1에 도시된 것과 같이 화소 전극(131)과 일체로 구비되도록 할 수 있다. 또한, 소스 전극과 드레인 전극(123) 중 화소 전극(131)에 전기적으로 연결되지 않은 것은 제 1 커패시터 전극(111)에 전기적으로 연결되어 있다.

이 전극들 상으로는 제 1 절연막(101)이 형성되는데, 이 제 1 절연막(101)은 세 개의 개구를 구비한다. 즉, 제 1 절연막(101)은 제 1 커패시터 전극(111)의 적어도 일부를 노출시키는 제 1 개구와, 소스 전극 및 드레인 전극(123)의 상호 대향된 부분을 노출시키는 제 2 개구와, 화소 전극(131)의 적어도 일부를 노출시키는 제 3 개구를 갖는다.

이러한 제 1 절연막(101)은 다양한 방법으로 형성될 수 있는데, 예컨대 포토리지스트를 기판(100)의 전면(全面)에 도포하고 이를 노광 및 현상함으로써, 개구가 형성된 제 1 절연막(101)을 형성할 수 있다. 물론 이 외에도 실리콘 옥사이드 또는 실리콘 나이트라이드 등과 같은 물질을 기판(100)의 전면(全面)에 도포한 후 이에 레이저빔을 조사하여 조사된 부분을 제거함으로써, 개구가 형성된 제 1 절연막(101)을 형성할 수도 있다.

제 1 절연막(101)의 제 2 개구 내에는 유기 반도체층(127)이 구비된다. 이 유기 반도체층(127)은 소스 전극 및 드레인 전극(123)의 제 2 개구에 의해 노출된 부분에 각각 접한다. 그리고 이 유기 반도체층(127) 상에는 게이트 절연막(125)이 구비된다.

이러한 유기 반도체층(127)은 반도체 특성을 갖는 유기물로 이루어지는데, 예컨대 펜타센(pentacene), 테트라센(tetracene), 안트라센(anthracene), 나프탈렌(naphthalene), 알파-6-티오펜, 알파-4-티오펜, 페릴렌(perylene) 및 그 유도체, 루브렌(rubrene) 및 그 유도체, 코로넨(coronene) 및 그 유도체, 페릴렌테트라카르복실릭다이이미드(perylene tetracarboxylic diimide) 및 그 유도체, 페릴렌테트라카르복실릭디안하이드라이드(perylene tetracarboxylic dianhydride) 및 그 유도체, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헤테로고리방향족 공중합체 및 그 유도체, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 및 그 유도체, 파이로멜리틱 다이이미드 및 이들의 유도체, 페릴렌테트라카르복시산 디안하이드라이드 및 그 유도체, 및 페릴렌테트라카르복실릭 다이이미드 및 이들의 유도체 중 적어도 어느 하나를 구비하는 물질일 수 있다. 이러한 유기 반도체층(127)은 잉크젯 프린팅법, 스템핑법, 디핑법 또는 스핀 코팅법 등의 다양한 방법으로 형성될 수 있는데, 특히 잉크젯 프린팅법을 이용하여 형성할 경우 도 1에 도시된 것과 같이 제 1 절연막(101)이 뱅크 역할을 하여 유기 반도체층(127)이 정확한 위치에 구비되도록 할 수 있다.

그리고 게이트 절연막(125)은 실리콘 옥사이드 또는 실리콘 나이트라이드 등과 같은 무기물로 형성될 수도 있고, 파릴렌, 아크릴 기반의 폴리머(PMMA) 또는 에폭시 등의 유기물로 형성될 수도 있다. 이러한 게이트 절연막(125)은 증착, 스핀 코팅, 잉크젯 프린팅 또는 스크린 페이스팅 등의 다양한 방법으로 형성될 수 있는데, 특히 잉크젯 프린팅법을 이용하여 형성할 경우 도 1에 도시된 것과 같이 제 1 절연막(101)이 뱅크 역할을 하여 게이트 절연막(125)이 정확한 위치에 구비되도록 할 수 있다. 이때, 게이트 절연막(125)은 유전율(dielectric constant)이 낮은 물질로 구비되는 것이 바람직하다. 즉, 후술하는 바와 같이 게이트 절연막(125) 상에는 게이트 전극(121)이 구비되는 바, 이 게이트 전극(121)은 소스 전극 및 드레인 전극(123)과 중첩되도록 구비된다. 따라서 게이트 전극(121)과 소스 전극 및 드레인 전극(123)의 중첩되는 부분에는 기생 커패시턴스가 발생하는 바, 이를 낮추기 위하여 게이트 절연막(125)은 유전율이 낮은 물질로 구비되는 것이 바람직하다.

한편, 화소 전극(131)의 적어도 일부는 제 1 절연막(101)의 제 3 개구에 의해 노출되는 바, 이 부분 상에 중간층(133)이 구비된다. 그리고 게이트 절연막(125) 상에는 게이트 전극(121)이, 중간층(133) 상에는 대향 전극(135)이 구비된다.

중간층(133)은 적어도 발광층을 포함하는 층으로서, 그 하부의 화소 전극(131)과 그 상부의 대향 전극(135)으로부터 정공과 전자를 공급받아 광을 만든다.

중간층(133)은 저분자 또는 고분자 유기물로 구비될 수 있다. 저분자 유기물을 사용할 경우 정공 주입층(HIL: hole injection layer), 정공 수송층(HTL: hole transport layer), 유기 발광층(EML: emission layer), 전자 수송층(ETL: electron transport layer), 전자 주입층(EIL: electron injection layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이러한 저분자 유기물로 중간층을 형성할 경우, 증착법 또는 잉크젯 프린팅법 등의 다양한 방법을 이용하여 중간층을 형성할 수 있다.

고분자 유기물의 경우에는 대개 정공 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 정공 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(poly-phenylenevinylene)계 및 폴리플루오렌(polyfluorene)계 등 고분자 유기물질을 사용한다. 고분자 유기물로 중간층을 형성할 경우, 잉크젯 프린팅법 또는 열전사법 등을 이용하여 형성할 수 있다.

게이트 전극(121)과 대향 전극(135)은 동시에 동일 한 물질로 형성될 수도 있고, 필요에 따라 서로 다른 물질로 형성될 수도 있다. 이하에서는 편의상 동일한 물질로 형성되는 경우에 대해 설명한다.

발광층을 포함하는 중간층(133)은 화소 전극(131)과 대향 전극(135)으로부터 정공 및 전자를 공급받아 광을 발생시킨다. 이때 화소 전극(131)은 애노드 전극의 기능을 하고, 대향 전극(135)은 캐소드 전극의 기능을 한다. 물론, 이 화소 전극(131)과 대향 전극(135)의 극성은 반대로 되어도 무방하다.

발광층을 포함하는 중간층(133)에서 발생된 광은 화소 전극(131) 또는 대향 전극(135)을 통해 외부로 취출되는데, 따라서 화소 전극(131) 및 대향 전극(135) 중 광 경로 상에 위치하는 전극은 투명 전극으로 구비되고, 다른 전극은 투명 전극 또는 반사형 전극으로 구비될 수 있다.

따라서 전술한 화소 전극(131)과 마찬가지로 대향 전극(135)도 투명 전극 또는 반사형 전극으로 구비될 수 있는데, 투명 전극으로 사용될 때는 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 이들의 화합물이 중간층(133)을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO 또는 In_2O_3 등의 투명 전극 형성용 물질로 보조 전극이나 버스 전극 라인이 형성되도록 한 구조를 가질 수 있다. 그리고 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 이들의 화합물을 증착하여 형성한다.

상기와 같은 게이트 전극(121)과 대향 전극(135), 그리고 제 1 커패시터 전극(111)의 제 1 절연막(101)의 제 1 개구에 의해 노출된 부분은 제 2 절연막(102)으로 덮인다. 그리고 제 2 커패시터 전극(112)이 제 2 절연막(102) 상에 제 1 커패시터 전극(101)에 대응하도록 배치된다.

제 2 절연막(102)은 유기 박막 트랜지스터(120)와 유기 발광 소자(130)를 보호하는 역할을 하는 패시베이션막으로 기능할 수 있다. 유기 박막 트랜지스터 및 유기 발광 소자(130)의 유기물로 형성된 부분은 외부의 산소 또는 수분 등의 불순물에 의해 쉽게 손상되는 바, 이를 방지할 필요가 있다. 따라서 패시베이션 특성이 우수한 물질로 이들을 보호할 필요가 있다.

이때, 패시베이션막 역할을 하는 제 2 절연막(102)은 커패시터(110)의 제 1 커패시터 전극(111)과 제 2 커패시터 전극(112) 사이에 개재된다. 이 커패시터(110)는 유기 발광 소자(130)의 화소 전극(131)에의 전류를 유지하거나 또는 구동속도를 향상시키는 기능을 한다. 이를 효율적으로 수행하기 위해서는 커패시터(110)의 커패시턴스가 큰 것이 바람직하다. 따라서 커패시터(110)의 커패시턴스를 높이기 위해, 제 2 절연막(102)은 패시베이션 특성이 우수하면서도 유전율이 높은 물질로 구비되는 것이 바람직하다.

이와 같이 제 2 절연막(102)은 패시베이션 특성이 우수하면서도 유전율이 높은 물질로 형성되는 것이 바람직한 바, 따라서 알루미늄 옥사이드, 티타늄 옥사이드, 하프늄 옥사이드, 지르코늄 옥사이드, 란타늄 옥사이드, 프라세오디뮴 옥사이드 또는 이트륨 옥사이드로 구비되는 것이 바람직하다. 알루미늄 옥사이드의 경우 비유전율(relative dielectric constant)이 대략 8 정도, 하프늄 옥사이드의 경우에는 대략 20, 지르코늄 옥사이드의 경우에는 대략 15, 그리고 티타늄 옥사이드의 경우에는 40 내지 100에 이를 정도로 유전율이 높아, 이들 물질로 제 2 절연막(102)을 형성함으로써 커패시터(110)의 커패시턴스를 획기적으로 높일 수 있다.

또한, 종래에는 유기 박막 트랜지스터의 게이트 절연막(125)이 커패시터(110)의 양 전극들 사이에 개재되었으므로, 유전율이 높은 물질을 이용하여 커패시턴스를 높일 경우에는 유기 박막 트랜지스터의 기생 커패시턴스도 높아진다는 문제점이 있었으나, 본 발명에서는 게이트 절연막(125)과 커패시터(110)의 양 전극들 사이에 개재되는 물질을 별도로 이용함으로써 그러한 문제가 발생하는 것을 방지한다. 그리고 유기 박막 트랜지스터(120)와 유기 발광 소자(130)의 보호를 위해 구비되는 패시베이션막(제 2 절연막, 102)이 커패시터(110)의 양 전극들 사이에 개재되는 유전체가 되도록 함으로써, 별도의 공정을 추가하지 않으면서도 큰 커패시턴스를 갖는 커패시터(110)가 구비되도록 할 수 있다.

이러한 제 2 절연막(102)은 다양한 방법으로 형성할 수 있는데, 예컨대 원자층 증착 방법(ALD: atomic layered deposition)을 이용하여 박막으로 형성될 수 있다.

즉, 전술한 바와 같이 게이트 전극(121) 및 대향 전극(135)까지 형성한 후, 이를 반응 챔버 내에 삽입하고, 챔버 내로 제 1 반응원을 피딩하여(제 1 피딩단계) 제 1 물질층을 화학적 증착의 방법으로 형성한다. 그 후 챔버 내의 제 1 반응원을 제거하는 제 1 퍼지단계를 거친 후, 챔버 내에 제 2 반응원을 피딩하여(제 2 피딩단계) 이미 형성된 제 1 물질층과 제 2 반응원이 반응을 일으키도록 함으로써 제 1 물질층을 변화시켜 원하는 성분의 원자층 박막으로 이루어진 제 2 절연막(102)을 형성한다. 그리고 제 1 물질층과 반응하지 않은 잔존 제 2 반응원 또는 반응하여 생성된 부산물을 제거하는 제 2 퍼지단계를 추가적으로 거칠 수 있다. 예컨대 알루미늄 옥사이드(Al_2O_3)로 만들어진 원자층 박막의 제 2 절연막(102)을 형성할 경우에는, 먼저 트리메틸 알루미늄(TMA: $\text{Al}(\text{CH}_3)_3$)막을 증착한 후 수증기 또는 오존 등을 피딩하여 열처리를 행함으로써 트리메틸 알루미늄막을 알루미늄 옥사이드막으로 변환시켜 원자층 박막으로 형성된 제 2 절연막(102)을 형성할 수 있다.

한편, 도 2에 도시된 바와 같이 제 2 커패시터 전극(112)은 유기 박막 트랜지스터(120)의 게이트 전극(121)에 전기적으로 연결되는 바, 이를 위해 제 2 커패시터 전극(112)과 대향 전극(135)의 형성에 앞서 게이트 전극(121)의 적어도 일부가 노출되도록 제 2 절연막(102) 상에 컨택홀을 형성하고, 이 컨택홀을 통해 제 2 커패시터 전극(112)과 게이트 전극(121)이 전기적으로 연결되도록 할 수도 있다.

도 3은 본 발명의 바람직한 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

본 실시예에 따른 유기 발광 디스플레이 장치가 전술한 실시예에 따른 유기 발광 디스플레이 장치와 다른 점은, 소스 전극과 드레인 전극(123) 중 화소 전극(131)에 전기적으로 연결되지 않은 전극이 제 2 커패시터 전극(112)과 일체로 구비되어 있다는 것이다. 이와 같이 전기적으로 연결되는 구성요소가 동일 평면 상에 구비될 경우, 이러한 구성요소들은 일체로 구비되도록 할 수 있다.

도 4는 본 발명의 바람직한 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

본 실시예에 따른 유기 박막 트랜지스터가 전술한 실시예에 따른 유기 박막 트랜지스터와 상이한 점은, 게이트 전극(121)의 하면 중 적어도 일부가 제 1 절연막(101)의 상면(101a)에 접하도록 구비되어 있다는 것이다. 이는 게이트 전극(121)과 게이트 절연막(125) 사이의 접합력이 좋지 않아 박리현상이 발생하는 것을 방지하기 위함이다. 즉, 게이트 전극(121)의 하면 중 적어도 일부가 게이트 전극(121)과의 접합력이 우수한 제 1 절연막(101)의 상면(101a)에 접하도록 함으로써, 게이트 전극(121)과 게이트 절연막(125) 사이의 접합력이 좋지 않을 경우에도 게이트 전극(121)이 박리되는 것을 방지할 수 있다.

물론 이와 달리, 게이트 전극(121)이 제 1 절연막(101)의 제 2 개구 내에 배치되도록 하고, 이 게이트 전극(121)의 단부면이 제 1 절연막(101)의 제 2 개구 측면(101b)에 접하도록 하여, 게이트 전극(121)의 단부면과 제 1 절연막(101)의 제 2 개구 측면(101b) 사이의 우수한 접합력을 이용함으로써, 게이트 전극(121)과 게이트 절연막(125) 사이의 접합력이 좋지 않을 경우에도 게이트 전극(121)이 박리되는 것을 방지할 수 있다.

도 5는 본 발명의 바람직한 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

본 실시예에 따른 유기 발광 디스플레이 장치가 전술한 실시예에 따른 유기 발광 디스플레이 장치와 다른 점은, 커패시터(110)의 구조이다. 즉, 전술한 실시예에 따른 유기 발광 디스플레이 장치의 경우, 제 1 절연막(101)의 제 1 개구는 커패시터(110)의 제 1 커패시터 전극(111)의 일부를 노출시키도록 구비되어 있으나, 본 실시예에 따른 유기 발광 디스플레이 장치에 구비된 제 1 절연막(101)의 제 1 개구는 제 1 커패시터 전극(111)을 모두 노출시키도록 구비되어 있다. 물론 도 1에는 제 1 개구가 제 1 절연막(101)에 구비되어 있다고 하기보다는 제 1 절연막(101)이 제 1 커패시터 전극(111) 및 그 주위에는 구비되지 않도록 형성된 것으로 도시되어 있으나, 이와 다른 변형이 가능함은 물론이다.

이와 같이 제 1 절연막(101)의 제 1 개구가 커패시터(110)의 제 1 커패시터 전극(111)이 모두 노출되도록 함으로써, 제 1 커패시터 전극(111)과 제 2 커패시터 전극(112) 사이의 거리가 균일하면서도 더욱 가까워지도록 하여, 결과적으로 커패시터(110)의 커패시턴스를 더욱 높일 수 있다.

도 6은 본 발명의 바람직한 또 다른 일 실시예에 따른 유기 발광 디스플레이 장치의 일부를 개략적으로 도시하는 단면도이다.

본 실시예에 따른 유기 발광 디스플레이 장치가 전술한 실시예들에 따른 유기 발광 디스플레이 장치들과 상이한 점은, 유기 발광 소자(130)의 구조이다.

즉, 전술한 실시예들에 따른 유기 발광 디스플레이 장치들의 경우, 화소 전극(131)의 제 1 절연막(101)의 제 3 개구에 의해 노출된 부분에 중간층(133)이 구비되고, 이 중간층(133) 상에 대향 전극(135)이 구비되며, 이 대향 전극(135)을 덮도록 제 2 절연막(102)이 구비된 구조를 취하고 있다. 그러나 본 실시예에 따른 유기 발광 디스플레이 장치의 경우, 제 1 절연막(101)의 제 3 개구가 화소 전극(131)의 적어도 일부를 노출시키는 구조는 동일하지만, 제 2 절연막(102) 역시 화소 전극(131)의 적어도 일부가 노출되도록 구비되며, 화소 전극(131)의 제 1 절연막(101)과 제 2 절연막(102)에 의해 노출된 부분 상에 중간층(133)이 형성되고, 대향 전극(135)이 중간층(133) 상부와 제 2 절연막(102)의 상부에 구비된다는 차이점을 가지고 있다.

일반적으로 도전성 물체의 가장자리에는 전계가 집중되는 바, 따라서 유기 발광 디스플레이 장치의 화소 전극(131)의 가장자리에도 전계가 집중된다. 그 결과, 화소 전극(131)과 대향 전극(135) 사이의 거리가 짧은 경우, 이러한 집중된 전계에 의해 두 전극들 사이에 구비된 중간층(133)이 끊어지거나 두 전극들이 쇼트되는 등의 불량 발생할 수 있다. 따라서 화소 전극(131)의 가장자리와 대향 전극(135) 사이에 제 1 절연막(101) 뿐만 아니라 제 2 절연막(102)이 구비되도록 하여 그 사이의 거리를 넓힘으로써, 화소 전극(131)의 가장자리 부분에서 발광층을 포함하는 중간층(133)이 끊어지거나 전계가 집중되는 현상을 방지하여 화소 전극(131)과 대향 전극(135)이 단락되는 것을 방지할 수 있다.

발명의 효과

상기한 바와 같이 이루어진 본 발명의 유기 발광 디스플레이 장치 및 그 제조방법에 따르면, 유기 박막 트랜지스터의 기생 커패시턴스를 줄이면서도 어레이로 배열된 커패시터의 커패시턴스를 높이고 유기 발광 소자 및 유기 박막 트랜지스터의 보호가 확보된 유기 발광 디스플레이 장치를 구현할 수 있다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

(57) 청구의 범위

청구항 1.

기관;

상기 기관 상에 배치된 제 1 커패시터 전극과, 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극 중 어느 하나에 전기적으로 연결된 화소 전극;

상기 제 1 커패시터 전극의 적어도 일부를 노출시키는 제 1 개구와, 상기 소스 전극 및 드레인 전극의 상호 대향된 부분을 노출시키는 제 2 개구와, 상기 화소 전극의 적어도 일부를 노출시키는 제 3 개구를 갖는 제 1 절연막;

상기 제 1 절연막의 제 2 개구 내에 배치되어 상기 소스 전극 및 드레인 전극에 각각 접하는 유기 반도체층과, 상기 유기 반도체층 상에 배치되는 게이트 절연막;

상기 제 3 개구 내에 배치되어 상기 화소 전극의 노출된 부분 상에 배치되는, 적어도 발광층을 포함하는 중간층;

상기 게이트 절연막 상에 배치되는 게이트 전극과, 상기 중간층 상에 배치되는 대향 전극;

상기 제 1 커패시터 전극과, 상기 게이트 전극과, 상기 대향 전극을 덮도록 배치되는 제 2 절연막; 및

상기 제 2 절연막 상에 상기 제 1 커패시터 전극에 대응하도록 배치된 제 2 커패시터 전극;을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 2.

기판;

상기 기판 상에 배치된 제 1 커패시터 전극과, 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극 중 어느 하나에 전기적으로 연결된 화소 전극;

상기 제 1 커패시터 전극의 적어도 일부를 노출시키는 제 1 개구와, 상기 소스 전극 및 드레인 전극의 상호 대향된 부분을 노출시키는 제 2 개구와, 상기 화소 전극의 적어도 일부를 노출시키는 제 3 개구를 갖는 제 1 절연막;

상기 제 1 절연막의 제 2 개구 내에 배치되어 상기 소스 전극 및 드레인 전극에 각각 접하는 유기 반도체층과, 상기 유기 반도체층 상에 배치되는 게이트 절연막과, 상기 게이트 절연막 상에 배치되는 게이트 전극;

상기 제 1 커패시터 전극과 상기 게이트 전극을 덮으며, 상기 화소 전극의 적어도 일부가 노출되도록 구비되는 제 2 절연막;

상기 화소 전극의 노출된 부분 상에 배치되는, 적어도 발광층을 포함하는 중간층; 및

상기 제 2 절연막 상에 상기 제 1 커패시터 전극에 대응하도록 배치된 제 2 커패시터 전극과, 상기 중간층 상에 배치되는 대향 전극;을 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3.

제 1항 또는 제 2항에 있어서,

상기 소스 전극 및 드레인 전극 중 상기 화소 전극에 전기적으로 연결된 전극은 상기 화소 전극과 일체로 구비되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4.

제 1항 또는 제 2항에 있어서,

상기 소스 전극 및 드레인 전극 중 상기 화소 전극에 전기적으로 연결되지 않은 전극은 상기 제 1 커패시터 전극과 일체로 구비되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5.

제 1항 또는 제 2항에 있어서,

상기 게이트 전극의 하면 중 적어도 일부는 상기 제 1 절연막의 상면에 접하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6.

제 1항 또는 제 2항에 있어서,

상기 게이트 전극은 상기 제 1 절연막의 제 2 개구 내에 배치되며, 상기 게이트 전극의 단부면은 상기 제 1 절연막의 제 2 개구 측면에 접하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 7.

제 1항 또는 제 2항에 있어서,

상기 제 1 절연막의 제 1 개구는 상기 제 1 커패시터 전극을 모두 노출시키도록 구비되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 8.

제 1항 또는 제 2항에 있어서,

상기 제 1 절연막은 포토리지스트로 구비되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9.

제 1항 또는 제 2항에 있어서,

상기 제 2 절연막은 알루미늄 옥사이드, 티타늄 옥사이드, 하프늄 옥사이드, 지르코늄 옥사이드, 란타늄 옥사이드, 프라세오디뮴 옥사이드 또는 이트륨 옥사이드로 구비되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 10.

기판 상에 제 1 커패시터 전극과, 소스 전극 및 드레인 전극을 형성하는 단계;

상기 제 1 커패시터 전극과, 상기 소스 전극 및 드레인 전극을 덮도록 포토리지스트를 도포하여 제 1 절연막을 형성하는 단계;

상기 제 1 절연막을 노광 및 현상하여, 상기 제 1 커패시터 전극의 적어도 일부를 노출시키는 제 1 개구와, 상기 소스 전극 및 드레인 전극의 상호 대향된 부분을 노출시키는 제 2 개구를 형성하는 단계;

상기 제 1 절연막의 제 2 개구 내에 상기 소스 전극 및 드레인 전극에 각각 접하도록 유기 반도체층을 형성하는 단계;

상기 유기 반도체층 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계;

상기 제 1 커패시터 전극 및 상기 게이트 전극을 덮도록 제 2 절연막을 형성하는 단계; 및

상기 제 2 절연막 상에 상기 제 1 커패시터 전극에 대응하는 제 2 커패시터 전극을 형성하는 단계;를 구비하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 11.

제 10항에 있어서,

상기 기판 상에 제 1 커패시터 전극과, 소스 전극 및 드레인 전극을 형성하는 단계는, 상기 소스 전극 및 드레인 전극 중 어느 한 전극을 상기 제 1 커패시터 전극과 일체로 형성하는 단계인 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

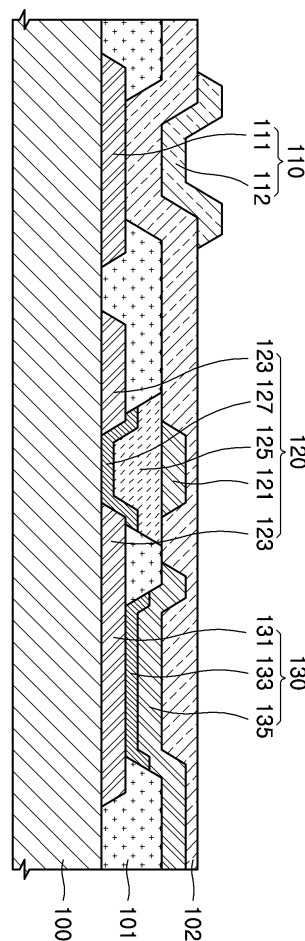
청구항 12.

제 10항에 있어서,

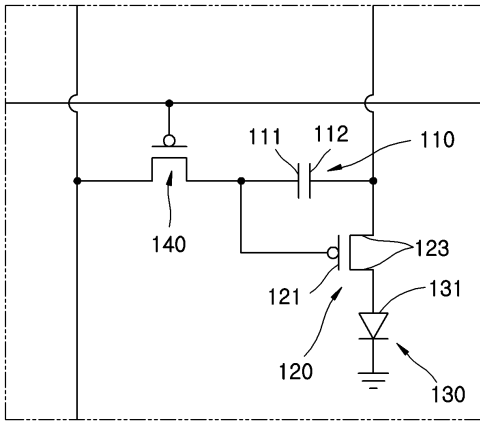
상기 제 2 절연막은 알루미늄 옥사이드, 티타늄 옥사이드, 하프늄 옥사이드, 지르코늄 옥사이드, 란타늄 옥사이드, 프라세오디뮴 옥사이드 또는 이트륨 옥사이드로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

도면

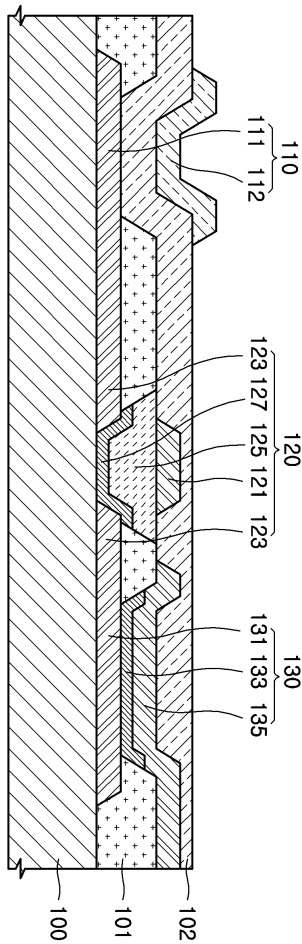
도면1



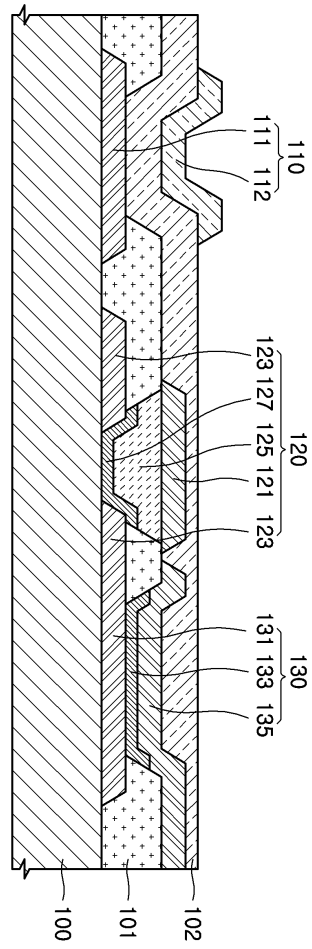
도면2



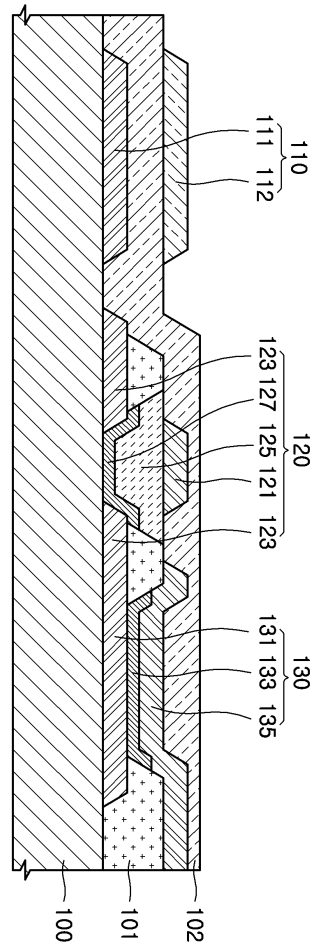
도면3



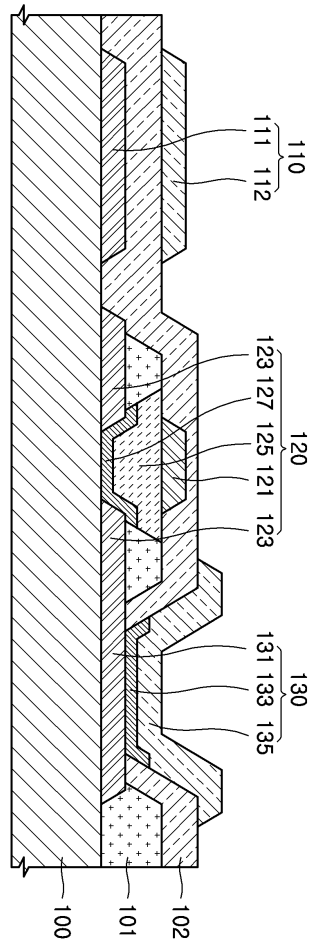
도면4



도면5



도면6



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR100637250B1	公开(公告)日	2006-10-23
申请号	KR1020050120938	申请日	2005-12-09
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK JIN SEONG 박진성 SUH MIN CHUL 서민철 AHN TAEK 안택		
发明人	박진성 서민철 안택		
IPC分类号	H05B33/00 H05B33/10		
CPC分类号	H01L27/1255 H01L27/3262 H01L27/3265 H01L51/56		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示装置及其制造方法，以通过防止电场聚焦在像素电极的边缘部分来保护有机发光元件和有机TFT（薄膜晶体管）。第一电容器电极，源电极和漏电极以及像素电极（131）布置在基板（100）上。第一绝缘膜（101）包括用于暴露第一电容器电极的一部分的第一孔，用于暴露源电极和漏电极的面对部分的第二孔，以及用于暴露像素电极的一部分的第三孔。栅极绝缘膜（125）布置在第一绝缘膜的第二孔中。中间层（133）布置在第三孔中并且至少包括发光层。栅极设置在栅极绝缘膜上，对电极设置在中间层上。设置第二绝缘膜（102）以覆盖第一电容器电极，栅电极和对电极。第二电容器电极（112）布置成对应于第二绝缘膜上的第一电容器电极。

