

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. (45) 공고일자 2006년09월15일
H05B 33/26 (2006.01) (11) 등록번호 10-0624113
(24) 등록일자 2006년09월07일

(21) 출원번호	10-2005-0059897	(65) 공개번호
(22) 출원일자	2005년07월04일	(43) 공개일자

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 천필근
 경기 수원시 영통구 영통동 970-3 벽적골 주공아파트 903동1904호

김은아
 경기 수원시 영통구 영통동 풍림아파트 601-1501

이승아
 경기 용인시 기흥읍 공세리 428-5 SDI중앙연구소

최삼주
 경기 용인시 기흥읍 공세리 428-5 SDI중앙연구소

(74) 대리인 박상수

심사관 : 추장희

(54) 더미 화소도전막 패턴을 구비하는 유기전계발광표시장치 및 그의 제조방법

요약

더미 화소도전막 패턴을 구비하는 유기전계발광표시장치 및 그의 제조방법을 제공한다. 상기 유기전계발광표시장치는 제1 화소영역 및 제2 화소영역을 갖는 기판을 구비한다. 상기 제1 화소영역 상에 제1 화소전극이 위치하고, 상기 제2 화소영역 상에 제2 화소전극이 위치한다. 상기 제1 화소전극 및 상기 제2 화소전극 사이에 상기 제1 화소전극 및 상기 제2 화소전극에 이격하여 더미 화소도전막 패턴이 위치한다.

대표도

도 4

색인어

유기전계발광표시장치, 화소구동회로, 화소불량

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소 어레이를 나타낸 회로도이다.

도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소 어레이를 나타낸 레이아웃도이다.

도 3 및 도 4는 도 2의 절단선 I - I'를 따라 취해진 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 나타낸 단면도들이다.

(도면의 주요 부위에 대한 부호의 설명)

S_n, S_{n-1} : 스캔 라인 D_R, D_G, D_B : 데이터 라인

ELVDD : 공통전원 라인 M1 : 스위칭 트랜지스터

M2 : 구동 트랜지스터 E_R, E_G, E_B : 발광소자

141a, 141b : 화소전극 143 : 더미 화소도전막 패턴

137 : 화소전극 정의막 패턴 160 : 유기기능막

170 : 대향전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치에 관한 것으로, 더욱 자세하게는 불량화소율이 감소된 유기전계발광표시장치에 관한 것이다.

일반적으로 유기전계발광표시장치는 자발광형 표시장치로서, 매트릭스 형태로 배치된 $N \times M$ 개의 화소들을 구동하는 방식에 따라 수동 매트릭스(passive matrix)방식과 능동 매트릭스(active matrix)방식으로 나뉘어진다. 상기 능동 매트릭스 방식의 유기전계발광표시장치는 상기 수동 매트릭스 방식에 비해 전력소모가 적어 대면적 구현에 적합하며 고해상도를 갖는 장점이 있다.

상기 능동 매트릭스 유기전계발광표시장치의 각 화소는 발광다이오드 및 상기 발광다이오드에 접속하는 화소구동회로를 구비한다. 상기 화소구동회로는 박막트랜지스터 및 캐패시터를 구비한다. 이러한 유기전계발광표시장치에 있어서, 상기 화소구동회로 즉, 상기 박막트랜지스터 또는 상기 캐패시터에 결함이 발생할 수 있다. 이 경우, 상기 결함을 가진 화소구동회로에 연결된 발광다이오드는 온 상태에서도 발광하지 않거나, 오프 상태에서도 발광하여 암점 또는 명점불량을 야기한다.

이러한 화소구동회로의 결함으로 인한 화소불량은 그 원인지점(origin)을 정확히 찾아내기 힘들며, 설사 원인지점을 찾았다 하더라도 화소구동회로는 기판에 인접한 깊숙한 곳에 위치하여 상기 원인지점에 레이저를 조사하여 리페어하는 것은 거의 불가능하다. 따라서, 화소구동회로의 결함으로 인한 화소불량은 리페어하는 것이 힘든 실정이다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 화소구동회로에 결함이 발생함으로써 화소불량이 발생한 경우, 이러한 불량화소를 리페어할 수 있는 유기전계발광표시장치 및 그의 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명의 일 실시예는 유기전계발광표시장치를 제공한다. 상기 유기전계발광표시장치는 제 1 화소영역 및 제 2 화소영역을 갖는 기판을 구비한다. 상기 제 1 화소영역 상에 제 1 화소전극이 위치하고, 상기 제 2 화소영역 상에 제 2 화소전극이 위치한다. 상기 제 1 화소전극 및 상기 제 2 화소전극 사이에 상기 제 1 화소전극 및 상기 제 2 화소전극에 이격하여 더미 화소도전막 패턴이 위치한다.

상기 기술적 과제를 이루기 위하여 본 발명의 일 실시예는 유기전계발광표시장치의 제조방법을 제공한다. 상기 제조방법은 제 1 화소영역 및 제 2 화소영역을 구비하는 기판을 제공하는 것을 구비한다. 상기 제 1 화소영역 상에 제 1 화소전극을, 상기 제 2 화소영역 상에 제 2 화소전극을, 상기 제 1 화소전극 및 상기 제 2 화소전극 사이에 상기 제 1 화소전극 및 상기 제 2 화소전극에 이격하는 더미 화소도전막 패턴을 형성한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소 어레이를 나타낸 회로도이다.

도 1을 참조하면, 스캔 라인들(S_n, S_{n-1})이 일방향으로 배치되고, 데이터 라인들(D_R, D_G, D_B)이 상기 스캔 라인들(S_n, S_{n-1})에 교차하도록 배치된다. 상기 데이터 라인들은 적색 데이터 라인(D_R), 녹색 데이터 라인(D_G) 및 청색 데이터 라인(D_B)이다. 상기 적색, 녹색 및 청색 데이터 라인들(D_R, D_G, D_B)과 상기 스캔라인들(S_n, S_{n-1})의 교차에 의해 적색 화소들(R_n, R_{n-1}), 녹색 화소들(G_n, G_{n-1}) 및 청색 화소들(B_n, B_{n-1})이 정의된다.

상기 각 화소는 발광소자(E_R, E_G 또는 E_B) 및 상기 발광소자를 구동하기 위한 화소구동회로를 구비한다. 상기 화소구동회로는 스위칭 트랜지스터(M1), 캐패시터(Cst) 및 구동 트랜지스터(M2)를 구비할 수 있다. 상기 스위칭 트랜지스터(M1)는 게이트가 상기 스캔 라인(S_n 또는 S_{n-1})에 연결되고, 소오스가 상기 데이터 라인(D_R, D_G 또는 D_B)에 연결되어, 상기 스캔 라인에 인가된 스캔 신호에 의해 상기 데이터 라인에 인가된 데이터 신호를 스위칭한다. 상기 캐패시터(Cst)는 상기 스위칭 트랜지스터(M1)의 드레인 및 공통전원라인(ELVDD) 사이에 연결되어, 상기 데이터 신호를 일정기간 유지한다. 상기 구동 트랜지스터(M2)는 게이트가 상기 캐패시터(Cst)에 연결되고, 소오스가 상기 공통전원라인(ELVDD)에 연결되고, 드레인이 상기 발광소자(E_R, E_G 또는 E_B)에 연결되어, 상기 데이터 신호의 크기에 비례하는 전류를 상기 발광소자 자세하게는 발광소자의 화소전극에 공급한다. 상기 발광소자(E_R, E_G 또는 E_B)는 공급된 전류에 대응하여 발광한다.

이러한 유기전계발광표시장치의 제조과정 중 상기 화소들 중 일부의 화소에 위치한 화소구동회로에 불량이 발생할 수 있다. 이 경우, 상기 불량이 발생한 화소구동회로에 연결된 발광소자는 온 상태에서도 발광하지 않거나, 오프 상태에서도 발광하여 암점 또는 명점불량을 야기한다.

이 때, 불량이 발생한 화소의 화소구동회로와 발광소자 사이의 배선을 단선한다. 예를 들어, B_{n-1} 화소의 화소구동회로에 불량이 발생한 경우, 상기 B_{n-1} 화소의 화소구동회로 자세하게는 B_{n-1} 화소의 구동 트랜지스터(M2)와 발광소자(E_B) 사이의 배선을 단선(P)한다. 이어서, 상기 B_{n-1} 화소의 발광소자(E_B)와 상기 B_{n-1} 화소에 인접하는 화소, 예를 들어 B_n 화소의 발광소자(E_B)를 연결(R_1, R_2)한다. 따라서, 상기 B_n 화소의 화소구동회로에 상기 B_n 화소의 발광소자(E_B) 및 B_{n-1} 화소의 발광소자(E_B)가 함께 연결된다. 이로써, 상기 B_{n-1} 화소의 발광소자(E_B)는 상기 B_n 화소의 발광소자(E_B)가 턴-온되는 경우 동시에 턴-온되며, 턴-오프되는 경우 동시에 턴-오프 될 수 있다. 따라서, 상기 B_{n-1} 화소는 명점 또는 암점 불량을 야기하지 않을 수 있다.

물론, 상기 B_n 화소의 화소구동회로에 상기 B_n 화소의 발광소자(E_B) 및 B_{n-1} 화소의 발광소자(E_B)가 함께 연결되므로, 상기 B_n 화소 및 상기 B_{n-1} 화소는 독립적인 화소로서의 역할을 하지 못하며, 다른 화소에 비해 각각의 휘도가 감소할 수 있

다. 그러나, 상기 B_{n-1} 화소와 상기 B_n 화소는 수많은 화소들 중 일부에 해당하므로 이미지의 윤곽을 이를 수 있는 확률은 매우 낮고, 설사 이미지의 윤곽을 이루게 되더라도 명점 또는 암점에 비해 관찰자가 이를 불량으로 인식하기는 매우 힘들다. 결과적으로, 불량률을 낮출 수 있다.

나아가, 상술한 바와 같이 상기 B_{n-1} 화소와 상기 B_n 화소는 동일 색을 나타내는 화소들인 것이 바람직하다. 이로써, 서로 다른 색을 나타내는 화소들의 발광소자를 연결했을 경우에 비해 관찰자에게 불량으로 인식될 수 있는 확률을 낮출 수 있다. 또한, 상술한 바와 같이, 상기 B_{n-1} 화소와 상기 B_n 화소는 하나의 열에 인접하여 위치하는 것이 바람직하다. 즉, 본 발명의 일실시예에 따른 유기전계발광표시장치는 스트라이프형 화소배열을 갖는 것이 바람직하다. 일반적으로 유기전계발광표시장치의 화소배열은 스트라이프형, 멜타형, 모자이크형 등이 있을 수 있는데, 동일 색을 타나내는 화소들이 가장 가까이 인접하여 위치하는 화소배열이 스트라이프형 배열이기 때문이다.

도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단위화소 어레이를 나타낸 레이아웃도이며, 도 3 및 도 4는 도 2의 절단선 I - I'를 따라 취해진 본 발명의 일 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 나타낸 단면도들이다.

도 2 및 도 3을 참조하면, 화소영역들($R_n, R_{n-1}, G_n, G_{n-1}, B_n, B_{n-1}$)을 구비하는 기판(100) 상에 버퍼층(105)을 형성한다. 상기 기판(100)은 투명한 기판 또는 불투명한 기판일 수 있다. 나아가, 상기 기판(100)은 유리, 플라스틱, 석영, 실리콘 또는 금속 기판일 수 있다. 상기 버퍼층(105)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 이들의 다중층일 수 있다.

상기 버퍼층(105) 상의 일부영역에 반도체층(110)을 형성한다. 상기 반도체층(110)은 비정질 실리콘막 또는 비정질 실리콘막을 결정화한 다결정 실리콘막일 수 있다. 바람직하게는 상기 반도체층(110)은 높은 전하이동도를 갖는 다결정 실리콘막이다. 상기 반도체층(110) 상에 게이트 절연막(115)을 형성한다. 상기 게이트 절연막(115)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 이들의 다중층으로 형성할 수 있다.

상기 게이트 절연막(115) 상에 상기 반도체층(110)과 중첩하는 게이트 전극(120), 스캔라인(S_{n-1}) 및 캐패시터 하부전극(121)을 형성한다. 이어서, 상기 게이트 전극(120)을 마스크로 하여 상기 반도체층(110)에 도전성 불순물을 주입하여 소오스 영역(미도시) 및 드레인 영역(미도시)을 형성한다. 이 때, 상기 소오스 영역과 드레인 영역 사이에 채널 영역(미도시)이 정의된다.

상기 게이트 전극(120), 상기 스캔라인(S_{n-1}) 및 상기 캐패시터 하부전극(121) 상에 제 1 층간절연막(125)을 형성한다. 상기 제 1 층간절연막(125) 내에 상기 소오스/드레인 영역들을 각각 노출시키는 콘택홀들을 형성한다. 상기 콘택홀들이 형성된 기판 상에 도전막을 적층한 후, 이를 패터닝하여 상기 반도체층(110)의 소오스/드레인 영역들에 각각 접속하는 소오스 전극(131)과 드레인 전극(133)을 형성한다. 이와 동시에, 상기 캐패시터 하부전극(121)에 중첩하는 캐패시터 상부전극(134)을 형성한다.

상기 반도체층(110), 상기 게이트 전극(120) 및 상기 소오스/드레인 전극들(131, 133)은 구동 트랜지스터(M2)를 형성하고, 상기 캐패시터 하부전극(121), 상기 캐패시터 상부전극(134) 및 이들 사이에 개재된 절연막은 캐패시터(Cst)를 형성한다. 한편, 상기 반도체층(110)을 형성할 때 스위칭 트랜지스터(M1)의 반도체층을 형성하고, 상기 게이트 전극(120), 상기 스캔라인(S_{n-1}) 및 상기 캐패시터 하부전극(121)을 형성할 때 스위칭 트랜지스터(M1)의 게이트 전극을 형성한다. 또한, 상기 소오스/드레인 전극들(131, 133) 및 상기 캐패시터 상부전극(134)을 형성할 때, 데이터 라인들(D_R, D_G, D_B), 공통전원라인(ELVDD) 및 상기 스위칭 트랜지스터(M1)의 소오스/드레인 전극들을 형성한다.

상기 소오스/드레인 전극(131, 133) 및 상기 캐패시터 상부전극(134) 상에 제 2 층간절연막(135)을 형성한다. 상기 제 2 층간절연막(135)은 패시베이션막, 평탄화막 또는 상기 패시베이션막 상에 상기 평탄화막이 적층된 이중층일 수 있다. 상기 패시베이션막은 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층으로 형성할 수 있다. 바람직하게는 상기 패시베이션막은 기체 및 수분을 효과적으로 차단하여 하부의 트랜지스터를 보호할 수 있고, 수소를 풍부하게 함유하여 상기 다결정 실리콘막의 결정립 경계(grain boundary)에 존재하는 불완전 결합을 패시베이션 할 수 있는 실리콘 질화막인 것이 바람직하다. 상기 평탄화막은 하부 단차를 완화할 수 있는 유기막으로 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막일 수 있다.

상기 제 2 층간절연막(135) 상에 제 3 층간절연막을 형성한다. 이어서, 상기 제 3 층간절연막을 패터닝하여 화소전극 정의막 패턴(137)을 형성한다. 상기 화소전극 정의막 패턴(137)은 후술하는 화소전극이 형성될 영역에서 상기 제 2 층간절연막(135)을 노출시킨다. 나아가, 상기 화소전극 정의막 패턴(137)은 역테이퍼 형상을 갖는 것이 바람직하다. 이어서, 상기 노출된 제 2 층간절연막(135) 내에 상기 드레인 전극(133)을 노출시키는 비아홀(135a)을 형성한다. 상기 화소전극 정의막 패턴(137)은 유기막인 것이 바람직하며, 자세하게는 BCB(benzocyclobutene)막, 폴리이미드막 또는 폴리아크릴막일 수 있다.

상기 화소전극 정의막 패턴(137) 및 상기 비아홀(135a)이 형성된 기판 상에 화소도전막을 적층한다. 그 결과, 상기 화소도전막은 상기 화소전극 정의막 패턴(137)에 의해 노출된 상기 제 2 층간절연막(135) 상에 형성됨과 동시에, 상기 화소전극 정의막 패턴(137)상에도 형성된다. 이 때, 상기 역테이퍼 형상을 갖는 화소전극 정의막 패턴(137)으로 인해 상기 제 2 층간절연막(135) 상에 형성된 화소도전막과 상기 화소전극 정의막 패턴(137) 상에 형성된 화소도전막은 서로 분리된다. 따라서, 상기 제 2 층간절연막(135) 상에 형성된 화소도전막은 화소전극(141a, 141b)으로 정의되고, 상기 화소전극 정의막 패턴(137) 상에 형성된 화소도전막은 더미 화소도전막 패턴(143)으로 정의된다. 그 결과, 상기 B_n 화소영역 상에 위치하는 화소전극(141a)과 상기 B_{n-1} 화소영역 상에 위치하는 화소전극(141b) 사이에 상기 화소전극들(141a, 141b)에 이격하여 상기 더미 화소도전막 패턴(143)이 위치한다. 이 때, 상기 각 화소전극(141a, 141b)은 상기 비아홀(135a)을 통해 상기 드레인 전극(133) 즉, 상기 각 구동 트랜지스터(M2)에 접속한다.

이어서, 상기 화소전극(141a, 141b) 및 더미 화소도전막 패턴(143)을 구비하는 기판 상에 화소정의막(150)을 형성하고, 상기 화소정의막(150) 내에 상기 화소전극(141a, 141b)의 일부영역을 노출시키는 개구부(150a)를 형성한다. 그 결과, 상기 화소정의막(150)은 상기 화소전극(141a, 141b)의 에지부, 상기 비아홀(135a)이 형성된 영역 및 상기 더미 화소도전막 패턴(143)을 덮는다. 상기 화소정의막(150)은 BCB(benzocyclobutene), 아크릴계 포토레지스트, 폐놀계 포토레지스트 또는 이미드계 포토레지스트를 사용하여 형성할 수 있다.

상기 개구부(150a) 내에 노출된 상기 화소전극(141a, 141b) 상에 적어도 유기발광층을 구비하는 유기기능막(160)을 형성한다. 상기 유기기능막(160)은 상기 유기발광층의 상부 및/또는 하부에 전하수송층 및/또는 전하주입층을 더 구비하도록 형성할 수 있다. 이어서, 상기 유기기능막(160) 상에 대향전극(170)을 형성한다.

도 2 및 도 4를 참조하면, 상기 대향전극(170)이 형성된 기판을 테스트기에 투입하여 화소들의 동작불량을 테스트한다. 이 때, 일부의 화소에 위치한 발광소자는 온 상태에서도 발광하지 않거나, 오프 상태에서도 발광하여 암점 또는 명점불량화소가 된다. 이러한 화소불량은 상기 일부의 화소에 위치한 화소구동회로에 발생한 결함에 기인할 수 있다.

이 때, 불량이 발생한 화소의 화소구동회로와 화소전극 사이의 배선을 단선한다. 예를 들어, B_{n-1} 화소영역의 화소구동회로에 불량이 발생한 경우, 상기 B_{n-1} 화소영역의 구동 트랜지스터(M2)와 화소전극(141b) 사이의 배선 즉, 상기 비아홀(135a) 부근에 레이저 빔(L_1)을 조사함으로써, 상기 B_{n-1} 화소영역의 구동 트랜지스터(M2)와 화소전극(141b) 사이의 접속부위를 절단(P)한다.

이어서, 상기 B_{n-1} 화소영역의 화소전극(141b)과 B_n 화소영역의 화소전극(141a) 사이에 위치한 더미 화소도전막 패턴(143)과 상기 B_{n-1} 화소영역의 화소전극(141b) 사이에 레이저 빔(L_2)을 조사한다. 이로써, 상기 더미 화소도전막 패턴(143)과 상기 화소전극(141b)이 서로 연결된다. 자세하게는 상기 레이저 빔(L_2)을 조사할 때, 상기 더미 화소도전막 패턴(143) 하부의 화소전극 정의막 패턴(137)이 무너지면서 상기 더미 화소도전막 패턴(143)과 상기 화소전극(141b)이 서로 연결된다. 이어서, 상기 더미 화소도전막 패턴(143)과 상기 B_n 화소영역의 화소전극(141a) 사이에 레이저 빔(L_3)을 조사한다. 이로써, 상기 더미 화소도전막 패턴(143)과 상기 화소전극(141a)이 서로 연결된다. 따라서, 상기 더미 화소도전막 패턴(143)을 통해 상기 B_{n-1} 화소영역의 화소전극(141b)과 B_n 화소영역의 화소전극(141a)이 서로 연결된다. 결과적으로 상기 B_n 화소영역의 구동 트랜지스터(M2)에 상기 화소전극들(141a, 141b)이 함께 연결된다.

그 결과, 상기 B_{n-1} 화소는 상기 B_n 화소가 턴-온되는 경우 동시에 턴-온되며, 턴-오프되는 경우 동시에 턴-오프 될 수 있다. 따라서, 상기 B_{n-1} 화소는 명점 또는 암점 불량을 야기하지 않을 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 유기전계발광표시장치에 있어서 화소구동회로에 결함이 발생한 화소라 하더라도 화소불량을 야기하지 않을 수 있다. 결과적으로 화소불량을 현저하게 감소시켜 수율향상을 이룰 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

제 1 화소영역 및 제 2 화소영역을 구비하는 기판;

상기 제 1 화소영역 상에 위치하는 제 1 화소전극;

상기 제 2 화소영역 상에 위치하는 제 2 화소전극; 및

상기 제 1 화소전극 및 상기 제 2 화소전극 사이에 상기 제 1 화소전극 및 상기 제 2 화소전극에 이격하여 위치하는 더미 화소도전막 패턴을 구비하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 화소영역과 상기 제 2 화소영역은 서로 같은 색을 나타내는 화소영역들인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 화소영역과 상기 제 2 화소영역은 하나의 열에 인접하여 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 1 항에 있어서,

상기 제 1 화소전극 및 상기 제 2 화소전극 사이에 위치하는 화소전극 정의막 패턴을 더 포함하고,

상기 더미 화소도전막 패턴은 상기 화소전극 정의막 패턴 상에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제 4 항에 있어서,

상기 화소전극 정의막 패턴은 역테이퍼 형상을 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6.

제 1 항에 있어서,

상기 제 1 화소영역 상에 위치하고 상기 제 1 화소전극에 접속하는 제 1 트랜지스터; 및 상기 제 2 화소영역 상에 위치하고 상기 제 2 화소전극에 접속하는 제 2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7.

제 1 화소영역 및 제 2 화소영역을 구비하는 기판을 제공하고;

상기 제 1 화소영역 상에 제 1 화소전극을, 상기 제 2 화소영역 상에 제 2 화소전극을, 상기 제 1 화소전극 및 상기 제 2 화소전극 사이에 상기 제 1 화소전극 및 상기 제 2 화소전극에 이격하는 더미 화소도전막 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 제 1 화소영역과 상기 제 2 화소영역은 서로 같은 색을 나타내는 화소영역들인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 9.

제 7 항에 있어서,

상기 제 1 화소영역과 상기 제 2 화소영역은 하나의 열에 인접하여 위치하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 10.

제 7 항에 있어서,

상기 제 1 화소전극, 상기 제 2 화소전극 및 상기 더미 화소도전막 패턴을 형성하는 것은 기판 상에 화소전극 정의막 패턴을 형성한 후, 상기 화소전극 정의막 패턴이 형성된 기판 상에 화소도전막을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 화소전극 정의막 패턴은 역테이퍼 형상을 갖도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 12.

제 7 항에 있어서,

상기 제 1 화소전극, 상기 제 2 화소전극 및 상기 더미 화소도전막 패턴을 형성하기 전에, 상기 제 1 화소영역 및 상기 제 2 화소영역 상에 제 1 트랜지스터 및 제 2 트랜지스터를 각각 형성하는 것을 더 포함하고,

상기 제 1 화소전극 및 상기 제 2 화소전극은 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터에 각각 접속하도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 13.

제 12 항에 있어서,

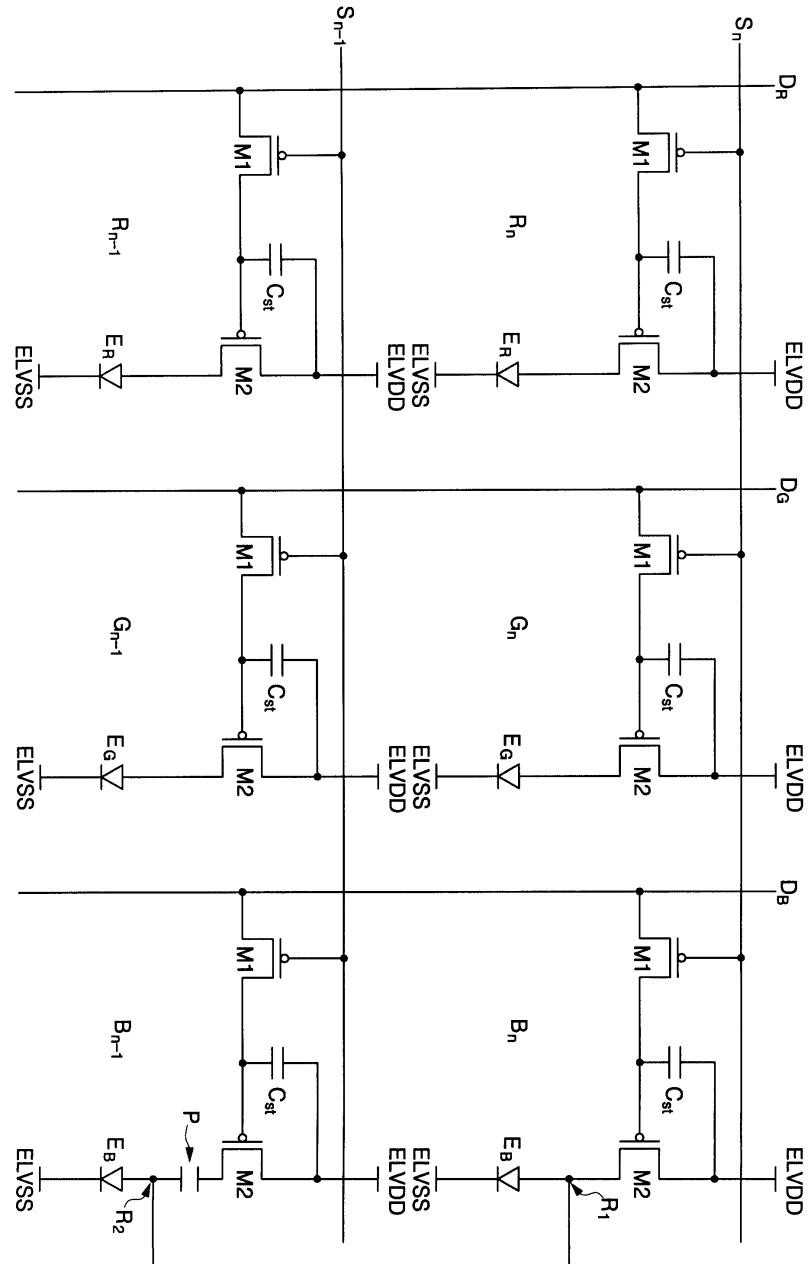
상기 제 2 화소전극과 상기 제 2 트랜지스터의 접속부위를 절단하고,

상기 제 1 화소전극과 상기 더미 화소도전막 패턴 사이를 연결하고,

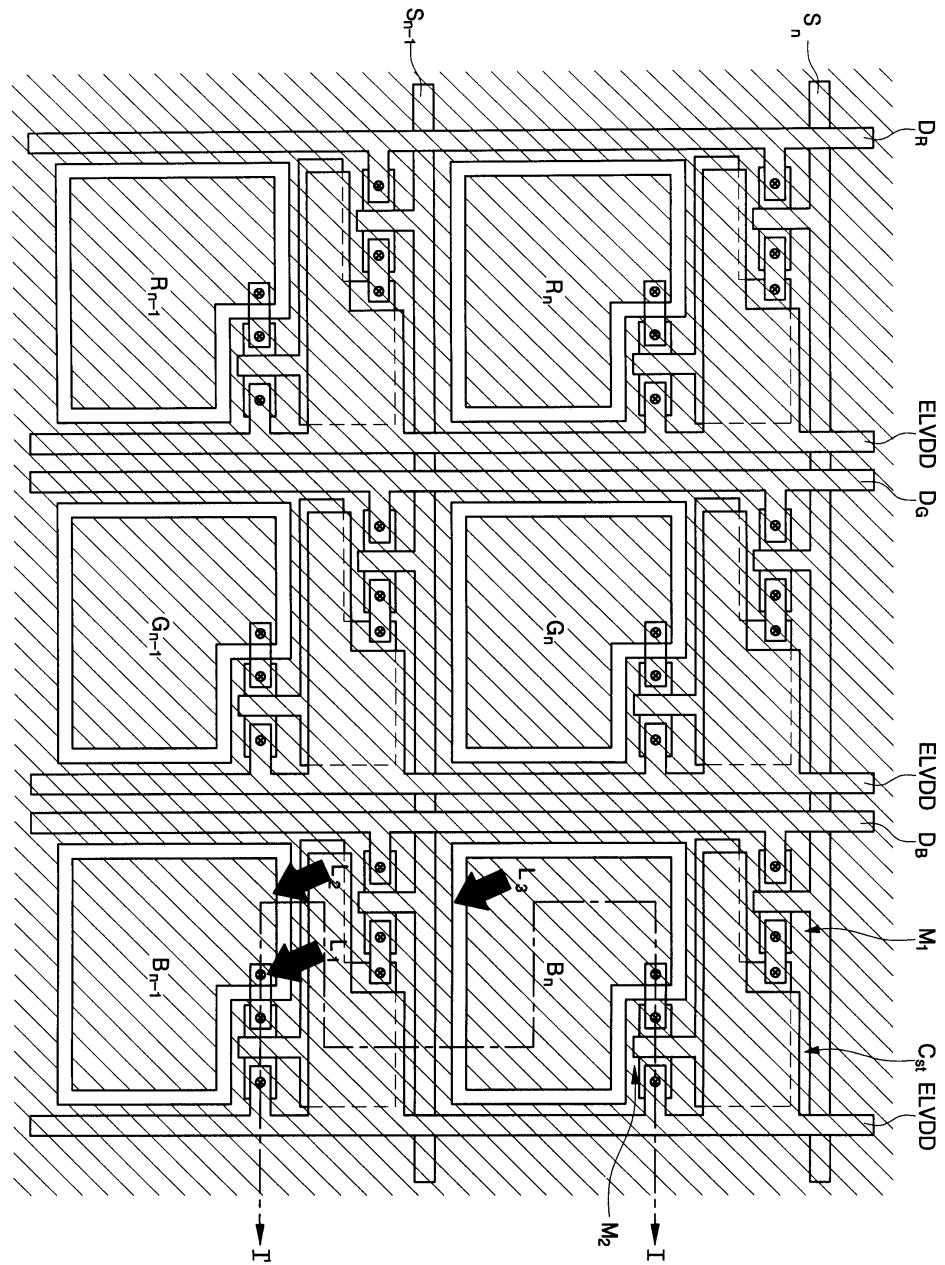
상기 제 2 화소전극과 상기 더미 화소도전막 패턴 사이를 연결하는 것을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

도면

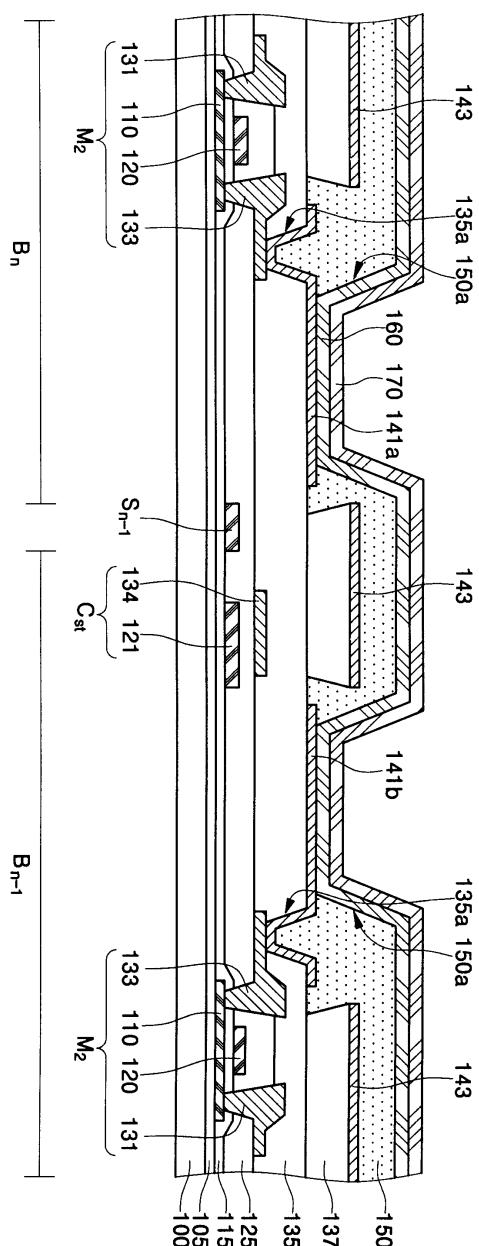
도면1



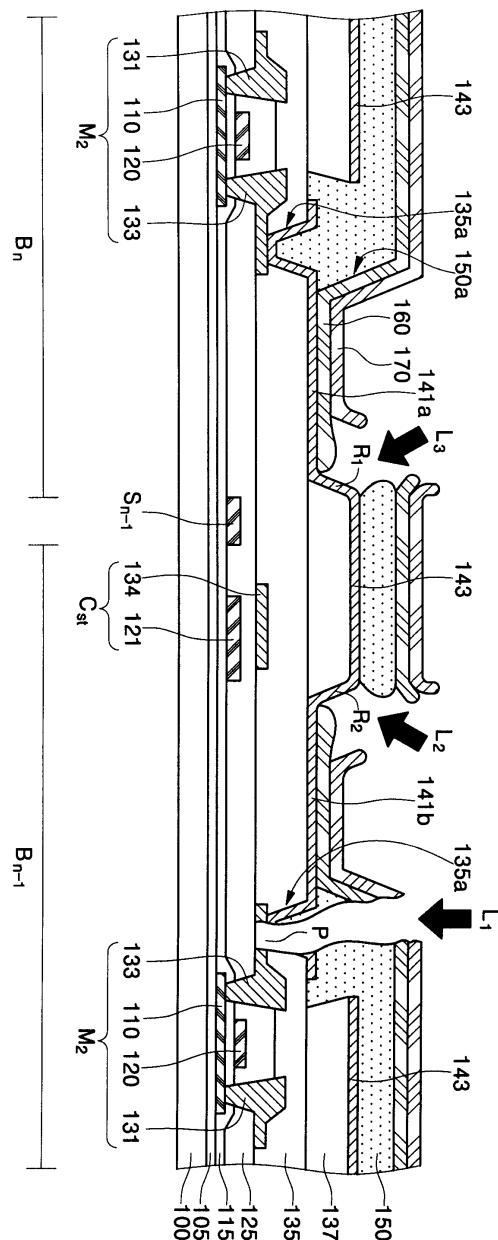
도면2



도면3



도면4



专利名称(译)	一种包括虚设像素和导电膜图案的有机电致发光显示装置及其制造方法		
公开(公告)号	KR100624113B1	公开(公告)日	2006-09-15
申请号	KR1020050059897	申请日	2005-07-04
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHON PIL GUN 천필근 KIM EUN AH 김은아 LEE SEUNG AH 이승아 CHOI SAM JU 최삼주		
发明人	천필근 김은아 이승아 최삼주		
IPC分类号	H05B33/26		
CPC分类号	H01L27/3211 H01L27/3248 H01L27/3262 H01L2251/568 H01L2924/12044		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

用途：提供具有虚设像素导电层图案的有机发光显示装置及其制造方法，以通过显着减少像素误差来提高产量。组成：在有机发光显示设备中，基板包括第一像素区域和第二像素区域。第一像素电极（141a）放置在第一像素区域的表面上。第二像素电极（141b）放置在第二像素区域的表面上。虚设像素导电层图案设置在第一像素电极（141a）和第二像素电极（141b）之间，其中虚设像素导电层图案与第一像素电极（141a）和第二像素电极（141b）分开放置）。

