



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0022268
(43) 공개일자 2011년03월07일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0079791

(22) 출원일자 2009년08월27일

심사청구일자 2009년08월27일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

박정국

충청남도 천안시 서북구 성성동 508번지

(74) 대리인

신영무

전체 청구항 수 : 총 13 항

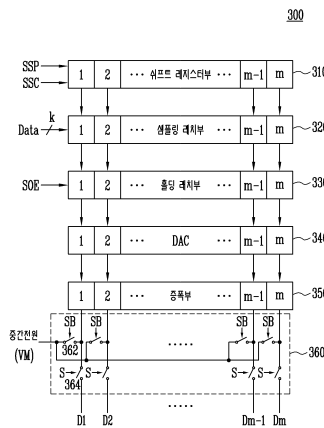
(54) 데이터 구동회로 및 이를 구비한 유기전계 발광 표시장치

(57) 요약

본 발명은 데이터 구동회로에 구비된 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선 사이에 중간전원(VM, middle voltage)과 연결된 스위치부가 구비되고, 상기 스위치부의 동작에 의해 상기 데이터 구동회로에서 데이터 신호가 출력되기 전에는 상기 출력버퍼의 출력단이 중간전원과 연결되도록 구현함으로써, 상기 출력버퍼의 슬루 레이트를 향상시킴과 함께 소비전력을 저감케 하는 데이터 구동회로 및 이를 구비한 유기전계 발광 표시장치를 제공한다.

본 발명의 실시예에 의한 데이터 구동회로는, 데이터 신호를 각각의 데이터선으로 출력하기 위해 상기 각 데이터선에 대응되는 각각의 출력버퍼를 구비한 증폭부와; 상기 각 데이터선 별로 구비된 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선(D1-Dm) 사이에 구비된 스위치부가 포함되며, 상기 스위치부는, 중간전원(VM)과 상기 각 출력버퍼의 출력단 사이에 연결된 제 1스위치와; 상기 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선 사이에 연결된 제 2스위치로 구성된다.

대표도 - 도4



특허청구의 범위

청구항 1

데이터 신호를 각각의 데이터선으로 출력하기 위해 상기 각 데이터선에 대응되는 각각의 출력버퍼를 구비한 증폭부와;

상기 각 데이터선 별로 구비된 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선(D1-Dm) 사이에 구비된 스위치부가 포함되며,

상기 스위치부는,

중간전원(VM)과 상기 각 출력버퍼의 출력단 사이에 연결된 제 1스위치와;

상기 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선 사이에 연결된 제 2스위치로 구성됨을 특징으로 하는 데이터 구동회로.

청구항 2

제 1항에 있어서,

쉬프트 레지스터 클럭을 생성하여 샘플링 신호를 제공하는 쉬프트 레지스터부와;

상기 쉬프트 레지스터부로부터 순차적으로 공급되는 샘플링신호에 응답하여 데이터를 순차적으로 저장하는 샘플링 래치부와;

상기 샘플링 래치부에서 래치된 데이터를 입력받아 이를 저장하는 홀딩 래치부와;

상기 데이터의 비트값에 대응되는 아날로그 계조전압인 상기 데이터 신호를 생성하는 디지털-아날로그 변환부가 더 포함되어 구성됨을 특징으로 하는 데이터 구동회로.

청구항 3

제 1항에 있어서,

상기 제 1스witch는 상기 데이터 신호가 각각의 데이터선으로 출력되기 전에 턴온되어 상기 출력버퍼의 출력단이 상기 중간전원(VM)과 연결되고,

상기 제 2스witch는 상기 데이터 신호의 출력 시에 턴온되어 상기 출력버퍼의 출력단이 이에 대응되는 각 데이터선에 연결됨을 특징으로 하는 데이터 구동회로.

청구항 4

제 1항에 있어서,

상기 중간전원(VM)은 복수의 계조전압들로 구현되는 상기 데이터 신호의 최대 스윙(swing)에 대한 중간 전압임을 특징으로 하는 데이터 구동회로.

청구항 5

제 4항에 있어서,

상기 중간전원은 상기 복수의 계조전압 중 0 계조에서의 계조전압과 최대 계조에서의 계조전압의 합의 1/2임을 특징으로 하는 데이터 구동회로.

청구항 6

제 4항에 있어서,

상기 중간전원은 최상위 레벨 전압(VREGOUT)의 1/2값으로 구현됨을 특징으로 하는 데이터 구동회로.

청구항 7

제 4항에 있어서,

상기 중간전원은, 상기 복수의 계조전압 중 0 계조에서의 계조전압과 최대 계조에서의 계조전압의 합의 1/2과, 상기 복수의 계조전압 중 0 계조 전압 내지 전체 계조전압의 중간값을 각각 비교하여 상기 0 계조에서의 계조전압과 최대 계조에서의 계조전압의 합의 1/2에 가장 근접한 계조전압을 선택하여 구현됨을 특징으로 하는 데이터 구동회로.

청구항 8

제 4항에 있어서,

상기 중간전원은, 상기 최상위 레벨 전압(VREGOUT)의 1/2값과, 상기 복수의 계조전압 중 0 계조 전압 내지 전체 계조전압의 중간값을 각각 비교하여 상기 최상위 레벨 전압(VREGOUT)의 1/2값에 가장 근접한 계조전압을 선택하여 구현됨을 특징으로 하는 데이터 구동회로.

청구항 9

제1 방향으로 배열되며 주사신호를 전달하는 복수의 주사선, 제2 방향으로 배열되며 데이터 신호를 전달하는 복수의 데이터선, 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소 회로를 포함하는 표시패널과;

상기 데이터 신호를 생성하여 상기 데이터선에 인가하는 데이터 구동부와;

복수의 계조전압을 생성하여 상기 데이터 구동부에 제공하는 감마 보정부와;

상기 감마 보정부에서 출력되는 복수의 계조전압 중 특정 계조전압을 선택하여 중간전원을 생성하는 중간전원 생성부가 포함되어 구성되며,

상기 데이터 구동부는,

데이터 신호를 각각의 데이터선으로 출력하기 위해 상기 각 데이터선에 대응되는 각각의 출력버퍼를 구비한 증폭부와; 상기 각 출력버퍼의 출력단과 각 데이터선 사이에 상기 중간전원과 연결된 스위치부가 포함되어 구성됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 10

제 9항에 있어서,

상기 스위치부는,

중간전원(VM)과 상기 각 출력버퍼의 출력단 사이에 연결된 제 1스위치와;

상기 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선 사이에 연결된 제 2스위치로 구성됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 11

제 10항에 있어서,

상기 제 1스위치는 상기 데이터 신호가 각각의 데이터선으로 출력되기 전에 턴온되어 상기 출력버퍼의 출력단이 상기 중간전원(VM)과 연결되고,

상기 제 2스위치는 상기 데이터 신호의 출력 시에 턴온되어 상기 출력버퍼의 출력단이 이에 대응되는 각 데이터선에 연결됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 12

제 9항에 있어서,

상기 중간전원 생성부는, 상기 복수의 계조전압 중 0 계조에서의 계조전압과 최대 계조에서의 계조전압을 선택하여 이들의 합의 1/2을 중간전원으로 생성함을 특징으로 하는 데이터 구동회로.

청구항 13

제 9항에 있어서,

상기 중간전원 생성부에서 생성된 중간전원(VM)과, 상기 감마 보정부에서 출력되는 복수의 계조전압 중 0 계조 전압 내지 전체 계조전압의 중간값을 입력받아 이를 비교하여 상기 중간전원(VM)에 가장 근접한 계조값을 선택 하여 이를 데이터 구동회로에 제공하는 비교기가 더 포함됨을 특징으로 하는 데이터 구동회로.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 데이터 구동회로에 관한 것으로, 특히 데이터 구동회로에 구비되는 출력버퍼의 슬루 레이트(slew rate)를 조절하는 데이터 구동회로와 이를 구비한 유기전계 발광 표시장치에 관한 것이다.

배경기술

[0002] 최근, 음극선관(Cathode Ray Tube, CRT)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치(Flat Panel Display, FPD)들이 개발되고 있다. 상기 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 발광 표시장치(Light Emitting Display) 등이 있다.

[0003] 이와 같은 평판표시장치는 일반적으로 표시 패널, 주사 구동회로(scan driver), 데이터 구동회로(data driver)를 포함하여 구성되며, 상기 주사 구동회로는 표시 패널에 형성된 복수개의 주사 라인에 순차적으로 주사 구동 신호를 출력하고, 데이터 구동회로는 표시 패널의 데이터선에 R, G, B 영상신호를 출력한다.

[0004] 이 때, 상기 데이터 구동회로에서 출력되는 각각의 영상신호들은 상기 각 데이터선 별로 구비된 출력 버퍼를 통해 일정 수준으로 증폭되어 표시 패널의 데이터선으로 출력된다.

[0005] 도 1은 종래의 데이터 구동회로에 구비되는 출력 버퍼를 구성하는 연산 증폭기의 일 예를 나타내는 도면이다.

[0006] 도 1에 도시된 출력 버퍼(10)는 레일 투 레일(rail to rail) 입력단 구조를 가지는 폴디드 캐스코드(folded cascode) 연산증폭기 회로(11)와 공통 드레인 증폭기 및 보상 커패시터(C)를 구비하는 출력 회로(12)를 구비한다.

[0007] 상기 폴디드 캐스코드 연산증폭기 회로(11)는 제1입력단자(Vin+단자)와 제2입력단자(Vin-단자) 사이의 신호들의 차이를 증폭하며, 상기 출력 회로(12)는 상기 폴디드 캐스코드 연산증폭기 회로(11)로부터 출력된 신호를 증폭하여 출력한다.

[0008] 상기 폴디드 캐스코드 연산증폭기 회로(11)는 PMOS 전류 바이어스 회로(13)와 NMOS 전류 바이어스 회로(14)를 구비한다. 여기서, 상기 PMOS 전류 바이어스 회로(13)는 PMOS트랜지스터(MP1)를 구비하며, 상기 PMOS트랜지스터(MP1)는 바이어스 전압 발생기(미도시)로부터 발생된 바이어스 압(V_{BP})에 의해 구동되어 상기 폴디드 캐스코드 연산증폭기 회로(11)에 바이어스 전류(I_{BP1})를 공급한다.

[0009] 또한, 상기 NMOS 전류 바이어스 회로(14)는 NMOS트랜지스터(MN1)를 구비하며, 상기 NMOS트랜지스터(MN1)는 바이어스 전압 발생기로부터 발생된 바이어스 전압 (V_{BN})에 의해 구동되어 상기 폴디드 캐스코드 연산증폭기 회로(11)에 바이어스 전류(I_{BN1})를 공급한다.

$$\frac{I_{BN1} + I_{BP1}}{2C}$$

[0010] 상기 출력버퍼(10)의 출력신호(output)의 슬루 레이트(slew rate)는 $\frac{I_{BN1} + I_{BP1}}{2C}$ 로 나타낼 수 있다.

[0011] 상기 슬루 레이트는 단위 시간당 출력전압의 최대 변화량을 의미하는 것으로, 즉 출력전압을 시간에 관한 그래프 그렸을 때 출력전압의 순간 기울기(=시간에 대해 미분한 값)를 의미한다.

[0012] 표시장치에 구비되는 데이터 구동회로의 경우 많은 특성들은 표시 패널로 구동전압을 출력하는 출력버퍼에 의해서 결정되는데, 이러한 특성들 중에서 상기 출력버퍼의 슬루 레이트는 데이터 구동회로의 구동 전류에 큰 영향

을 준다.

[0013] 특히 최근 들어 표시장치의 대형화에 따른 주사 신호 입력 시간의 감소 및 구동회로 IC의 증가에 따른 비용의 절감을 위해 디멀티(Demux)를 사용하게 될 경우 상기 출력버퍼의 슬루 레이트의 감소가 요구되고 있는 실정이다.

[0014] 그러나, 종래의 경우 데이터 드라이버에서 출력되는 출력 신호의 슬루 레이트는 출력 버퍼의 바이어스 전류 (I_{BP1} , I_{BN1})와 보상 캐패시터(C)에 의존하기 때문에 상기 슬루 레이트를 줄이는 데는 한계가 있다.

발명의 내용

해결 하고자하는 과제

[0015] 본 발명은 데이터 구동회로에 구비된 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선 사이에 중간전원(VM, middle voltage)과 연결된 스위치부가 구비되고, 상기 스위치부의 동작에 의해 상기 데이터 구동회로에서 데이터 신호가 출력되기 전에는 상기 출력버퍼의 출력단이 중간전원과 연결되도록 구현함으로써, 상기 출력버퍼의 슬루 레이트를 향상시킴과 함께 소비전력을 저감케 하는 데이터 구동회로 및 이를 구비한 유기전계 발광 표시장치를 제공함에 그 목적이 있다.

과제 해결수단

[0016] 상기 목적을 달성하기 위하여 본 발명의 실시예에 의한 데이터 구동회로는, 데이터 신호를 각각의 데이터선으로 출력하기 위해 상기 각 데이터선에 대응되는 각각의 출력버퍼를 구비한 증폭부와; 상기 각 데이터선 별로 구비된 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선(D1-Dm) 사이에 구비된 스위치부가 포함되며, 상기 스위치부는, 중간전원(VM)과 상기 각 출력버퍼의 출력단 사이에 연결된 제 1스위치와; 상기 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선 사이에 연결된 제 2스위치로 구성됨을 특징으로 한다.

[0017] 또한, 상기 데이터 구동회로는 쉬프트 레지스터 클럭을 생성하여 샘플링 신호를 제공하는 쉬프트 레지스터부와; 상기 쉬프트 레지스터부로부터 순차적으로 공급되는 샘플링신호에 응답하여 데이터를 순차적으로 저장하는 샘플링 래치부와; 상기 샘플링 래치부에서 래치된 데이터를 입력받아 이를 저장하는 홀딩 래치부와; 상기 데이터의 비트값에 대응되는 아날로그 계조전압인 상기 데이터 신호를 생성하는 디지털-아날로그 변환부가 더 포함되어 구성된다.

[0018] 또한, 상기 제 1스위치는 상기 데이터 신호가 각각의 데이터선으로 출력되기 전에 턴온되어 상기 출력버퍼의 출력단이 상기 중간전원(VM)과 연결되고, 상기 제 2스위치는 상기 데이터 신호의 출력 시에 턴온되어 상기 출력버퍼의 출력단이 이에 대응되는 각 데이터선에 연결됨을 특징으로 한다.

[0019] 또한, 상기 중간전원(VM)은 복수의 계조전압들로 구현되는 상기 데이터 신호의 최대 스윙(swing)에 대한 중간전압으로서, 상기 중간전원은 상기 복수의 계조전압 중 0 계조에서의 계조전압과 최대 계조에서의 계조전압의 합의 1/2이거나, 최상위 레벨 전압(VREGOUT)의 1/2값으로 구현됨을 특징으로 한다.

[0020] 또한, 상기 중간전원은, 상기 복수의 계조전압 중 0 계조에서의 계조전압과 최대 계조에서의 계조전압의 합의 1/2과, 상기 복수의 계조전압 중 0 계조 전압 내지 전체 계조전압의 중간값을 각각 비교하여 상기 0 계조에서의 계조전압과 최대 계조에서의 계조전압의 합의 1/2에 가장 근접한 계조전압을 선택하여 구현될 수 있다.

[0021] 또한, 상기 중간전원은, 상기 최상위 레벨 전압(VREGOUT)의 1/2값과, 상기 복수의 계조전압 중 0 계조 전압 내지 전체 계조전압의 중간값을 각각 비교하여 상기 최상위 레벨 전압(VREGOUT)의 1/2값에 가장 근접한 계조전압을 선택하여 구현될 수 있다.

[0022] 또한, 본 발명의 실시예에 의한 유기전계 발광 표시장치는, 제1 방향으로 배열되며 주사신호를 전달하는 복수의 주사선, 제2 방향으로 배열되며 데이터 신호를 전달하는 복수의 데이터선, 상기 주사선과 상기 데이터선에 각각 연결되는 복수의 화소 회로를 포함하는 표시패널과; 상기 데이터 신호를 생성하여 상기 데이터선에 인가하는 데이터 구동부와; 복수의 계조전압을 생성하여 상기 데이터 구동부에 제공하는 감마 보정부와; 상기 감마 보정부에서 출력되는 복수의 계조전압 중 특정 계조전압을 선택하여 중간전원을 생성하는 중간전원 생성부가 포함되어 구성되며,

[0023] 상기 데이터 구동부는, 데이터 신호를 각각의 데이터선으로 출력하기 위해 상기 각 데이터선에 대응되는 각각의 출력버퍼를 구비한 증폭부와; 상기 각 출력버퍼의 출력단과 각 데이터선 사이에 상기 중간전원과 연결된 스위치

부가 포함되어 구성됨을 특징으로 한다.

[0024] 이 때, 상기 스위치부는, 중간전원(VM)과 상기 각 출력버퍼의 출력단 사이에 연결된 제 1스위치와; 상기 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선 사이에 연결된 제 2스위치로 구성되며, 상기 제 1스위치는 상기 데이터 신호가 각각의 데이터선으로 출력되기 전에 턴온되어 상기 출력버퍼의 출력단이 상기 중간전원(VM)과 연결되고, 상기 제 2스위치는 상기 데이터 신호의 출력 시에 턴온되어 상기 출력버퍼의 출력단이 이에 대응되는 각 데이터선에 연결됨을 특징으로 한다.

[0025] 또한, 상기 중간전원 생성부는, 상기 복수의 계조전압 중 0 계조에서의 계조전압과 최대 계조에서의 계조전압을 선택하여 이들의 합의 1/2을 중간전원으로 생성함을 특징으로 한다.

[0026] 또한, 상기 중간전원 생성부에서 생성된 중간전원(VM)과, 상기 감마 보정부에서 출력되는 복수의 계조전압 중 0 계조전압 내지 전체 계조전압의 중간값을 입력받아 이를 비교하여 상기 중간전원(VM)에 가장 근접한 계조값을 선택하여 이를 데이터 구동회로에 제공하는 비교기가 더 포함됨을 특징으로 한다.

효 과

[0027] 이와 같은 본 발명에 의하면, 데이터 구동회로에 구비된 각 출력버퍼의 출력단과 각 데이터선 사이에 중간전원과 연결된 스위치부가 구비되고, 상기 스위치부의 동작에 의해 상기 데이터 구동회로에서 데이터 신호가 출력되기 전에는 상기 출력버퍼의 출력단이 중간전원과 연결되도록 구현함으로써, 상기 출력버퍼의 슬루 레이트를 향상시킴과 함께 소비전력을 저감케 하는 장점이 있다.

[0028] 또한, 상기 슬루 레이트가 향상됨에 의해 데이터 구동회로 IC의 Size를 줄일 수 있게 된다.

발명의 실시를 위한 구체적인 내용

[0029] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

[0030] 도 2는 본 발명의 실시예에 의한 유기전계 발광 표시장치의 구성을 나타내는 블록도이다.

[0031] 도 2를 참조하면, 본 발명의 실시예에 의한 유기 전계발광 표시장치는 표시패널(100), 주사 구동회로(200), 데이터 구동회로(300), 감마 보정부(400), 중간전원 생성부(450) 및 제어부(500)를 포함한다.

[0032] 상기 표시패널(100)은 열 방향으로 뻗어 있는 복수의 데이터선(D1-Dm), 행 방향으로 뻗어 있는 복수의 주사선(S1-Sn), 및 복수의 화소를 포함한다. 상기 데이터선(D1-Dm)은 화상 신호를 나타내는 데이터 신호를 화소로 전달하며, 주사선(S1-Sn)은 선택 신호를 화소로 전달한다. 또한, 상기 화소는 이웃한 두 데이터선(D1-Dm)과 이웃한 두 주사선(S1-Sn)에 의해 정의되는 화소 영역에 형성되는 것으로, 스위칭 트랜지스터 및 구동 트랜지스터와 유기 EL 소자가 포함되어 구성된다.

[0033] 주사 구동회로(200)는 제어부(500)로부터 시작신호, 클럭신호 등을 포함하는 제어신호를 받아 주사선(S1-Sn)에 각각 주사신호를 순차적으로 생성하여 인가한다.

[0034] 데이터 구동회로(300)는 제어부(500)로부터 화상 신호, 시작신호, 클럭신호 등의 신호를 수신하여 데이터선(D1-Dm)에 화상 신호에 대응되는 데이터 전압을 인가한다.

[0035] 단, 본 발명의 실시예의 경우 상기 데이터 구동회로(300)에 구비된 각 출력버퍼(미도시)의 출력단과 각 데이터선(D1-Dm) 사이에 중간전원(VM, middle voltage)과 연결된 스위치부(미도시)가 구비되고, 상기 스위치부의 동작에 의해 상기 데이터 구동회로(300)에서 데이터 신호가 출력되기 전에 상기 출력버퍼의 출력단이 중간전원과 연결되도록 구현됨을 특징으로 하며, 이를 통해 상기 출력버퍼의 슬루 레이트를 향상시킴과 함께 소비전력을 저감케 한다.

[0036] 이와 같은 데이터 구동회로(300)의 구체적인 구성 및 동작은 이하 도 4 내지 도 6을 통해 보다 구체적으로 설명하도록 한다.

[0037] 또한, 상기 감마 보정부(400)는 입력되는 화상 신호에 대해 감마 보정을 행한 뒤 이를 통해 각 계조 레벨에 대응되는 계조전압을 생성하여 데이터구동부(300)로 전달한다.

[0038] 단, 본 발명의 실시예의 경우 상기 감마 보정부(400)에서 출력되는 복수의 계조전압 중 특정 계조전압을 선택하여 상기 중간전원을 생성하여 이를 상기 데이터 구동회로에 전달하는 중간전원 생성부(450)가 더 포함됨을 특징으로 한다.

- [0039] 이 때, 상기 중간전원 생성부(450)에서 생성되는 중간전원은 상기 감마 보정부(400)에서 출력되는 복수의 계조 전압 중 0 계조에서의 감마 전압인 V0와, 255 계조에서의 감마전압인 V255의 합의 1/2값 또는 최상위 레벨 전압 (VREGOUT)의 1/2값으로 구현될 수 있다.
- [0040] 또한, 상기 각 화소에 구비된 유기 EL 소자(미도시)는 캐소드가 기준 전압(Vss)에 연결되며, 구동 트랜지스터를 통하여 인가되는 전류에 대응하는 빛을 발광한다. 이 때, 상기 유기 EL 소자의 캐소드에 연결되는 전원(Vss)은 그라운드 전압 등이 사용될 수 있다.
- [0041] 도 3은 도 2에 도시된 감마 보정부의 구성을 나타내는 블록도이다.
- [0042] 단, 이는 하나의 실시예로서 본 발명의 실시예에 의한 감마 보정부의 구성이 이에 한정되는 것은 아니다.
- [0043] 도 3을 참조하여 설명하면, 감마 보정부(400)는 래더 저항(461), 진폭 조절 레지스터(462), 커브 조절 레지스터 (463), 제 1 선택기(464) 내지 제 6 선택기(469) 및 계조 전압 증폭기(470)를 포함하여 동작한다.
- [0044] 래더 저항(461)은 외부로부터 공급되는 최상위 레벨 전압(VREGOUT)을 기준 전압으로 정하고, 최하위 레벨 전압 (VGS)과 기준 전압 사이에 포함된 복수의 가변 저항이 직렬로 연결된 구성으로 되어있으며, 래더 저항(461)을 통해 복수의 계조 전압을 생성한다. 또한, 래더 저항(461)값을 작게 하는 경우 진폭 조정 범위는 좁아지지만, 조정 정밀도는 향상된다. 반면 래더 저항(461)값을 크게 하는 경우 진폭 조정 범위는 넓어지나, 조정 정밀도는 낮아진다.
- [0045] 진폭 조절 레지스터(462)는 제 1 선택기(464)에 8비트의 레지스터 설정 값을 출력하고, 제 2 선택기(465)에 8비 트의 레지스터 설정 값을 출력한다. 이때 설정 비트 수를 증가시켜 선택할 수 있는 계조수를 늘릴 수 있고, 레 지스터 설정 값을 변경하여 계조 전압을 다르게 선택할 수도 있다.
- [0046] 커브 조절 레지스터(463)는 제 3 선택기(466) 내지 제 6 선택기(469) 각각에 7비트의 레지스터 설정 값을 출력 한다. 이때, 레지스터 설정 값은 변경될 수 있으며 레지스터 설정 값에 따라 선택할 수 있는 계조 전압을 조절 할 수 있다.
- [0047] 먼저 상기 래더 저항(461)에 의한 최상위 레벨 전압은 최상위 계조 전압(V0)로 출력되고, 제 1 선택기(464)는 래더 저항(461)을 통해 분배된 복수의 계조 전압 중 진폭 조절 레지스터(462)에서 설정된 8비트의 레지스터 설 정 값에 대응하는 계조 전압을 선택하여 이를 차상위 계조 전압 즉, V1으로써 출력한다.
- [0048] 제 2 선택기(465)는 래더 저항(461)을 통해 분배된 복수의 계조 전압 중 진폭 조절 레지스터(462)에서 설정된 8 비트의 레지스터 설정 값에 대응하는 계조 전압을 선택하여 최하위 계조 전압으로써 출력한다.
- [0049] 제 3 선택기(466)는 제 1 선택기(464)에서 출력된 계조 전압과 제 2 선택기(465)에서 출력된 계조 전압 사이의 전압을 복수의 저항 열을 통해 복수의 계조 전압으로 분배하고 7비트의 레지스터 설정 값에 대응하는 계조 전압 을 선택하여 출력한다.
- [0050] 제 4 선택기(467)에서는 제 1 선택기(464)에서 출력된 계조 전압과 제 3 선택기(466)에서 출력된 계조 전압 사 이의 전압을 복수의 저항 열을 통해 분배하고 7비트의 레지스터 설정 값에 대응하는 계조 전압을 선택하여 출력 한다.
- [0051] 제 5 선택기(468)에서는 제 1 선택기(464)와 제 4 선택기(467) 사이의 계조 전압 중 7비트의 레지스터 설정 값 에 대응하는 계조 전압을 선택하여 출력한다.
- [0052] 제 6 선택기(469)에서는 제 1 선택기(464)와 제 5 선택기(468) 사이의 복수의 계조 전압 중 7비트의 레지스터 설정 값에 대응하는 계조 전압을 선택하여 출력한다. 상기과 같은 동작으로 커브 조정 레지스터(463)의 레지스 터 설정 값에 따라 중간 계조부의 커브 조정을 가능하게 하여, 발광 소자 각각의 특성에 맞춰 감마 특성의 조정 을 쉽게 할 수 있다.
- [0053] 또한, 감마 커브 특성을 아래로 볼록하게 하려면 작은 계조를 표시할수록 각계조간의 전위차가 커지도록 설정하 고, 반면에 감마 커브 특성을 위로 볼록하게 조절하려면, 작은 계조를 표시할수록 각 계조간의 전위차가 작아지 도록 각 래더 저항(461)의 저항값을 설정하면 된다.
- [0054] 즉, 도 3에 도시된 감마 보정부(400)에 의할 경우 V0 내지 V255의 총 256계조분에 대응하는 계조 전압이 출력된 다.

- [0055] 도 4는 도 2에 도시된 본 발명의 실시예에 의한 데이터 구동회로의 구성을 나타내는 블록도이다.
- [0056] 도 4를 참조하면, 본 발명의 실시예에 의한 데이터 구동회로는, 쉬프트 레지스터부(310), 샘플링 래치부(320), 홀딩 래치부(330), 디지털-아날로그 변환기(Digital-Analog Converter, DAC)(340), 증폭부(350) 및 스위치부(360)로 구성된다.
- [0057] 상기 쉬프트 레지스터부(310)는 타이밍 제어부(미도시)로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받으며, 상기 소스 쉬프트 클럭(SSC)의 1주기마다 소스 스타트 펄스(SSP)를 쉬프트 시키면서 순차적으로 m개의 샘플링 신호를 생성한다. 이를 위해, 쉬프트 레지스터부(310)는 m개의 쉬프트 레지스터를 구비한다.
- [0058] 샘플링 래치부(320)는 쉬프트 레지스터부(310)로부터 순차적으로 공급되는 샘플링신호에 응답하여 데이터(Data)를 순차적으로 저장한다. 여기서, 샘플링 래치부(320)는 m개의 디지털 데이터(Data)를 저장하기 위하여 m개의 샘플링 래치를 구비한다. 그리고, 각각의 샘플링 래치들은 데이터(Data)의 비트수에 대응되는 크기를 갖는다. 예를 들어, 데이터(Data)들이 k비트로 구성되는 경우 샘플링 래치 각각은 k비트의 크기로 설정된다.
- [0059] 홀딩 래치부(330)는 소스 출력 인에이블(SOE) 신호가 입력될 때 샘플링 래치부(320)로부터 데이터(Data)를 입력받아 저장한다. 그리고, 홀딩 래치부(330)는 소스 출력 인에이블(SOE)가 입력될 때 자신에게 저장된 데이터(Data)를 DAC(340)로 공급한다. 여기서, 상기 홀딩 래치부(330)는 m개의 데이터(Data)를 저장하기 위하여 m개의 홀딩 래치를 구비한다. 또한, 각각의 홀딩 래치들은 데이터(Data)의 비트수에 대응되는 크기를 갖는다. 예를 들어, 홀딩 래치들 각각은 데이터(Data)들이 저장될 수 있도록 k비트로 설정된다.
- [0060] DAC(340)는 상기 입력되는 디지털 데이터(Data)의 비트 값에 대응하는 아날로그 신호를 생성하는 것으로 상기 DAC는 홀딩 래치부(330)로부터 공급되는 데이터(Data)의 비트 값에 대응하여 상기 도 3에 도시된 감마 보정부(400)에서 출력되는 복수의 계조전압들 중 어느 하나를 선택함으로써 그에 대응하는 아날로그 데이터 신호를 생성한다.
- [0061] 증폭부(350)는 DAC(340)에서 아날로그 신호로 변환된 디지털 데이터를 일정 수준으로 증폭하여 패널에 구비된 데이터선(D1 내지 Dm)으로 각각 출력하며, 이를 위해 상기 증폭부(350)는 상기 m개의 데이터선에 각각 대응되도록 m개의 출력버퍼를 구비한다.
- [0062] 또한, 본 발명의 실시예의 경우 상기 증폭부(350)의 채널별 즉, 데이터선별로 구비된 각 출력버퍼의 출력단과 이에 대응되는 각 데이터선(D1-Dm) 사이에 스위치부(360)가 포함됨을 특징으로 한다.
- [0063] 상기 스위치부(360)는 각 채널 별로 한 쌍의 스위치(362, 364)가 구비되는데, 제 1스위치(362)는 중간전원(VM, middle voltage)과 상기 증폭부(350)의 채널별로 구비된 각 출력버퍼의 출력단 사이에 연결되고, 제 2스위치(364)는 상기 출력버퍼의 출력단과 이에 대응되는 데이터선 사이에 연결된다.
- [0064] 본 발명의 실시예는 상기 스위치부(360)의 동작에 의해 상기 데이터 구동회로에서 데이터 신호가 출력되기 전에는 상기 제 1스위치(362)가 턴 온되어 상기 출력버퍼의 출력단이 중간전원(VM)과 연결되고, 상기 데이터 신호의 출력 시에는 상기 제 2스위치(364)가 턴 온되어 상기 출력버퍼의 출력단이 이에 대응되는 각 데이터선에 연결됨을 특징으로 하며, 이를 통해 상기 출력버퍼의 슬루 레이트를 향상시킴과 함께 소비전력을 저감케 함을 특징으로 한다.
- [0065] 여기서, 상기 중간전원(VM)은 데이터 전압의 최대 스윙(swing)의 중간 전압으로서, 상기 도 3을 통해 설명된 복수의 계조전압들 중 중간 전압으로 구현됨이 바람직하며, 상기 중간전원의 구체적인 구현 예는 이하에서 보다 구체적으로 설명하도록 한다.
- [0066] 도 5는 도 4에 도시된 데이터 구동회로의 스위치부의 동작 타이밍도이고, 도 6은 도 4에 도시된 데이터 구동회로의 출력 파형도이다.
- [0067] 도 5를 참조하면, 수평 동기신호(H-sync)에 의한 한 라인의 시작 시점에 제 1스위치(362)의 동작을 제어하는 제 1신호(SB)가 하이 레벨로 인가되면(A구간), 상기 제 1스위치(362)가 턴 온되어 상기 출력버퍼의 출력단이 중간전원과 연결된다. 이 때, 제 2스위치(364)의 동작을 제어하는 제 2신호(S)는 로우 레벨 상태에 있으므로 제 2스

위치(364)는 턴 오프 상태에 있다.

- [0068] 이와 같이 출력버퍼의 출력단이 중간전원에 연결된 후, 데이터 구동회로부터 데이터 신호를 출력하라는 시작 신호로서의 로드 신호(load signal)이 입력되면, 이후 상기 수평 동기신호에 의한 구간 동안 상기 제 1신호(SB)는 로우 레벨이 되고, 제 2신호(S)는 하이 레벨로 인가되며(B구간), 이에 따라 제 1스위치(362)는 턴 오프되고, 제 2스위치(364)는 턴 온되어 상기 출력버퍼의 출력단은 이에 대응되는 각 데이터선에 연결된다.
- [0069] 이를 통해 상기 중간전원(VM)으로 기 충전된 각 출력버퍼는 상기 중간전원에서 각 채널별로 인가된 데이터 전압으로 이를 승압하여 각각 대응되는 데이터선으로 상기 데이터 전압을 출력하게 된다.
- [0070] 즉, 도 6을 참조하면, 종래의 데이터 구동회로는 각 데이터선으로 데이터 전압을 출력할 때, 일 예로 풀 스윙(Full Swing)을 하게 될 경우 t_2 라는 시간 동안 $2\Delta V$ 의 변동이 있어 소비전력 및 라이징 타임(Rising Time)이 증가되는 반면 본 발명의 실시예에 의한 경우 도시된 바와 같이 최대 전압(Maximum Voltage)로 상승하는 데 소요되는 시간은 $t_1(=0.5 * t_2)$ 으로 기존 대비 1/2로 줄어들고, Voltage Swing폭 또한 기존의 1/2로 감소하게 되어 결과적으로 슬루 레이트를 줄일 수 있을 뿐 아니라 소비 전력도 저감할 수 있는 것이다.
- [0071] 단, 상기 중간전원(VM)은 데이터 전압의 최대 스윙(swing)의 중간 전압으로서, 상기 도 3을 통해 설명된 복수의 계조전압들 중 중간 전압(Middle Voltage)으로 구현됨이 바람직하며, 상기 중간전원을 설정하는 방법은 하기된 바와 같은 다양한 실시예가 있다.
- [0072] 먼저 중간전원(VM)은 도 3에서 설명한 복수의 계조전압 중 0 계조에서의 감마 전압인 V_0 와, 255 계조에서의 감마 전압인 V_{255} 의 합의 1/2값 즉, $\text{중간전원} = 1/2(V_0 + V_{255})$ 으로 구현될 수 있으며, 또는 도 3에 도시된 래더 저항(461)의 기준 전압인 최상위 레벨 전압(VREGOUT)의 1/2값으로 구현될 수도 있다.
- [0073] 본 발명의 실시예의 경우 상기 계산된 중간전원(VM)을 별도의 전압으로 생성할 경우 데이터 구동회로의 사이즈가 커지고, 별도의 전원 배선이 데이터 구동회로를 가로지르게 되면서 구동회로 IC 레이아웃 등에 제약이 발생됨을 극복하기 위해 상기 중간전원을 별도로 생성하지 아니하고, 앞서 도 2를 통해 설명한 바와 같이 감마 보정부(400)에서 출력된 계조전압을 사용하여 상기 중간전원 생성부(450)에서 이를 생성하고 데이터 구동회로(300)에 제공한다.
- [0074] 이는 간단한 방법을 데이터 구동회로 출력버퍼의 슬루 레이트를 줄일 수 있다는 장점이 있다.
- [0075] 다음으로 상기 출력버퍼의 슬루 레이트를 더 줄이기 위하여 표시 패널 상의 매 2 주사선마다의 평균 데이터 즉, 평균 전압을 구하고, 이를 상기 주사선에 연결된 각 화소에 인가되는 데이터 신호를 데이터 구동회로가 출력할 때, 상기 데이터 구동회로의 각 출력 버퍼 출력단에 연결하는 중간전원으로 설정하는 방법이 있다.
- [0076] 단, 이 경우 출력 버퍼의 슬루 레이트는 가장 감소되어 표시 장치의 대형화 및 소비전력 감소에는 유리하나 구동회로 IC의 구조가 복잡해지는 단점이 있다.
- [0077] 이에 본 발명의 실시예에서는 상기 슬루 레이트를 효과적이고 경제적으로 감소시키기 위한 상기 중간전원의 설정 방법을 제시하며, 이는 도 7을 통해 보다 상세히 설명하도록 한다.
- [0078] 도 7은 본 발명의 다른 실시예에 의한 유기전계 발광 표시장치의 구성을 나타내는 블록도이다.
- [0079] 단, 도 2에 도시된 실시예와 동일한 구성요소에 대해서는 설명을 생략하도록 한다.
- [0080] 도 7을 참조하면, 본 실시예는 데이터 구동회로(300)의 스위치부(도 4의 360)에 중간전원을 공급함에 있어서, 중간전원 생성부(450)에서 생성된 중간전원(VM)을 공급하지 아니하고, 상기 중간전원(VM)과 상기 감마 보정부(400)에서 출력되는 복수의 계조전압 중 0 내지 전체 계조전압의 중간값(일 예로 256계조일 경우 127 또는 128 계조전압)을 비교부(460)를 통해 비교하여, 상기 중간전원에 가장 근접한 계조값을 선택하여 이를 상기 중간전원(VM')으로 제공하는 점에서 그 차이가 있다.
- [0081] 즉, 도 7에 도시된 실시예에 의한 중간전원(VM')은 계조전압 V_0 내지 V_{127} (또는 V_{128}) 중 상기 중간전원 생성부(450)에서 생성된 중간전원(VM)에 가장 근접한 계조 전압이 되는 것이다.
- [0082] 정리하면, 먼저 휘도 등의 광학 조건이 정해짐에 의해 감마 보정부(400)에서 V_0 및 V_{255} 계조 전압이 생성되면, 이는 중간전원 생성부(450)에 입력되어 V_0 와 V_{255} 의 중간 전압으로서의 중간전원(VM)이 생성된다. 상기 중간전원(VM)의 구체적인 구현 방법은 앞서 설명한 바와 동일하다.
- [0083] 이후, 상기 중간전원(VM)과 V_0 내지 V_{127} (또는 V_{128}) 계조전압은 비교기(460)에 입력되며, 이에 상기 중간전원

과 가장 근접한 계조전압이 선택되어 최종적으로 상기 선택된 계조전압이 보정된 중간전원(VM')으로서 데이터 구동회로의 스위치부에 제공되는 것이다.

[0084] 이 때, 상기 비교기(460)에 입력되는 계조전압을 V0 내지 V127(또는 V128)로 제한 하는 것은 일반적으로 감마 2.2의 커브를 갖는 계조 특성에서 중간전원은 하위 계조(127 또는 128계조 이하) 전압을 갖기 때문이다.

[0085] 이를 통해 휘도 등의 광학 조건이 바뀌는 경우에도 중간전압이 자동으로 설정되기 때문에 별도의 중간전압을 생성하기 위한 시스템적 필요성과 시간을 최소화할 수 있게 되며, 또한 별도의 전원 생성이 필요없으므로 데이터 구동회로 IC의 사이즈 증가를 방지할 수 있게 된다.

도면의 간단한 설명

[0086] 도 1은 종래의 데이터 구동회로에 구비되는 출력 버퍼를 구성하는 연산 증폭기의 일 예를 나타내는 도면.

[0087] 도 2는 본 발명의 실시예에 의한 유기전계 발광 표시장치의 구성을 나타내는 블록도.

[0088] 도 3은 도 2에 도시된 감마 보정부의 구성을 나타내는 블록도.

[0089] 도 4는 도 2에 도시된 본 발명의 실시예에 의한 데이터 구동회로의 구성을 나타내는 블록도.

[0090] 도 5는 도 4에 도시된 데이터 구동회로의 스위치부의 동작 타이밍도.

[0091] 도 6은 도 4에 도시된 데이터 구동회로의 출력 파형도.

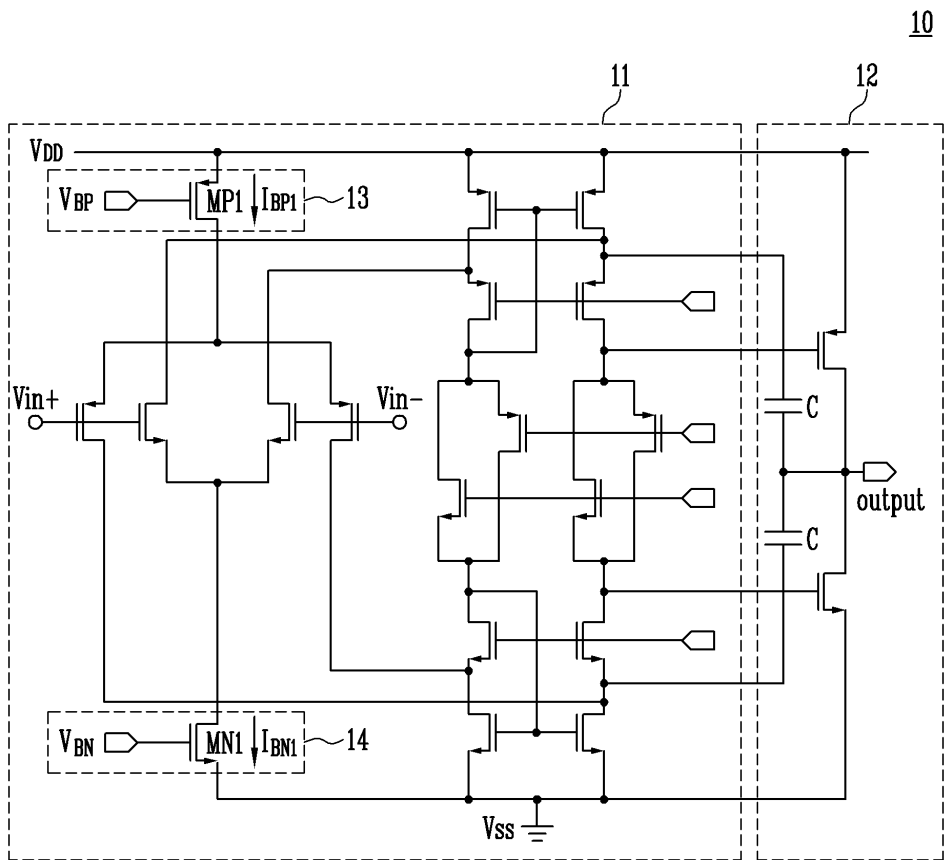
[0092] 도 7은 본 발명의 다른 실시예에 의한 유기전계 발광 표시장치의 구성을 나타내는 블록도.

[0093] <도면의 주요 부분에 대한 부호의 설명>

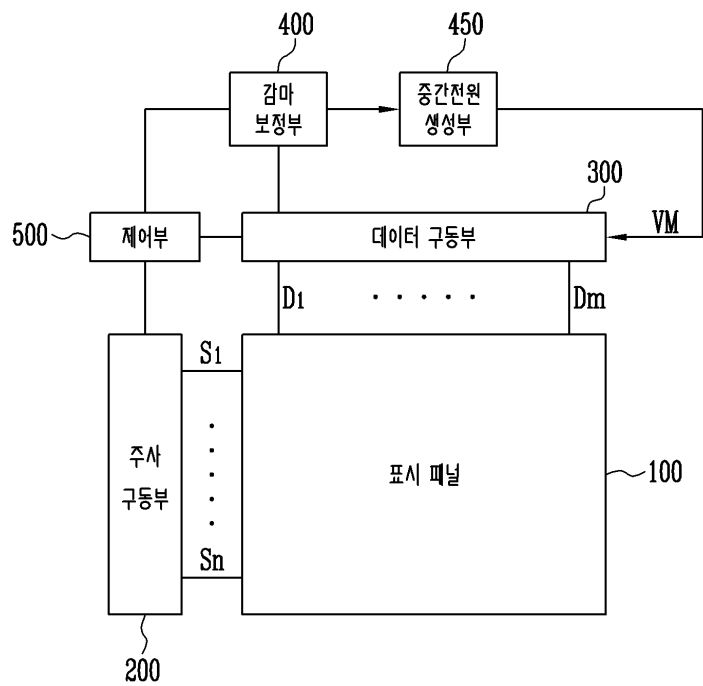
- | | | |
|--------|--------------|---------------|
| [0094] | 100: 표시패널 | 200: 주사 구동부 |
| [0095] | 300: 데이터 구동부 | 360: 스위치부 |
| [0096] | 400: 감마 보정부 | 450: 중간전원 생성부 |
| [0097] | 460: 비교부 | 500: 제어부 |

도면

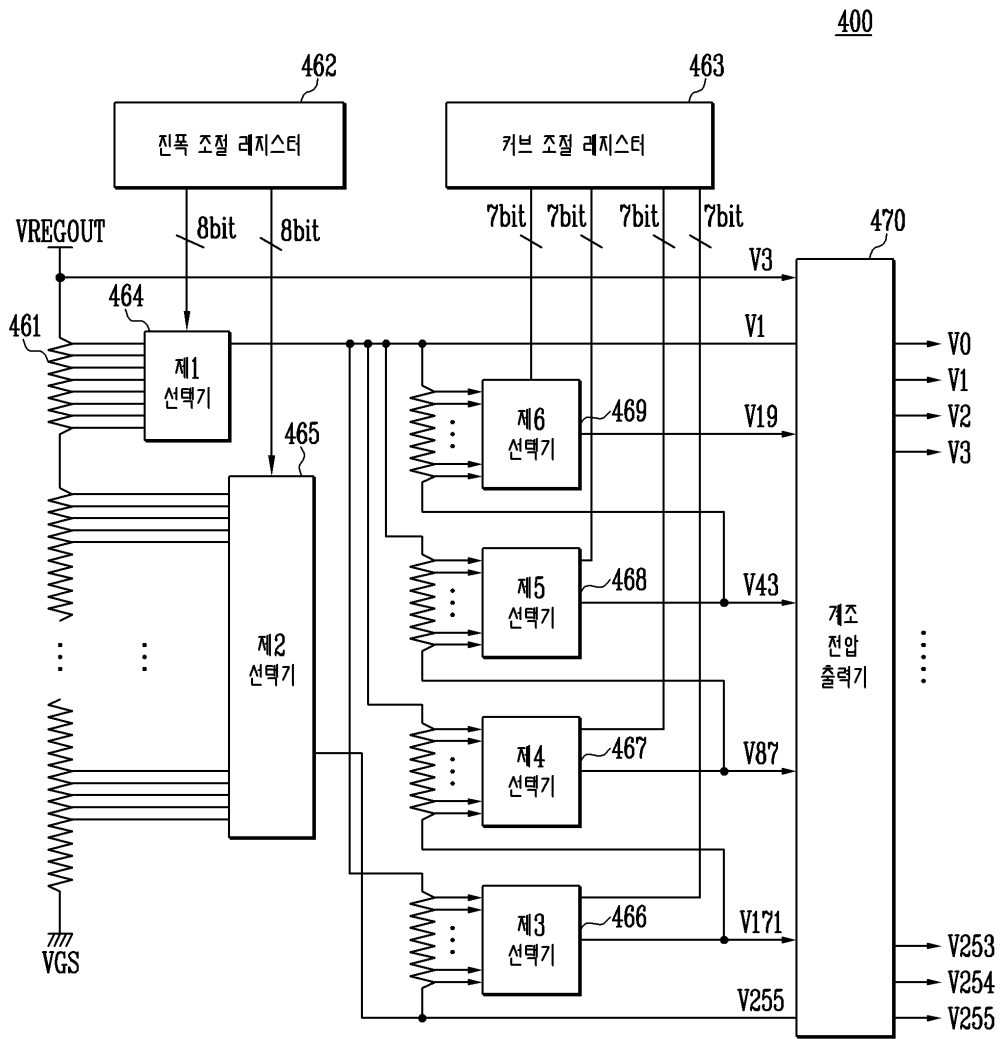
도면1



도면2

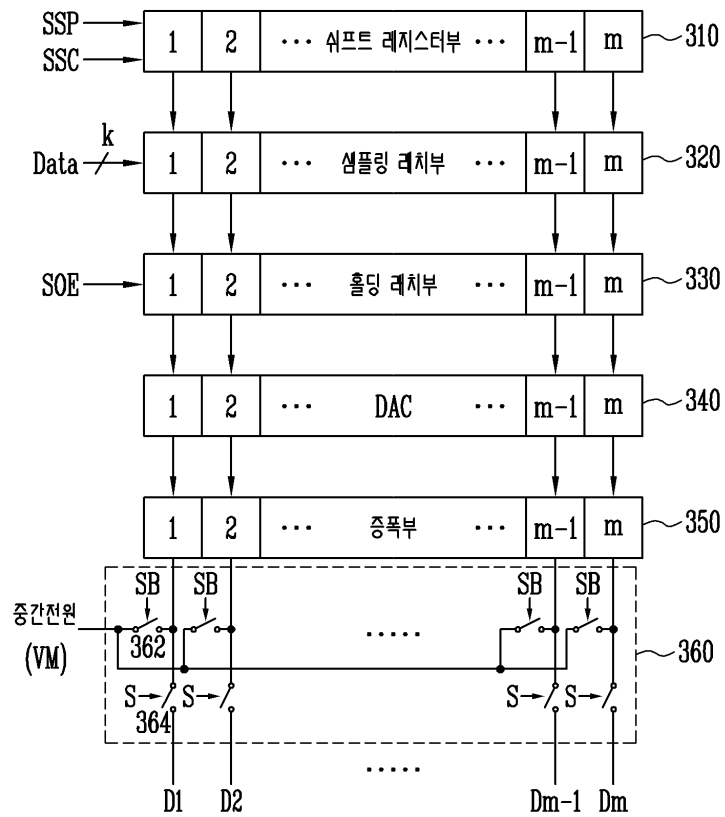


도면3

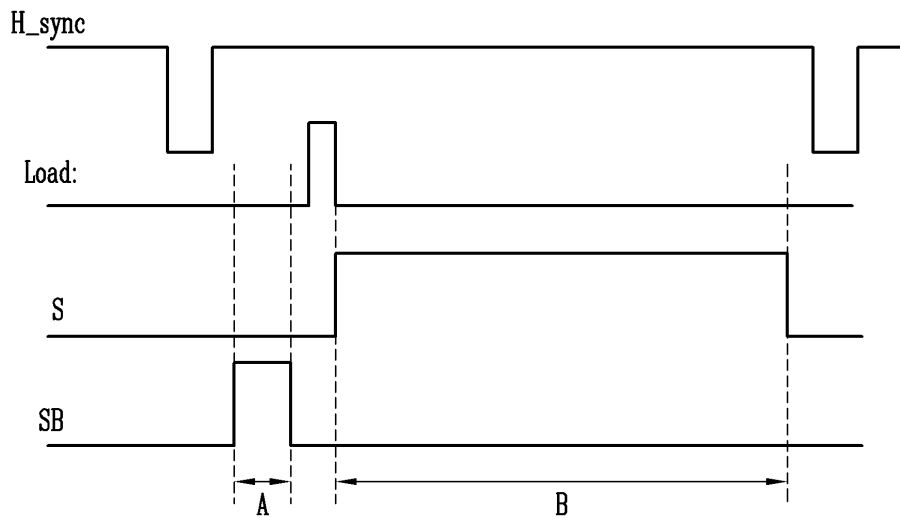


도면4

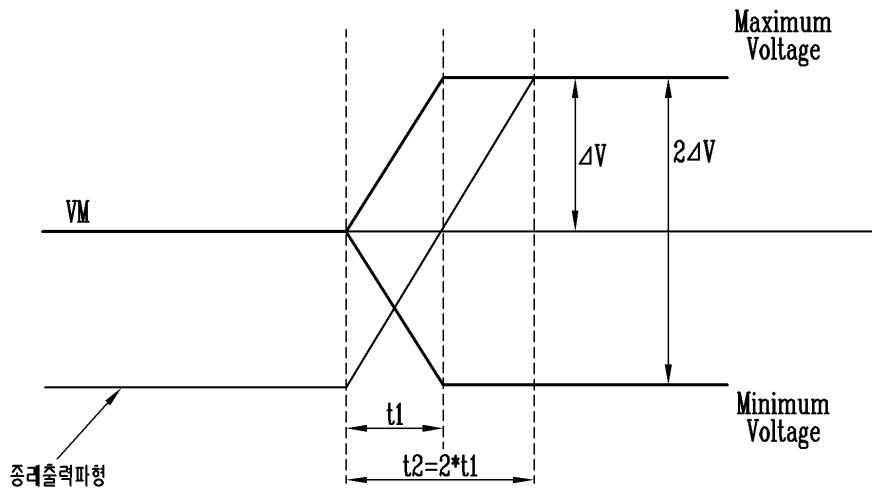
300



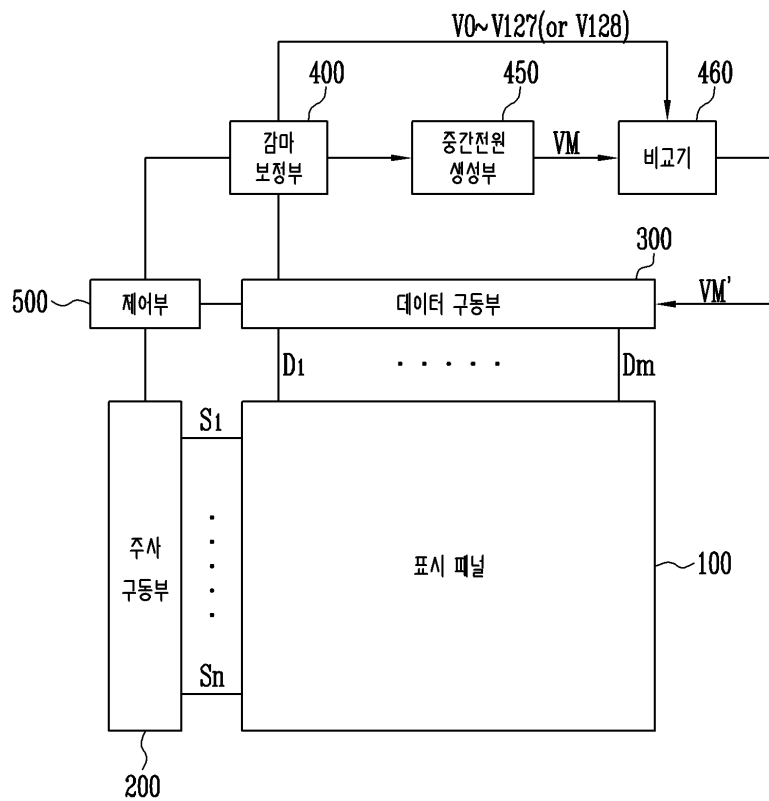
도면5



도면6



도면7



专利名称(译)	数据驱动电路和具有该数据驱动电路的有机发光显示装置		
公开(公告)号	KR1020110022268A	公开(公告)日	2011-03-07
申请号	KR1020090079791	申请日	2009-08-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	JUNGKOOK PARK 박정국		
发明人	박정국		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3291 G09G3/20 G09G3/3208 G09G2310/027 G09G2310/0291 G09G2320/0252 G09G2320/0673 G09G2330/021 G09G2330/028 G09G2360/16		
代理人(译)	Sinyoungmu		
其他公开文献	KR101082202B1		
外部链接	Espacenet		

摘要(译)

本发明的特征在于，连接到中间电源 (VM) 的开关单元设置在数据驱动电路中提供的每个输出缓冲器的输出端和与其对应的每个数据线之间，通过实现，使得之前的信号被输出到连接到中间功率输出缓冲器的输出端，提供了用于凯恩减少功耗与改进的转换速率和具有该有机发光输出缓冲器的显示装置沿着一个数据驱动电路的。根据本发明实施例的数据驱动电路包括：放大单元，具有与各数据线对应的输出缓冲器，用于向各数据线输出数据信号;每条数据线 (D1-DM) 之间提供的附加开关的各条数据线是输出级和一个相应的被包括在由所提供的相应的输出缓冲器，所述开关部分之间，该中间功率 (VM) 和每个输出缓冲器的输出端子第二开关连接到第一开关;并且第二开关连接在每个输出缓冲器的输出端和与其对应的每条数据线之间。

300

