



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0099617  
(43) 공개일자 2010년09월13일

(51) Int. Cl.

H05B 33/02 (2006.01) H05B 33/22 (2006.01)

(21) 출원번호 10-2009-0018200

(22) 출원일자 2009년03월03일

심사청구일자 2009년03월03일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

박병건

경기도 수원시 영통구 신동 575

양태훈

경기도 수원시 영통구 신동 575

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

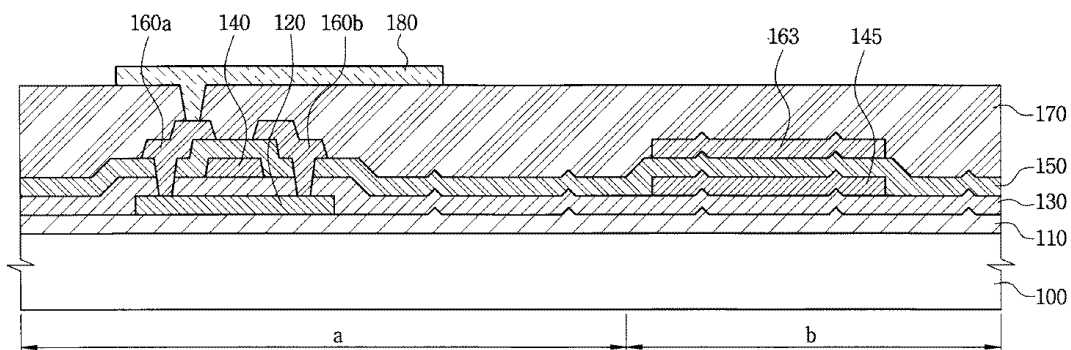
전체 청구항 수 : 총 16 항

(54) 유기전계발광표시장치 및 그의 제조방법

(57) 요약

본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로서, 박막트랜지스터 영역 및 캐패시터 영역을 포함하는 기판: 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하며, 상기 박막트랜지스터 영역에 위치하는 금속축매를 이용하여 결정화된 반도체층 패턴; 상기 반도체층 패턴을 포함하는 상기 기판 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하며, 상기 반도체층 패턴의 일정 영역에 대응되는 영역에 위치하는 게이트 전극 및 캐패시터 영역에 위치하는 캐패시터 하부 전극; 상기 게이트 전극 및 캐패시터 하부 전극을 포함하는 상기 기판 상에 위치하는 층간 절연막; 상기 층간 절연막 상에 위치하며, 상기 반도체층 패턴과 일부가 연결되는 소오스/드레인 전극 및 상기 캐패시터 하부전극에 대응되는 캐패시터 상부전극; 상기 층간 절연막 상에 위치하며, 상기 소오스/드레인 전극과 전기적으로 연결되는 제 1 전극; 상기 제 1 전극 상에 위치하는 발광층을 포함하는 유기막층; 및 상기 유기막층 상에 위치하는 제 2 전극을 포함하며, 상기 캐패시터 영역에 대응하여 위치하는 상기 버퍼층의 일정영역, 상기 게이트 절연막의 일정영역, 상기 층간 절연막의 일정영역, 상기 캐패시터 하부 전극, 및 상기 캐패시터 상부전극의 표면에는 상기 반도체층 패턴을 형성하는 결정립의 결정립계 및 시드의 형상과 일치하는 형상의 돌출부가 형성된 것을 특징으로 하는 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

대표도



(72) 발명자

**서진욱**

경기도 수원시 영통구 신동 575

**조수범**

경기도 수원시 영통구 신동 575

**이동현**

경기도 수원시 영통구 신동 575

**이길원**

경기도 수원시 영통구 신동 575

**리사첸코, 막심**

경기도 수원시 영통구 신동 575번지

**정윤모**

경기도 수원시 영통구 신동 575

**최보경**

경기도 수원시 영통구 신동 575

**박종력**

경기도 수원시 영통구 신동 575

**이기용**

경기도 수원시 영통구 신동 575

## 특허청구의 범위

### 청구항 1

박막트랜지스터 영역 및 캐패시터 영역을 포함하는 기관:

상기 기관 상에 위치하는 버퍼층;

상기 버퍼층 상에 위치하며, 상기 박막트랜지스터 영역에 위치하는 금속축매를 이용하여 결정화된 반도체층 패턴;

상기 반도체층 패턴을 포함하는 상기 기관 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 반도체층 패턴의 일정 영역에 대응되는 영역에 위치하는 게이트 전극 및 캐패시터 영역에 위치하는 캐패시터 하부 전극;

상기 게이트 전극 및 캐패시터 하부 전극을 포함하는 상기 기관 상에 위치하는 층간 절연막;

상기 층간 절연막 상에 위치하며, 상기 반도체층 패턴과 일부가 연결되는 소오스/드레인 전극 및 상기 캐패시터 하부전극에 대응되는 캐패시터 상부전극;

상기 층간 절연막 상에 위치하며, 상기 소오스/드레인 전극과 전기적으로 연결되는 제 1 전극;

상기 제 1 전극 상에 위치하는 발광층을 포함하는 유기막층; 및

상기 유기막층 상에 위치하는 제 2 전극을 포함하며,

상기 캐패시터 영역에 대응하여 위치하는 상기 버퍼층의 일정영역, 상기 게이트 절연막의 일정영역, 상기 층간 절연막의 일정영역, 상기 캐패시터 하부 전극, 및 상기 캐패시터 상부전극의 표면에는 상기 반도체층 패턴을 형성하는 결정립의 결정립계 및 시드의 형상과 일치하는 형상의 돌출부가 형성된 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 2

제 1항에 있어서,

상기 게이트 전극은 알루미늄(Al) 단일층, 알루미늄(Al)-합금 단일층, 크롬(Cr) 합금-알루미늄(Al) 합금의 다중층 또는 몰리브덴(Mo) 합금-알루미늄(Al) 합금의 다중층 중 어느 하나로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 3

제 1항에 있어서,

상기 캐패시터 하부전극은 상기 게이트 전극과 동일한 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 4

제 1항에 있어서,

상기 버퍼층의 반도체 하부 영역을 제외한 영역에 돌출부가 존재하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 5

제 1항에 있어서,

상기 버퍼층은 실리콘산화막, 실리콘질화막 또는 그 적층구조로 이루어 지는 것을 특징으로 하는 유기전계발광표시장치.

**청구항 6**

제 1항에 있어서,

상기 돌출부에는 금속실리사이드가 모여있는 것을 특징으로 하는 유기전계발광표시장치.

**청구항 7**

제 1항에 있어서,

상기 캐패시터 상부전극은 상기 소오스/드레인 전극과 동일한 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

**청구항 8**

제 1항에 있어서,

상기 캐패시터 상부전극은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중에서 선택되는 어느 하나 인 것을 특징으로 하는 유기전계발광표시장치.

**청구항 9**

제 1항에 있어서,

상기 반도체층의 결정립크기가 작을수록 상기 버퍼층의 돌출부가 더 많은 것을 특징으로 하는 유기전계발광표시장치.

**청구항 10**

박막트랜지스터 영역 및 캐패시터 영역을 포함하는 기판을 형성하고,

상기 기판 상에 위치하는 버퍼층을 형성하고,

상기 버퍼층 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층 상에 금속촉매층을 형성하고,

상기 기판을 열처리하여 다결정 실리콘층으로 결정화하고,

상기 금속촉매층을 제거하고,

상기 다결정 실리콘층을 패터닝하여 상기 박막트랜지스터 영역 상에 위치하는 반도체층 패턴을 형성하고,

상기 반도체층 패턴을 포함하는 상기 기판 상에 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 위치하며, 상기 반도체층 패턴의 일정 영역에 대응되는 영역에 위치하는 게이트 전극 및 캐패시터 영역에 위치하는 캐패시터 하부전극 을 형성하고,

상기 게이트 전극 및 캐패시터 하부전극을 포함하는 상기 기판 상에 위치하는 층간 절연막을 형성하고,

상기 층간 절연막 상에 위치하며, 상기 반도체층 패턴과 일부가 연결되는 소오스/드레인 전극 및 상기 하부 전극에 대응하는 캐패시터 상부전극을 형성하고,

상기 층간 절연막 상에 위치하며, 상기 반도체층의 소오스/드레인 영역과 전기적으로 연결되는 제 1 전극을 형성하고,

상기 제 1 전극 상에 위치하는 발광층을 포함하는 유기막층을 형성하고,

상기 유기막층 상에 위치하는 제 2 전극을 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**청구항 11**

제 10항에 있어서,

상기 버퍼층은 으로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**청구항 12**

제 11항에 있어서,

상기 결정화는 상기 비정질 실리콘층과 상기 금속촉매층 사이에 확산층을 더 포함한 후 진행하는 것을 더 포함하는 유기전계발광표시장치의 제조방법.

**청구항 13**

제 11항에 있어서,

상기 게이트 전극과 상기 하부전극은 동일한 물질로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**청구항 14**

제 11항에 있어서,

상기 반도체층은 드라이 에칭으로 패터닝하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**청구항 15**

제 11항에 있어서,

상기 캐패시터 하부전극은 상기 게이트 전극과 동시에 패터닝하여 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**청구항 16**

제 11항에 있어서,

상기 캐패시터 상부전극은 상기 소오스/드레인 전극과 동시에 패터닝하여 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로서, 금속촉매를 이용한 다결정 실리콘층을 제조하는 방법을 사용하여, 용량이 증가된 캐패시터를 구비하는 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

**배경기술**

[0002] 일반적으로, 다결정 실리콘층은 높은 전계 효과 이동도와 고속 동작 회로에 적용이 가능하며 CMOS 회로 구성이 가능하다는 장점이 있어 박막트랜지스터용 반도체층의 용도로서 많이 사용되고 있다. 이러한 다결정 실리콘층을 이용한 박막트랜지스터는 주로 능동 행렬 액정 디스플레이 장치(AMLCD)의 능동소자와 유기 전계 발광 소자(OLED)의 스위칭 소자 및 구동 소자에 사용된다.

[0003] 상기 비정질 실리콘을 다결정 실리콘으로 결정화하는 방법은 고상 결정화법(Solid Phase Crystallization), 엑시머 레이저 결정화법(Excimer Laser Crystallization), 금속 유도 결정화법(Metal Induced Crystallization) 및 금속 유도 측면 결정화법(Metal Induced Lateral Crystallization) 등이 있는데, 고상 결정화법은 비정질 실리콘층을 박막트랜지스터가 사용되는 디스플레이 소자의 기판을 형성하는 물질인 유리의 변형 온도인 약 700 °C 이하의 온도에서 수 시간 내지 수십 시간에 걸쳐 어닐링하는 방법이고, 엑시머 레이저 결정화법은 엑시머 레이저를 비정질 실리콘층에 주사하여 매우 짧은 시간 동안 국부적으로 높은 온도로 가열하여 결정화하는 방법이며, 금속 유도 결정화법은 니켈, 팔라듐, 금, 알루미늄 등의 금속을 비정질 실리콘층과 접촉시키거나 주입하여 상기 금속에 의해 비정질 실리콘층이 다결정 실리콘층으로 상 변화가 유도되는 현상을 이용하는 방법이고, 금속

유도 측면 결정화법은 금속과 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속하여 전파되면서 순차로 비정질 실리콘층의 결정화를 유도하는 방법을 이용하는 결정화 방법이다.

[0004] 그러나, 상기의 고상 결정화법은 공정 시간이 너무 길뿐만 아니라 고온에서 장시간 열처리함으로써 기관의 변형이 발생하기 쉽다는 단점이 있고, 액시머 레이저 결정화법은 고가의 레이저 장치가 필요할 뿐만 아니라 다결정화된 표면의 돌기(protrusion)가 발생하여 반도체층과 게이트 절연막의 계면 특성이 나쁘다는 단점이 있다.

[0005] 현재, 금속을 이용하여 비정질 실리콘층을 결정화하는 방법은 고상결정화(Solid Phase Crystallization)보다 낮은 온도에서 빠른 시간 내에 결정화시킬 수 있는 장점을 가지고 있기 때문에 많이 연구되고 있다. 금속을 이용한 결정화 방법은 금속 유도 결정화(MIC, Metal Induced Crystallization) 방법과 금속 유도 측면 결정화(MILC, Metal Induced Lateral Crystallization) 방법, SGS 결정화(Super Grain Silicon Crystallization) 방법 등이 있다.

[0006] 한편, 유기전계발광소자에 있어서, 박막트랜지스터를 형성하면서 사용되는 게이트 전극, 소스/드레인 전극 등을 이용하여 하부전극을 형성하여 캐패시터를 형성하고 있으며, 상기 캐패시터의 용량이 큰 경우 유기전계발광소자의 작동이 더 유리하다.

[0007] 그러므로 상기 캐패시터의 용량을 증대시키는 연구가 요구된다.

### 발명의 내용

#### 해결 하고자하는 과제

[0008] 본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로, 간단한 과정으로 캐패시터의 표면적을 증대시켜 용량이 증가한 유기전계발광표시장치 및 그의 제조방법을 제공하고자 한다.

#### 과제 해결수단

[0009] 본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것으로서, 박막트랜지스터 영역 및 캐패시터 영역을 포함하는 기관: 상기 기관 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하며, 상기 박막트랜지스터 영역에 위치하는 금속촉매를 이용하여 결정화된 반도체층 패턴; 상기 반도체층 패턴을 포함하는 상기 기관 상에 위치하는 게이트 절연막: 상기 게이트 절연막 상에 위치하며, 상기 반도체층 패턴의 일정 영역에 대응되는 영역에 위치하는 게이트 전극 및 캐패시터 영역에 위치하는 캐패시터 하부 전극; 상기 게이트 전극 및 캐패시터 하부 전극을 포함하는 상기 기관 상에 위치하는 층간 절연막; 상기 층간 절연막 상에 위치하며, 상기 반도체층 패턴과 일부가 연결되는 소오스/드레인 전극 및 상기 캐패시터 하부전극에 대응되는 캐패시터 상부전극; 상기 층간 절연막 상에 위치하며, 상기 소오스/드레인 전극과 전기적으로 연결되는 제 1 전극; 상기 제 1 전극 상에 위치하는 발광층을 포함하는 유기막층; 및 상기 유기막층 상에 위치하는 제 2 전극을 포함하며, 상기 캐패시터 영역에 대응하여 위치하는 상기 버퍼층의 일정영역, 상기 게이트 절연막의 일정영역, 상기 층간 절연막의 일정영역, 상기 캐패시터 하부 전극, 및 상기 캐패시터 상부전극의 표면에는 상기 반도체층 패턴을 형성하는 결정립의 결정립계 및 시드의 형상과 일치하는 형상의 돌출부가 형성된 것을 특징으로 하는 유기전계발광표시장치 및 그의 제조방법을 제공한다.

#### 효과

[0010] 본 발명은 금속촉매를 이용하여 비정질 실리콘층을 결정화하여 다결정 실리콘층으로 이루어진 반도체층을 형성하면서, 결정화시 실리콘층에 남아있던 잔류금속이 버퍼층 상부에 금속실리사이드 형태로 모여있어 발생하는 돌출부의 영향으로 표면적이 증대하여 용량이 증대한 캐패시터를 구비하는 유기전계발광표시장치를 제공할 수 있다.

#### 발명의 실시를 위한 구체적인 내용

[0011] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.

[0012] 도 1a 내지 1f는 본 발명에 따른 유기전계발광표시장치에 대한 도면이다.

[0013] 도 1a를 참조하면, 박막트랜지스터 영역(a) 및 캐패시터 영역(b)를 포함하는 기관(100)을 준비하고, 상기 기관

(100) 상에 버퍼층(110)을 형성한다. 상기 기판(100)은 유리 또는 플라스틱 등으로 형성할 수 있고, 상기 버퍼층(110)은 화학적 기상 증착(Chemical Vapor Deposition)법 또는 물리적 기상 증착(Physical Vapor Deposition)법을 이용하여 실리콘 산화막, 실리콘 질화막과 같은 절연막을 이용하여 단층 또는 이들의 적층구조로 형성한다. 이때 상기 버퍼층(110)은 상기 기판(100)에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.

[0014] 그리고 나서, 도 1b를 참조하면, 상기 버퍼층(110) 상에 비정질 실리콘층(120)을 형성한다. 그리고 나서 상기 비정질 실리콘층(120a)을 형성한다. 그 후에 상기 비정질 실리콘층(120a) 상에 확산층(123)과 금속촉매층(125)을 형성한다.

[0015] 이때 상기 비정질 실리콘층(120a)은 화학적 기상 증착법(Chemical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용할 수 있다. 또한, 상기 비정질 실리콘층(120a)을 형성할 때, 또는, 형성한 후에 탈수소 처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다. 그리고, 상기 확산층(123)은 추후의 공정에서 형성되는 금속 촉매가 열처리 공정을 통해 확산할 수 있는 실리콘 질화막으로 형성하는 것이 바람직하고, 실리콘 질화막과 실리콘 산화막의 복층을 사용할 수 있다. 상기 확산층(123)은 화학적 기상 증착법 또는 물리적 기상 증착법 등과 같은 방법으로 형성한다. 이때, 상기 확산층(123)의 두께는 1 내지 2000Å으로 형성한다. 상기 확산층(123)의 두께가 1Å 미만인 경우에는 상기 확산층(123)이 확산하는 금속 촉매의 양을 저지하기가 어려우며, 2000Å 초과하는 경우에는 상기 비정질 실리콘층(120a)으로 확산되는 금속 촉매의 양이 적어 다결정 실리콘층으로 결정화하기 어렵다.

[0016] 또한, 상기 확산층(123) 상에 금속 촉매를 증착하여 금속 촉매층(125)을 형성한다. 이때, 상기 금속 촉매는 Ni, Pd, Ag, Au, Al, Sn, Sb, Cu, Tr, 및 Cd로 이루어진 군에서 선택되는 어느 하나를 사용할 수 있는데, 바람직하게는 니켈(Ni)을 이용한다. 이때, 상기 금속 촉매층(125)은 상기 확산층(123) 상에  $10^{11}$  내지  $10^{15}$  atoms/cm<sup>2</sup>의 면밀도로 형성하는데, 상기 금속 촉매가  $10^{11}$  atoms/cm<sup>2</sup>의 면밀도 보다 적게 형성된 경우에는 결정화의 핵인 시드의 양이 적어 상기 비정질 실리콘층이 SGS법에 의한 다결정 실리콘층으로 결정화하기 어렵고, 상기 금속 촉매가  $10^{15}$  atoms/cm<sup>2</sup>의 면밀도 보다 많게 형성된 경우에는 비정질 실리콘층으로 확산되는 금속 촉매의 양이 많아 다결정 실리콘층의 결정립이 작아지고, 또한, 잔류하는 금속 촉매의 양이 많아 지게 되어 상기 다결정 실리콘층을 패터닝하여 형성되는 반도체층의 특성이 저하되게 된다.

[0017] 상기와 같이, 버퍼층(110), 비정질 실리콘층(120a), 확산층(123) 및 금속 촉매층(125)이 형성된 상기 기판(100)을 열처리(150)하여 상기 금속 촉매층(125)의 금속 촉매 중 일부를 상기 비정질 실리콘층(120a)의 표면으로 이동시킨다. 즉, 상기 열처리(150)에 의해 상기 확산층(123)을 통과하여 확산하는 금속 촉매들중 미량의 금속 촉매들만이 상기 제 1 비정질 실리콘층(120a)의 표면으로 확산하게 되고, 대부분의 금속 촉매들은 상기 비정질 실리콘층(120a)에 도달하지도 못하거나 상기 확산층(123)을 통과하지 못하게 된다.

[0018] 따라서, 상기 확산층(123)의 확산 저지 능력에 의해 상기 제 1 비정질 실리콘층(120)의 표면에 도달하는 금속 촉매의 양이 결정되는데, 상기 확산층(123)의 확산 저지 능력은 상기 확산층(123)의 두께와 밀접한 관계가 있다. 즉, 상기 확산층(123)의 두께가 두꺼워질수록 확산되는 양은 적어지게 되어 결정립의 크기가 커지게 되고, 두께가 얇아질수록 확산되는 양은 많아지게 되어 결정립의 크기는 작아지게 된다.

[0019] 이때, 상기 열처리(150) 공정은 200 내지 900℃, 바람직하게 350 내지 500℃의 온도 범위에서 수 초 내지 수 시간 동안 진행하여 상기 금속 촉매를 확산시키게 되는데, 상기 온도와 시간에서 진행하는 경우에 과다한 열처리 공정으로 인한 기판의 변형 등을 방지할 수 있으며, 제조 비용 및 수율의 면에서도 바람직하다. 상기 열처리(150) 공정은 로(furnace) 공정, RTA(Rapid Thermal Annealing) 공정, UV 공정 또는 레이저(Laser) 공정 중 어느 하나의 공정을 이용할 수 있다.

[0020] 상기와 같이 비정질 실리콘층(120)을 결정화하여 다결정 실리콘층으로 형성한 후, 상기 확산층(123) 및 금속촉매층(125) 제거한다.

[0021] 도 1c를 참조하면, 다결정 실리콘층으로 결정화된 비정질 실리콘층(120a)을 패터닝하여 반도체층 패턴(120)을 형성한다. 이때 상기 반도체층은 드라이 에칭하여 패터닝하도록 한다.

[0022] 상기와 같이 드라이 에칭에 의해 반도체층을 패터닝할 경우, 에칭된 부분의 버퍼층 표면에는 상기 금속촉매에 의해 결정화 된 다결정 실리콘층의 금속실리사이드가 모여있는 결정립 경계(grainboundary) 및 시드(seed)영역

이 잘 제거되지 않아 돌출부(a)의 형태로 남아있게 된다.

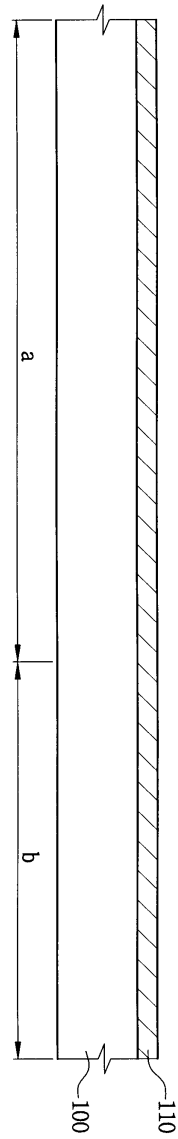
- [0023] 그러므로 상기 버퍼층(110) 상에 잔존하는 돌출부(a)는 비정질 실리콘층이 다결정 실리콘층으로 결정되면서 형성되는 결정립계의 형상과 동일하게 형성되며, 상기 다결정 실리콘층으로 이루어진 반도체층 패턴(120)의 결정립 크기가 크면 버퍼층 상에 돌출부가 적어지고, 결정립 크기가 작으면 돌출부가 증가한다.
- [0024] 도2는 금속축매로 결정화 된 다결정 실리콘층이 제거된 후 버퍼층의 표면을 촬영한 사진이다.
- [0025] 도 2를 참조하면, 버퍼층 상에 0 내지640Å 이하의 돌출부를 확인할 수 있으며, 돌출부의 단차는 실리콘층의 결정화 조건, 두께등에 따라 차이가 있다.
- [0026] 도 1d를 참조하여,상기와 같이 반도체층 패턴(120)을 형성한 기판(100) 상에 기판 전면에 걸쳐 게이트 절연막(130)을 형성한다.
- [0027] 그리고 나서, 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층을 게이트 전극용 금속층(도시안됨)을 형성하고, 사진 식각공정으로 상기 게이트 전극용 금속층을 식각하여 박막트랜지스터 영역(a) 상에 상기 반도체층 패턴(120)에 대응되는 게이트 전극(140) 및 상기 캐패시터 영역(b) 상에 캐패시터 하부전극(145)를 형성한다. 그리고, 상기 게이트 절연막(110)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층일 수 있으며, 하부 버퍼층의 돌출부(a)에 의해 게이트 절연막(110) 및 캐패시터 하부전극(145)에 도 돌출부(a)가 동일한 형태로 형성된다.
- [0028] 그러므로 캐패시터 하부전극(145)은 돌출부가 형성됨으로써, 표면적이 증대되며, 표면적 증대로 이후 캐패시터 형성시 용량을 증대시킬 수 있는 것이다.
- [0029] 도 1e를 참조하면, 상기와 같이 게이트 전극(140) 및 하부전극(145)이 형성된 기판(100) 전면에 걸쳐 층간 절연막(150)을 형성한다. 그리고 나서, 소오스/드레인 전극용 금속층(도시안됨)을 전면에 걸쳐 형성한 후 패터닝하여, 상기 박막트랜지스터 영역(a)에 위치하며 상기 반도체층(120)과 일부가 연결되는 소오스/드레인 전극(160a,160b) 및 상기 캐패시터 영역(b)에 위치하며 상기 하부전극(145)에 대응되는 캐패시터 상부전극(163)을 형성한다.
- [0030] 이때, 상기 층간 절연막(150)은 실리콘 질화막, 실리콘 산화막 또는 이들의 다중층일 수도 있다. 그리고, 상기 소오스/드레인 전극(160a, 160b) 및 캐패시터 상부전극(163)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴 텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중에서 선택되는 어느 하나로 형성될 수 있다.
- [0031] 그리고 나서, 도 1f 를 참조하면, 기판 전면에 걸쳐 보호막(170)을 형성한 후, 상기 보호막(170) 상에 상기 박막트랜지스터 영역(a)의 소오스/드레인 전극(160a,160b)와 연결되는 제 1 전극(180)을 형성한다.
- [0032] 상기 제 1 전극(180)은 애노드 또는 캐소드로 형성할 수 있다. 상기 제 1 전극(180)이 애노드인 경우, 상기 애노드는 ITO, IZO 또는 ITZO 중에서 어느 하나로 이루어진 투명 도전막으로 형성할 수 있으며, 캐소드인 경우 상기 캐소드는 Mg, Ca, Al, Ag, Ba 또는 이들의 합금을 사용하여 형성할 수 있다.
- [0033] 도 1g를 참조하면, 상기 제 1 전극(180) 상부에 상기 제 1 전극(180)의 표면 일부를 노출시키는 개구부를 갖는 화소정의막(185)을 형성하고, 상기 노출된 제 1 전극(180) 상에 발광층을 포함하는 유기막층(190)을 형성한다. 상기 유기막층(190)에는 정공주입층, 정공수송층, 정공억제층, 전자억제층, 전자주입층 및 전자수송층으로 이루어진 군에서 선택되는 하나 또는 복수의 층을 더욱 포함할 수 있다. 이어서, 상기 유기막층(190) 상에 제 2 전극(195)을 형성한다. 이로써 본 발명의 일 실시예에 따른 유기전계발광표시장치를 완성한다.
- [0034] 본 발명에서는 SGS법에 의해 결정화한 다결정 실리콘층을 예로들어 설명하였으나, 상기 비정질 실리콘층을 결정화 하는 방법에 있어서, 금속축매를 이용하여 결정화하는 MILC 및 MIC 의 방법의 사용도 가능하다.

**도면의 간단한 설명**

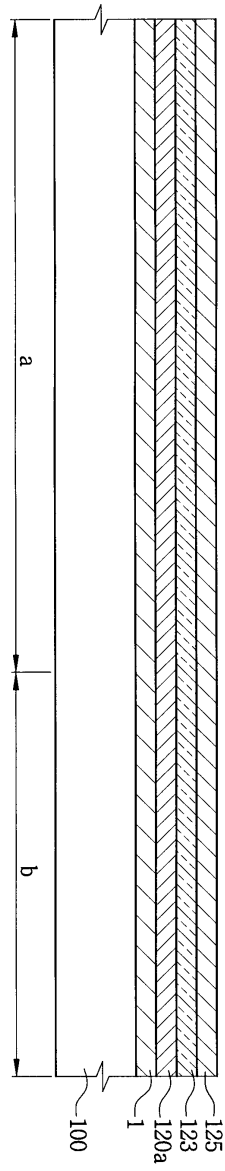
- [0035] 도 1a 내지 1g는 본 발명에 따른 유기전계발광표시장치에 대한 도면이다.
- [0036] 도 2는 본 발명에 따른 다결정 실리콘층이 제거된 버퍼층 표면에 대한 사진이다.

도면

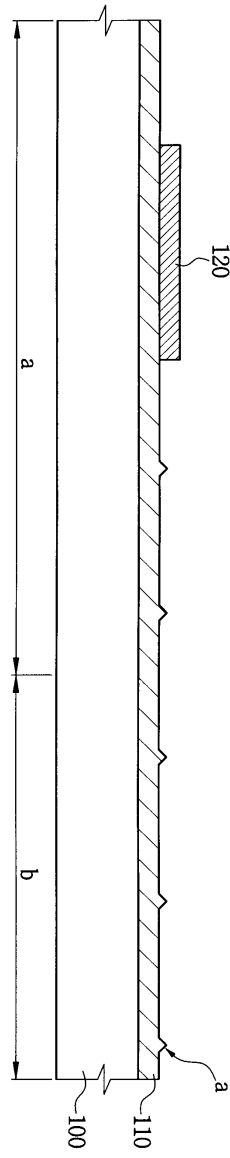
도면1a



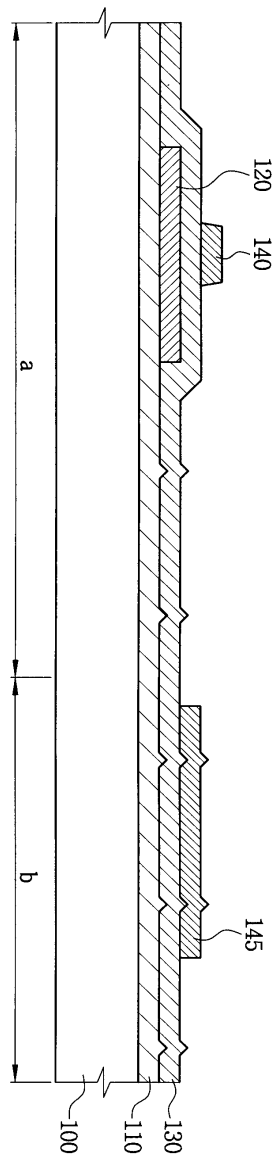
도면1b



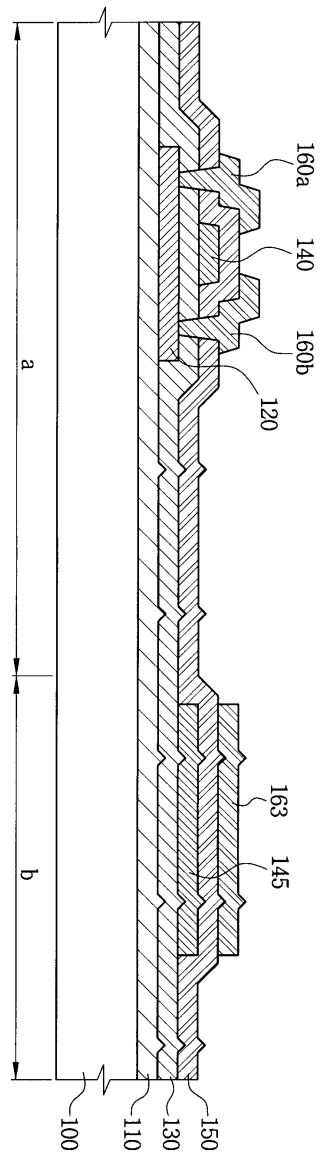
도면1c



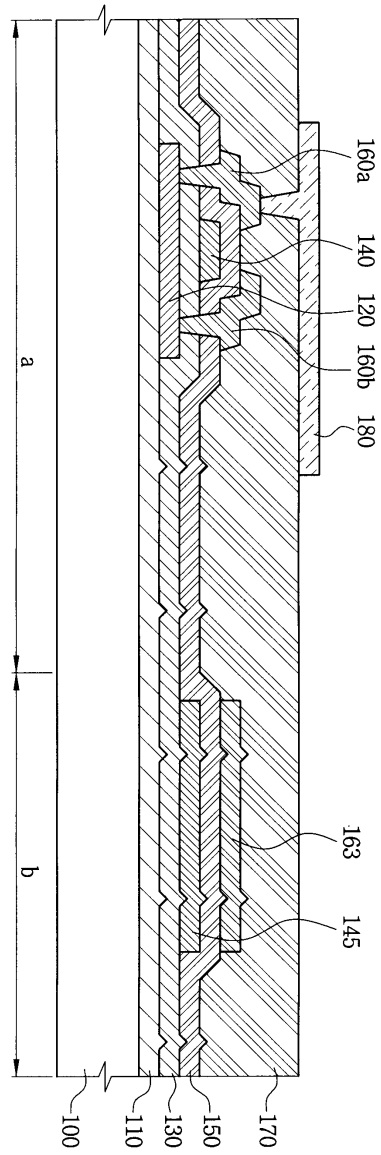
도면1d



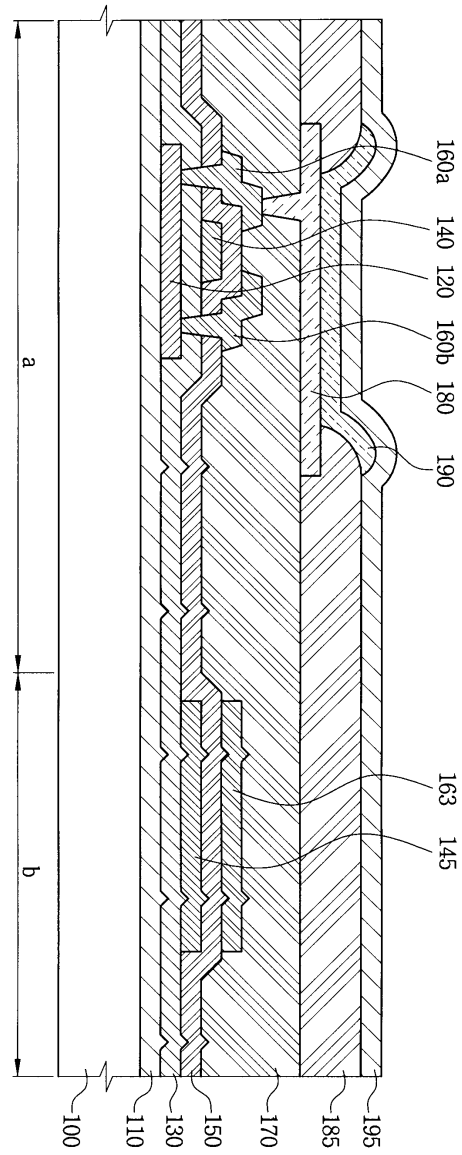
도면1e



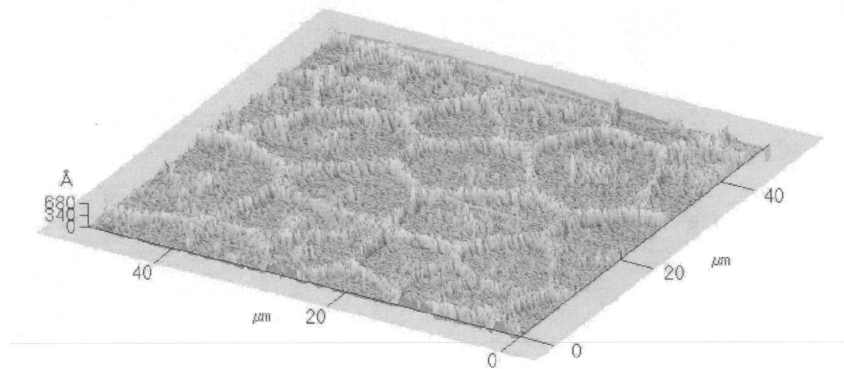
도면1f



도면1g



도면2



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020100099617A</a>	公开(公告)日	2010-09-13
申请号	KR1020090018200	申请日	2009-03-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	PARK BYOUNG KEON 박병건 YANG TAE HOON 양태훈 SEO JIN WOOK 서진욱 JO SOO BEOM 조수범 LEE DONG HYUN 이동현 LEE KIL WON 이길원 LISACHENKO MAXIM 리사첸코막심 CHUNG YUN MO 정윤모 CHOI BO KYUNG 최보경 PARK JONG RYUK 박종력 LEE KI YONG 이기용		
发明人	박병건 양태훈 서진욱 조수범 이동현 이길원 리사첸코,막심 정윤모 최보경 박종력 이기용		
IPC分类号	H05B33/02 H05B33/22		
CPC分类号	H01L2227/323 H01L27/3265 H01L51/52		
其他公开文献	KR101041141B1		
外部链接	<a href="#">Espacenet</a>		
摘要(译)			

本发明涉及一种有机发光显示器及其制造方法，该基板包括薄膜晶体管区域和电容器区域：位于基板上的缓冲层；形成在缓冲层上并使用位于薄膜晶体管区域中的金属催化剂结晶的半导体层图案；设置在所述基板上形成栅极绝缘层，其包括半导体层图案：设置在所述栅极绝缘膜上，设置在栅电极和它位于对应于所述半导体层图案的预定区域中的电容器区域中的电容器下电极；位于包括栅电极和电容器下电极的基板上的层间绝缘膜；源/漏电极位于层间绝缘膜上并部分连接到半导体层图案，电容器上电极对应于电容器下电极；第一电极，位于层间绝缘膜上并与源/漏电极电连接；包括设置在第一电极上的发光层的有机层；和设置在所述有机层上的第二电极，对应于位置的缓冲层的特定区域中的电容器区，所述栅极的所述预定区域的绝缘膜，层间绝缘膜的预定区域中，所述下电容器电极，并且其中，电容器的上电极的表面形成有突起，该突起具有与晶界的形状相匹配的形状和形成半导体层图案的晶粒的种子，以及制造该突起的方法。

