



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0129861
(43) 공개일자 2009년12월17일

(51) Int. Cl.

H05B 33/26 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0055984

(22) 출원일자 2008년06월13일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최희동

충남 서산시 음암면 탑곡리 3구 178번지

(74) 대리인

특허법인로얄

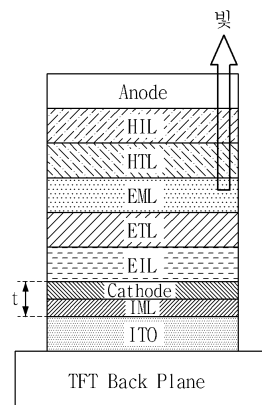
전체 청구항 수 : 총 10 항

(54) 유기발광다이오드 표시소자와 그 제조방법

(57) 요약

본 발명은 유기발광다이오드 표시소자와 그 제조방법에 관한 것이다. 이 유기발광다이오드 표시소자는 캐소드전극 영역을 정의하는 बैं크패턴; 상기 캐소드전극 영역과 상기 बैं크패턴 아래에 형성되는 ITO막; 상기 ITO막과 상기 बैं크패턴 사이에 형성되어 상기 बैं크패턴의 측면 아래에 언더 컷 구조를 마련하는 희생층; Ag, Ti, Mo, Cu, Zn, LiF, Liq 중 어느 하나를 포함하여 상기 ITO막 상에서 상기 캐소드전극 영역에 형성되는 저저항층; 상기 ITO막 상에 형성되는 캐소드전극, 구동전압이 공급되는 애노드전극, 및 상기 캐소드전극과 상기 애노드전극 사이에 형성되어 전계발광하는 유기화합물층을 포함하는 유기발광다이오드소자를 구비한다.

대표도 - 도3



특허청구의 범위

청구항 1

캐소드전극 영역을 정의하는 बैं크패턴;

상기 캐소드전극 영역과 상기 बैं크패턴 아래에 형성되는 ITO막;

상기 ITO막과 상기 बैं크패턴 사이에 형성되어 상기 बैं크패턴의 측면 아래에 언더 컷 구조를 마련하는 희생층;

Ag, Ti, Mo, Cu, Zn, LiF, Liq 중 어느 하나를 포함하여 상기 ITO막 상에서 상기 캐소드전극 영역에 형성되는 저저항층;

상기 ITO막 상에 형성되는 캐소드전극, 구동전압이 공급되는 애노드전극, 및 상기 캐소드전극과 상기 애노드전극 사이에 형성되어 전계발광하는 유기화합물층을 포함하는 유기발광다이오드소자를 구비하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 2

제 1 항에 있어서,

상기 저저항층은 상기 Ag를 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 3

제 1 항에 있어서,

상기 저저항층과 상기 캐소드전극의 합한 두께는 700Å~800Å 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 4

제 3 항에 있어서,

상기 저저항층의 두께는 상기 캐소드전극과 상기 저저항층을 합한 두께가 700Å일 때, 100Å~600Å인 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 5

제 1 항에 있어서,

상기 캐소드전극에 전기적으로 접속되어 상기 유기발광다이오드소자를 구동하는 TFT를 더 구비하고,

상기 TFT는 n 타입 비정질 실리콘을 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 6

ITO막 위에 희생층을 형성하는 단계;

상기 희생층 상에 캐소드전극 영역을 정의하는 बैं크패턴을 형성하는 단계;

상기 희생층을 과식각하여 상기 बैं크패턴의 측면 아래에 언더 컷 구조를 형성하는 단계;

상기 बैं크패턴을 마스크로 하여 Ag, Ti, Mo, Cu, Zn, LiF, Liq 중 어느 하나를 ITO막 상에 증착하여 상기 언더 컷 구조로 인하여 상기 캐소드전극 영역 상에 저저항층을 형성하는 단계;

상기 저저항층 상에 캐소드전극을 형성하는 단계; 및

상기 캐소드전극 상에 유기화합물층과 애노드전극을 순차적으로 증착하는 단계를 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 7

제 6 항에 있어서,

상기 저저항층은 상기 Ag를 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 8

제 6 항에 있어서,

상기 저저항층과 상기 캐소드전극의 합한 두께는 700Å~800Å 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 9

제 8 항에 있어서,

상기 저저항층의 두께는 상기 캐소드전극과 상기 저저항층을 합한 두께가 700Å일 때, 100Å~600Å인 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 10

제 6 항에 있어서,

상기 캐소드전극에 전기적으로 접속되는 TFT를 형성하는 단계를 더 포함하고,

상기 TFT는 n 타입 비정질 실리콘을 포함하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 유기발광다이오드 표시소자와 그 제조방법에 관한 것이다.

배경 기술

- <2> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electroluminescence Device) 등이 있다.
- <3> 전계발광소자는 발광층의 재료에 따라 무기 전계발광소자와 유기발광다이오드소자로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.
- <4> 액티브 매트릭스 타입의 유기발광다이오드 표시소자(Active Matrix type Organic Light Emitting Diode display, AMOLED)는 박막트랜지스터(Thin Film Transistor 이하, "TFT"라 함)를 이용하여 유기발광다이오드소자에 흐르는 전류를 제어하여 화상을 표시한다. 유기발광다이오드 표시소자의 구조는 다양한 방향으로 개발되고 있다. 이 중에서 최근에, n 타입 비정질 실리콘(n type amorphous silicon, a-Si) TFT로 구현되는 AMOLED에서는 도 1과 같이 캐소드전극 위에 전계발광을 위한 유기화합물층을 형성하는 인버티드 타입의 유기발광다이오드소자(Inverted OLED, 이하, "IOD"라 함)가 가장 적합한 구조로 알려졌다.
- <5> 도 1을 참조하면, IOD에는 TFT 어레이가 형성된 배면판(TFT Back Plane) 상에 캐소드전극이 형성된다. 캐소드전극 상에는 순차적으로 전자주입층(Electron injection layer, EIL), 전자수송층(Electron transport layer, ETL), 발광층(Emission layer, EML), 정공수송층(Hole transport layer, HTL), 및 정공주입층(Hole injection layer, HIL)이 적층된다.
- <6> IOD 구조의 또 다른 예로는 도 2와 같이 배면판의 유리관과 캐소드전극 사이에 인듐-틴 옥사이드(Indium Tin Oxide : ITO) 패드를 형성하는 방법이 있다.
- <7> 그런데, 도 1 및 도 2와 같은 IOD에서는 캐소드전극 상에 산화막이 형성될 수 있다. 이를 상세히 하면, 일반적으로 캐소드전극은 AlNd과 같은 알루미늄 합금을 스퍼터링(Sputtering)과 같은 방법으로 증착한 후에 포토레지스트 도포, 포토 마스크 정렬, 노광, 현상 및 습식 식각을 포함한 일련의 포토리소그래피(Photolithography) 공정으로 패터닝된다. 알루미늄 합금이 위와 같은 공정에서 산소와 수분에 노출되면서 그 표면에 자연 산화막이 발생된다.

- <8> 캐소드전극 상에 형성된 자연 산화막은 캐소드전극 및 전자주입층(EIL)으로부터 전자수송층(ETL) 쪽으로 진행하는 전자 주입을 어렵게 하여 IOD의 비정상적 구동을 초래한다.
- <9> 또한, 도 2와 같이 캐소드전극으로 사용되는 알루미늄과 ITO가 직접 접촉하는 구조에서는 알루미늄과 ITO 사이의 계면특성이 좋지 않기 때문에 알루미늄과 ITO 간에 접촉 저항이 높아지고 그 결과 IOD 단위소자의 구동전압 상승을 유발하고 소비전력을 높인다.

발명의 내용

해결 하고자하는 과제

- <10> 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 캐소드전극의 산화를 방지하고 ITO와 캐소드전극 사이의 접촉저항을 줄이도록 한 유기발광다이오드 표시소자와 그 제조방법을 제공하는 데 있다.

과제 해결수단

- <11> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광다이오드 표시소자는 캐소드전극 영역을 정의하는 बैं크패턴; 상기 캐소드전극 영역과 상기 बैं크패턴 아래에 형성되는 ITO막; 상기 ITO막과 상기 बैं크패턴 사이에 형성되어 상기 बैं크패턴의 측면 아래에 언더 컷 구조를 마련하는 희생층; Ag, Ti, Mo, Cu, Zn, LiF, Liq 중 어느 하나를 포함하여 상기 ITO막 상에서 상기 캐소드전극 영역에 형성되는 저저항층; 상기 ITO막 상에 형성되는 캐소드전극, 구동전압이 공급되는 애노드전극, 및 상기 캐소드전극과 상기 애노드전극 사이에 형성되어 전계발광하는 유기화합물층을 포함하는 유기발광다이오드소자를 구비한다.
- <12> 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 제조방법은 ITO막 위에 희생층을 형성하는 단계; 상기 희생층 상에 캐소드전극 영역을 정의하는 बैं크패턴을 형성하는 단계; 상기 희생층을 과식각하여 상기 बैं크패턴의 측면 아래에 언더 컷 구조를 형성하는 단계; 상기 बैं크패턴을 마스크로 하여 Ag, Ti, Mo, Cu, Zn, LiF, Liq 중 어느 하나를 ITO막 상에 증착하여 상기 언더 컷 구조로 인하여 상기 캐소드전극 영역 상에 저저항층을 형성하는 단계; 상기 저저항층 상에 캐소드전극을 형성하는 단계; 및 상기 캐소드전극 상에 유기화합물층과 애노드전극을 순차적으로 증착하는 단계를 포함한다.

효과

- <13> 본 발명의 실시예들에 따른 유기발광다이오드 표시소자와 그 제조방법은 수분과 산소에 노출되지 않고 언더컷 구조와 진공 증착으로 캐소드전극을 패터닝하여 캐소드전극의 산화를 방지하고, 그 캐소드전극과 ITO막 사이에 저저항층을 형성함으로써 IOD에서 캐소드전극과 ITO막 사이의 저항을 줄여 구동전압과 소비전력을 낮출 수 있다.

발명의 실시를 위한 구체적인 내용

- <14> 이하, 도 3 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <15> 본 발명의 실시예에 따른 유기발광다이오드 표시소자는 도 3과 같은 IOD를 이용하여 화상을 표시한다.
- <16> 도 3을 참조하면, 본 발명의 실시예에 따른 IOD는 ITO 패드와 캐소드전극 사이에 형성된 저저항층(IML)을 구비한다. 캐소드전극 상에는 순차적으로 전자주입층(EIL), 전자수송층(ETL), 발광층(EML), 정공수송층(HTL), 및 정공주입층(HIL)이 적층된다.
- <17> 저저항층(IML)은 캐소드전극으로 사용되는 알루미늄과 ITO 패드 사이에 형성되는 금속간 층(Inter-metal layer)으로써 Ag, Ti, Mo, Cu, Zn, 등의 단원소 금속 또는 이원소 이상의 합금 예를 들면, LiF, Liq와 같은 재료로 형성될 수 있다. 이와 같은 재료 중에서 저저항층(IML)의 재료로는 저항과 반사도를 고려할 때 Ag가 가장 적합하다. 이 저저항층(IML)으로 인하여, 캐소드전극과 ITO 패드 사이의 접촉 저항이 작아져 IOD 단위소자에 공급되는 구동전압이 낮아지며, 나아가, 유기발광다이오드 표시소자의 소비전력이 작아진다.
- <18> 캐소드전극과 저저항층(IML)을 합한 두께(t)는 저항과 반사도를 고려하여 700Å~800Å 정도가 바람직하다. 저저항층(IML)의 두께는 캐소드전극과 저저항층(IML)을 합한 두께(t)를 700Å으로 설정할 때, 100Å~600Å이 바람직하다.

- <19> 캐소드전극은 후술하는 바와 같이 수분과 산소에 노출될 수 있는 공정없이 언더 컷(Under-cut) 공정으로 패터닝된다. 이러한 언더 컷 공정을 이용하여 본 발명은 캐소드전극의 자연 산화를 예방할 수 있다.
- <20> 도 4 내지 도 6은 본 발명의 실시예에 따른 액티브 매트릭스 타입의 유기발광다이오드 표시소자의 제조방법을 단계적으로 보여 주는 단면도들이다.
- <21> 도 4를 참조하면, 본 발명은 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 중에서 어느 한 금속 또는 2 이상의 금속이나 합금을 스퍼터링(Sputtering) 공정으로 유리기판(GLS) 상에 증착한 후에 포토리소그래피(Photolithograph) 공정으로 패터닝하여, 스위치 TFT(STFT) 및 구동 TFT(DTFT)의 게이트전극들, 게이트전극들에 연결된 게이트라인, 게이트라인들 각각의 끝단에 연결된 게이트 패드 등을 포함한 게이트 금속패턴을 형성한다. 이어서, 본 발명은 CVD(chemical vapor deposition) 공정으로 산화 실리콘(SiO_2) 또는 질화 실리콘(SiNx)을 증착하여 게이트 금속패턴을 덮도록 유리기판(GLS) 상에 게이트 절연막(GI)을 형성한다.
- <22> 본 발명은 CVD 공정으로 n 타입 비정질 실리콘을 게이트 절연막(GI) 상에 증착한 후에 포토리소그래피 공정으로 패터닝하여 스위치 TFT(STFT) 및 구동 TFT(DTFT)의 액티브패턴(ACT)을 형성한다. 이어서, 본 발명은 스퍼터링 공정으로 몰리브덴(Mo), 알루미늄 네오듐(AlNd), 크롬(Cr), 구리(Cu) 등에서 선택된 금속, 이들의 적층 또는 합금으로 이루어진 소스/드레인 금속을 게이트 절연막(GI) 상에 증착한 후에 포토리소그래피 공정으로 패터닝하여 액티브패턴(ACT)에 접속되는 스위치 TFT(STFT) 및 구동 TFT(DTFT)의 소스전극(S) 및 드레인전극(D), 게이트라인들과 직교하는 데이터라인들, 데이터라인들 각각의 끝단에 연결된 데이터 패드 등을 포함한 소스/드레인 금속패턴을 게이트 절연막(GI) 상에 형성한다.
- <23> 본 발명은 소스/드레인 금속 패턴을 덮도록 CVD 공정으로 산화 실리콘(SiO_2), 질화 실리콘(SiNx) 등의 무기 절연재료를 게이트 절연막과 소스/드레인 금속 패턴 상에 증착하거나, 유기 절연재료를 게이트 절연막과 소스/드레인 금속 패턴 상에 도포하여 패시베이션층(PAS)을 형성하고, 포토리소그래피 공정으로 패시베이션층(PAS)을 패터닝하여 스위치 TFT(STFT)의 드레인전극(D)을 노출시키는 제1 콘택홀(CNT1), 구동 TFT(DTFT)의 게이트전극(G)을 노출시키는 제2 콘택홀(CNT2)을 형성한다. 이어서, 본 발명은 게이트 금속, 소스/드레인 금속 또는 ITO 등을 패시베이션층(PAS) 상에 증착한 후에 포토리소그래피 공정으로 패터닝하여 제1 및 제2 콘택홀(CNT1, CNT2)을 통해 스위치 TFT(STFT)의 드레인전극(D)과 구동 TFT(DTFT)의 게이트전극(G)을 전기적으로 연결하는 링크패턴(LINK)을 형성한다.
- <24> 본 발명은 스위치 TFT(STFT) 및 구동 TFT(DTFT)를 덮도록 포토 아크릴 등의 유기 절연재료를 패시베이션층(PAS) 상에 도포한 후에 노광공정과 경화공정을 거쳐 유기 평탄화층(ORG)을 형성하고 그 유기 평탄화층(ORG)을 식각하여 구동 TFT(DTFT)의 드레인전극(D)을 노출시키는 제3 콘택홀(CNT3)을 형성한다. 이어서, 본 발명은 CVD 공정으로 산화 실리콘(SiO_2), 질화 실리콘(SiNx) 등의 무기 절연재료를 유기 평탄화막(ORG) 상에 증착하고 식각공정을 이용하여 제3 콘택홀(CNT3) 내에서 구동 TFT(DTFT)의 게이트전극(D) 상에 잔류하는 무기 절연재료를 제거하여 버퍼막(BUF)을 형성한다.
- <25> 본 발명은 스퍼터링 공정으로 ITO와 희생층 역할을 하는 몰리브덴(Mo)을 연속 증착한 후에 CVD 공정으로 산화 실리콘(SiO_2), 질화 실리콘(SiNx) 등의 무기 절연재료를 몰리브덴막과 버퍼막(BUF) 상에 증착한 후에 포토리소그래피공정으로 그 무기 절연재료를 패터닝하여 뱅크패턴(BANK)을 형성한다. 뱅크패턴(BANK)은 발광셀들을 구분하고 캐소드전극 영역을 정의한다. 이어서, 본 발명은 습식 식각공정으로 IOD의 캐소드전극 영역에 잔류하는 몰리브덴막을 제거한다. 이 때 뱅크패턴(BANK) 아래에 에천트가 침투되면서 몰리브덴막이 과식각되고 그 결과, 뱅크패턴(BANK)의 측면 아래는 언더컷 구조를 갖는다. 한편, ITO막은 제3 콘택홀(CNT3)을 통해 구동 TFT(DTFT)의 드레인전극(D)에 접속된다.
- <26> 본 발명은 뱅크패턴(BANK)과 캐소드전극 영역을 덮도록 Ag, Ti, Mo, Cu, Zn, LiF, Liq 등의 저저항 재료를 증착한 후에 그 위에 알루미늄이나 알루미늄 합금을 증착하여 저저항층(IML)과 캐소드전극(CAT)을 형성한다. 이 때, 도 5와 같이 뱅크패턴(BANK)의 언더컷 구조로 인하여 IOD 캐소드전극 영역에 형성된 저저항막(IML) 및 캐소드전극(CAT)은 뱅크패턴(BANK) 상에 형성된 저저항재료와 캐소드전극재료로부터 분리된다. 따라서, 본 발명은 수분과 산소에 노출될 수 밖에 없는 포토리소그래피 공정과 습식 식각 공정을 이용하지 않고 진공 증착을 통해 캐소드전극(CAT)을 형성하므로 캐소드전극(CAT)의 자연산화를 방지할 수 있다.
- <27> 본 발명은 도 6과 같이 열 증착(thermal evaporation) 공정으로 전자주입층 재료와 전자수송층 재료를 연속 증착하여 제1 공통층(COM1)을 형성하고, 발광층 재료를 증착한 후 패터닝하여 발광층(Emission layer, EML)을 형

성한 다음, 정공수송층 재료와 정공주입층재료를 연속 증착하여 제2 공통층(COM2)을 형성한다. 이어서, 본 발명은 상온 30℃ 부근에서 페이스트 타겟 스퍼터링(Faced Tarket Sputtering, FTS) 공정을 수행하여 인듐 징크 옥사이드(Indium Zinc Oxide : IZO)를 제2 공통층(COM2) 상에 증착하여 IOD의 애노드전극(AND)을 형성한다.

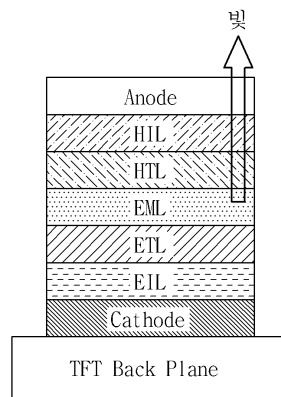
- <28> 도 4 내지 도 6에서 스토리지 커패시터(Storage Capaciter, Cst)는 생략되었다.
- <29> 이러한 IOD 구조에서 IOD의 발광층(EML)이 발광하면 빛이 애노드전극(ANO)을 투과하여 관찰자 쪽으로 진행한다.
- <30> 도 7은 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 등가회로도이다.
- <31> 도 7을 참조하면, 유기발광다이오드 표시소자는 IOD와 그에 접속된 셀 구동회로를 포함한다.
- <32> IOD는 도 3과 같은 구조를 가지며, 캐소드전극과 ITO막 사이에 형성된 저저항층을 포함한다. IOD의 애노드전극에는 고전위 구동전압(VDD)이 공급되고, IOD의 캐소드전극은 구동 TFT(DTFT)의 드레인전극(D)에 접속된다.
- <33> 셀 구동회로는 스위치 TFT(STFT), 구동 TFT(DTFT), 및 스토리지 커패시터(Cst)를 구비한다. 스위치 TFT(STFT)와 구동 TFT(DTFT) 각각은 n 타입 비정질 실리콘을 포함한 MOS-FET이다.
- <34> 스위치 TFT(STFT)는 스캔펄스가 공급되는 게이트라인(GL)과 연결된 게이트전극(G), 데이터전압이 공급되는 데이터라인(DL)에 연결된 드레인전극(D), 및 구동 TFT(DTFT)의 게이트전극(G)과 스토리지 커패시터(Cst)의 일측전극에 접속된 소스전극(S)을 포함한다. 이 스위치 TFT(STFT)는 게이트라인(GL)으로부터 공급되는 스캔펄스의 게이트하이전압에 응답하여 턴-온됨으로써 자신의 소스전극(S)과 드레인전극(D) 사이의 전류패스를 도통시켜 구동 TFT(DTFT)의 게이트전극(G)에 데이터전압을 공급한다.
- <35> 구동 TFT(DTFT)는 스위치 TFT(STFT)의 소스전극(S) 및 스토리지 커패시터(Cst)의 일측 전극에 접속된 게이트전극(G), IOD의 캐소드전극에 접속된 드레인전극(D), 및 저전위 구동전압원(VSS)과 스토리지 커패시터(Cst)의 타측 전극에 접속된 소스전극(S)을 포함한다. 이 구동 TFT(DTFT)는 게이트전압에 따라 IOD에 흐르는 전류양을 조절한다.
- <36> 스토리지 커패시터(Cst)는 구동 TFT(DTFT)의 게이트전극(G)과 소스전극(S) 사이에 접속되어 구동 TFT(DTFT)의 게이트-소스간 전압(Vgs)을 일정하게 유지시키는 역할을 한다.
- <37> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

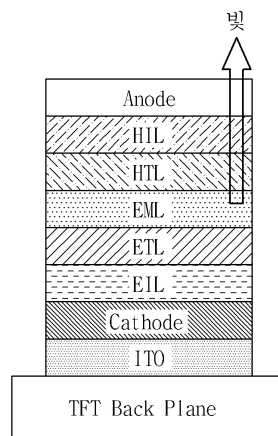
- <38> 도 1은 IOD를 나타내는 단면도이다.
- <39> 도 2는 캐소드전극과 유리기관 사이에 ITO가 형성된 IOD를 보여 주는 단면도이다.
- <40> 도 3은 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 IOD를 보여 주는 단면도이다.
- <41> 도 4 내지 도 6은 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 제조방법을 단계적으로 보여 주는 단면도들이다.
- <42> 도 7은 본 발명의 실시예에 따른 유기발광다이오드 표시소자의 등가 회로도이다.

도면

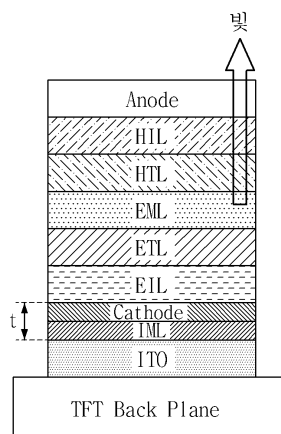
도면1



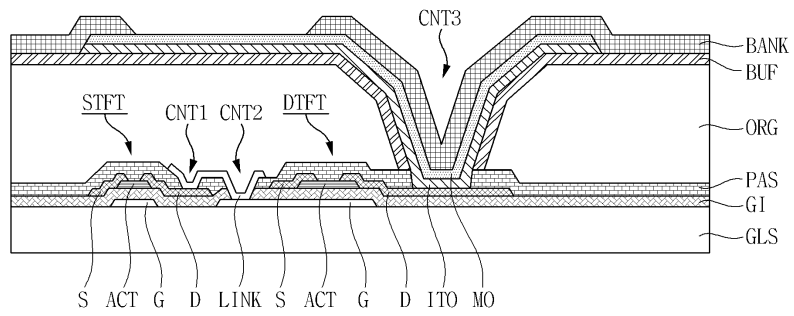
도면2



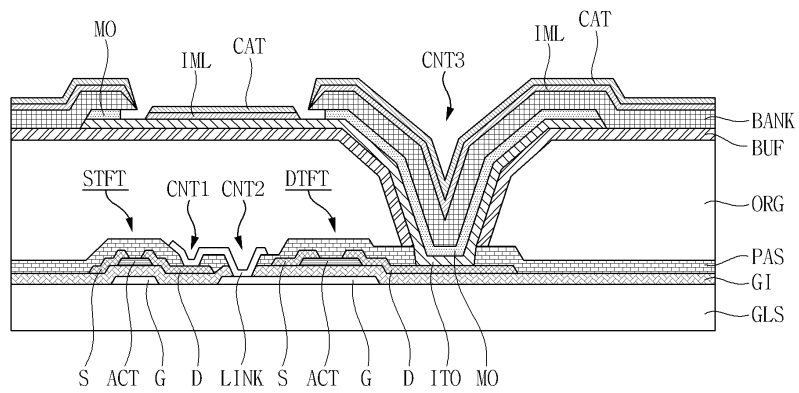
도면3



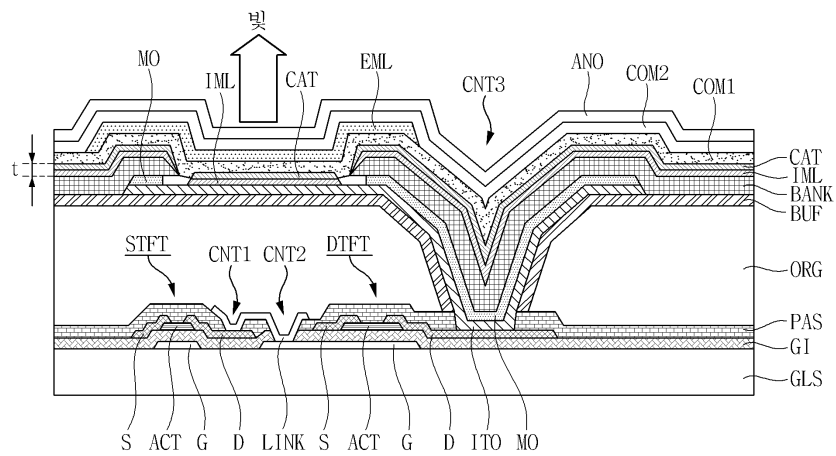
도면4



도면5



도면6



专利名称(译)	有机发光二极管显示元件及其制造方法		
公开(公告)号	KR1020090129861A	公开(公告)日	2009-12-17
申请号	KR1020080055984	申请日	2008-06-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG		
发明人	CHOI HEE DONG		
IPC分类号	H05B33/26 H01L51/50		
CPC分类号	H01L27/3246 H01L21/3205 H01L21/32055 H01L51/442 H01L2251/558		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光二极管显示装置及其制造方法。该有机发光二极管显示装置包括限定阴极区域的堤图案;在阴极电极区域和堤图案下形成的ITO膜;ITO薄膜;包括在ITO膜上的阴极区域上形成的低电阻层的有机发光二极管器件,它意味着牺牲层中的任何一个:Ag, Ti, Mo, Cu, Zn, LiF, Liq和在ITO膜上形成的阴极之间形成的有机化合物层和阳极。形成在ITO膜上的阴极区域上的低电阻层意味着牺牲层中的任何一个:Ag, Ti, Mo, Cu, Zn, LiF, Liq形成在堤图案之间并准备对于堤岸图案侧下的切割下结构。关于在ITO膜上形成的阴极和阳极之间形成的有机化合物层,驱动电压被提供给阴极和阳极并且是电场发光的。

