(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H05B 33/00

(11) 공개번호 10-2005-0111935
(43) 공개일자 2005년11월29일

(21) 출원번호 10-2004-0036868
(22) 출원일자 2004년05월24일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 윤한희
경기도안양시만안구석수동378-4덕수아파트다동101호

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 발광표시 장치용 정적램 코어 셀

요약

본 발명은 유기 EL 발광표시 장치의 데이터 구동부에 적용할 수 있는 발광표시 장치용 정적램 코어 셀(SRAM Core-cell)에 관한 것이다. 본 발명에 따른 발광표시 장치용 정적램 코어 셀은, 발광표시 장치의 데이터 구동부의 데이터 저장장치로서, 게이트, 소스 및 드레인을 각각 갖는 복수의 박막 트랜지스터로 구성되는 정적램 코어 셀에 있어서, 비트 라인과 워드 라인에 각각 연결되어 데이터의 기록 및 독출을 선택하는 스위칭용 트랜지스터; 및 전원전압(Vdd) 또는 접지전압(Vss)에 연결되어 데이터가 기록 및 독출되는 데이터 저장용 트랜지스터를 포함하되, 상기 비트 라인과 워드 라인이 각각 제1 방향 또는 제2 방향으로 형성되며, 상기 스위칭 트랜지스터 또는 데이터 저장용 트랜지스터의 채널이 상기 제1 방향 또는 제2 방향에 대해 각각 사선 방향으로 형성된 것을 특징으로 한다. 본 발명에 따르면, 발광표시 장치의 데이터 드라이버 정적램 설계시, 소정 영역 내에서 트랜지스터를 형성하는 다결정 규소층 또는 채널이 사선 방향으로 형성되도록 순차적으로 트랜지스터를 배치함으로써, 코어 셀의 레이아웃 효율을 향상시키고, 고집적화된 발광표시 장치를 구현할 수 있다.

대표도

도 5

색인어

유기 EL, 발광표시, SRAM, 코어 셀, 사선 방향, 채널

명세서

도면의 간단한 설명

도 1은 유기 EL의 발광 원리를 나타내는 도면이다.

도 2는 유기 EL 표시 장치의 개략적인 블록 구성도이다.

도 3은 TFT를 이용한 능동 구동방식을 사용하는 일반적인 유기 EL 표시 패널을 나타내는 도면이다.

도 4는 발광표시 장치용 CMOS 정적램 코어 셀의 회로도이다.

도 5는 본 발명의 실시예에 따른 발광표시 장치용 CMOS 정적램 코어 셀의 레이아웃을 나타내는 도면이다.

도 6은 도 5에 도시된 CMOS 정적램 코어 셀에서 사선 방향으로 레이아웃되는 부분을 나타내는 회로도이다.

도 7은 본 발명의 실시예에 따른 CMOS 정적램 코어 셀의 사선 방향 레이아웃을 구체적으로 설명하기 위한 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광표시 장치용 정적램 코어 셀에 관한 것으로, 구체적으로, 유기 EL(organic electro-luminescence) 발광표시 장치의 데이터 구동부에 적용할 수 있는 발광표시 장치용 정적램 코어 셀에 관한 것이다.

유기 EL 발광표시 장치는 전류가 흐를 경우에 빛을 내는 유기 물질을 화소별로 분리하여 매트릭스 모양으로 배치해 놓고, 이들 유기 물질에 흘리는 전류량을 조절함으로써 화상을 표시하는 장치이다. 이러한 유기 EL 발광표시 장치는 저전압 구동, 경량 박형, 광시야각 그리고 고속 응답 등의 장점으로 인하여 차세대 표시 장치로 기대되고 있다.

도 1은 유기 EL의 발광 원리를 나타내는 도면이다.

일반적으로, 유기 EL 발광표시 장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, N×M 개의 유기 발광셀들을 전압구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀 구조는 도 1에 도시된 바와 같이, ITO(Indium Tin Oxide) 화소전극, 유기박막 및 금속 레이어의 구조를 가지고 있으며, 상기 유기박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(Emitting Layer: EML), 전자수송층(Electron Transport Layer: ETL) 및, 정공수송층(Hole Transport Layer: HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자주입층(Electron Injecting Layer: EIL)과 정공주입층(Hole Injecting Layer: HIL)을 포함할 수 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 TFT를 이용한 능동 구동(active matrix) 방식이 있다. 상기 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동방식은 TFT와 커패시터를 각각의 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다.

도 2는 유기 EL 표시 장치의 개략적인 블록 구성도이다.

도 2를 참조하면, 유기 EL 표시 장치는 비디오 제어부(210), 패널 제어부(220), 전원 모듈(230), 주사 구동부(240), 데이터 구동부(250) 및 유기 EL 패널(260)로 이루어질 수 있는데, 아날로그 인터페이스 및 디지털 인터페이스를 거친 여러 신호들이 각각 주사 구동부(240) 및 데이터 구동부(250)에 의해 상기 유기 EL 패널(260)에 각각 행(Column)과 열(Row) 방향으로 제공된다.

구체적으로, R, G, B 신호 및 동기신호 등의 여러 아날로그 신호들이 상기 비디오 제어부(210)에 입력된 후에 디지털 신호로 변환되고, 상기 패널 제어부(220)는 이들을 제어하여 순차적으로 주사 구동부(240) 및 데이터 구동부(250)에 제공하게 되며, 상기 유기 EL 패널(260)은 이들 주사 구동부(240) 및 데이터 구동부(250)에 의해 제공되는 신호들, 그리고 전원 모듈(230)에 의해 제공되는 전원에 의해 n×m 개의 유기 발광셀을 전압구동 혹은 전류 구동하여 영상을 표현하게 된다.

한편, 도 3은 TFT 박막 트랜지스터를 이용한 능동 구동방식을 사용하는 일반적인 유기 EL 표시 패널을 나타내는 도면이다.

도 3을 참조하면, 유기 EL 표시장치는 유기 EL 표시패널(310), 데이터 구동부(320), 및 주사 구동부(330)를 포함한다.

상기 유기 EL 표시패널(310)은 열 방향으로 뻗어 있는 m개의 데이터선(D1, D2, …, DM), 행 방향으로 뻗어 있는 n개의 주사선(S1, S2, …, Sn), 및 n×m 개의 화소회로를 포함한다. 상기 m개의 데이터선(D1, D2, …, DM)은 화상 신호를 나타내는 데이터 신호를 화소회로로 전달하며, n개의 주사선(S1, S2, …, Sn)은 선택 신호를 각각 화소회로로 전달한다. 여기서, 화소회로는 이웃한 두 데이터선(D1, D2, …, DM)과 이웃한 두 주사선(S1, S2, …, Sn)에 의해 정의되는 1개의 화소 영역(310-1)에 형성되며, 예를 들어, 트랜지스터(311, 312), 커패시터(313) 및 유기 EL 소자(314)로 이루어지게 된다.여기서, 도면부호 315는 전원 전압인 Vdd를 나타낸다.

구체적으로, 상기 화소 회로(310-1) 각각은 유기 EL 소자(OLED), 2개의 트랜지스터(311, 312) 및 커패시터(313)를 포함한다. 예를 들어, 상기 2개의 트랜지스터들(311, 312)은 PMOS형 트랜지스터로 형성될 수 있다.

상기 구동 트랜지스터(312)는 전원 전압(Vdd)에 소스가 연결되고, 게이트와 소스 사이에 커패시터(313)가 연결되어 있다.상기 커패시터(313)는 상기 구동 트랜지스터(312)의 게이트-소스 전압을 일정 기간 유지하며, 스위칭 트랜지스터(311)는 현재 주사선(Sn)으로부터의 선택 신호에 응답하여 데이터선(DM)으로부터의 데이터 전압을 구동 트랜지스터(312)로 전달한다.

상기 유기 EL 소자(314)는 캐소드가 기준 전압(Vss)에 연결되며, 구동 트랜지스터(312)를 통하여 인가되는 전류에 대응하는 빛을 발광한다. 여기서, 유기 EL 소자(314)의 캐소드에 연결되는 전원(Vss)은 전원(Vdd)보다 낮은 전압으로서, 그라운드 전압 등이 사용될 수 있다.

또한, 상기 주사 구동부(330)는 n개의 주사선(S1, S2, …, Sn)에 각각 선택 신호를 순차적으로 인가하며, 데이터 구동부(320)는 m개의 데이터선(D1, D2, …, DM)에 화상 신호에 대응되는 데이터 전압을 인가한다.

또한, 상기 주사 구동부(330) 및/또는 데이터 구동부(320)는 유기 EL 표시패널(310)에 전기적으로 연결될 수 있으며, 또는 상기 유기 EL 표시패널(310)에 접착되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package: TCP)에 칩 등의 형태로 장착될 수 있다. 또는 표시 패널(310)에 접착되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit: FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있다.

한편, 상기 주사 구동부(330) 및/또는 데이터 구동부(320)는 상기 유기 EL 표시패널(310)의 유리 기판 위에 직접 장착될 수도 있으며, 또는 유리 기판 위에 주사선, 데이터선 및 박막 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로와 대체될 수도 있고, 직접 장착될 수도 있다.

도 4는 종래의 기술에 따른 CMOS 정적램 코어 셀을 나타내는 회로도이다.

종래 기술에 따른 CMOS 정적램 코어 셀은 상기 유기 EL 발광표시 장치를 SOP(system on package)로 구현하기 위해 상기 데이터 구동부(320) 상에 사용되며, 6개의 TFT 트랜지스터를 갖는 SRAM으로 설계된다.

도 4를 참조하면, MP1과 MP2는 풀업(pull-up) 트랜지스터이고, MN1과 MN2는 풀다운(pull-down) 트랜지스터이며, MP3 및 MP4는 액세스를 위한 패스 트랜지스터를 나타낸다. 여기서, MP1 내지 MP4는 P-MOS 트랜지스터이고, MN1 및 MN2는 N-MOS 트랜지스터로서, 상기 MP1과 MN1, 그리고 MP2와 MN2는 CMOS로 구현되게 된다.

종래 기술에 따른 CMOS 정적램 코어 셀은 정해진 폭과 길이 내에 다수의 N형 및 P형 MOS 트랜지스터를 형성해야 하므로, 레이아웃 설계시에 제한을 받게 됨으로써, 설계의 유연성을 확보하지 못하고, 또한 이에 따른 제조 공정 상의 불량을 유발할 수 있다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위한 본 발명의 목적은 정적램 코어 셀을 형성하는 박막 트랜지스터의 게이트 채널을 사선 방향으로 형성함으로써, 정해진 레이아웃 공간의 집적도를 향상시킬 수 있는 발광표시 장치용 정적램 코어 셀을 제공하기 위한 것이다.

또한, 본 발명의 다른 목적은 정해진 레이아웃 공간의 효율을 향상시킴으로써, 공정 마진을 확보하여 제조 공정 상의 불량을 방지할 수 있는 발광표시 장치용 정적램 코어 셀을 제공하기 위한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 발광표시 장치용 정적램 코어 셀은, 발광표시 장치의 데이터 구동부의 데이터 저장장치로서, 게이트, 소스 및 드레인을 각각 갖는 복수의 박막 트랜지스터로 구성되는 정적램 코어 셀에 있어서,

비트 라인과 워드 라인에 각각 연결되어 데이터의 기록 및 독출을 선택하는 스위칭용 트랜지스터; 및

전원전압(Vdd) 또는 접지전압(Vss)에 연결되어 데이터가 기록 및 독출되는 데이터 저장용 트랜지스터

를 포함하되,

상기 비트 라인과 워드 라인이 각각 제1 방향 또는 제2 방향으로 형성되며, 상기 스위칭 트랜지스터 또는 데이터 저장용 트랜지스터의 채널이 상기 제1 방향 또는 제2 방향에 대해 각각 사선 방향으로 형성된 것을 특징으로 한다.

여기서, 상기 사선 방향은 상기 제1 방향 또는 제2 방향에 대해 시계 방향 또는 반시계 방향의 사선 방향인 것을 특징으로 한다.

여기서, 상기 사선 방향으로 배치되는 스위칭 트랜지스터 또는 데이터 저장용 트랜지스터는 글래스 기판 상에 사선 방향으로 증착되는 다결정 규소층을 포함할 수 있다.

한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 정적램 코어 셀은, 게이트, 소스 및 드레인을 각각 갖는 6개의 박막 트랜지스터로 구성되는 정적램 코어 셀에 있어서,

제1 비트 라인에 자신의 게이트가 연결되고 워드 라인에 자신의 소스/드레인이 각각 연결되어 상기 워드 라인에 입력되는 신호에 따라 상기 제1 비트 라인에 입력이 선택되는 제1 스위칭 트랜지스터;

제2 비트 라인에 자신의 게이트가 연결되고 상기 워드 라인에 자신의 소스/드레인이 각각 연결되어 상기 워드 라인에 입력되는 신호에 따라 상기 제2 비트 라인에 입력이 선택되는 제2 스위칭 트랜지스터; 및

전원전압 또는 접지전압에 연결되어 상기 제1 및 제2 스위칭 트랜지스터의 제어에 따라 데이터가 기록 및 독출되는 제1 내지 제4 데이터 저장용 트랜지스터

를 포함하되,

상기 비트 라인과 워드 라인이 각각 제1 방향 또는 제2 방향으로 형성되며, 상기 제1 및 제2 스위칭 트랜지스터, 또는 상기 제1 내지 제4 데이터 저장용 트랜지스터의 채널이 상기 제1 방향 또는 제2 방향에 대해 각각 사선 방향으로 형성된 것을 특징으로 한다.

여기서, 상기 제1 및 제2 스위칭 트랜지스터, 또는 상기 제1 내지 제4 데이터 저장용 트랜지스터는 정해진 면적의 레이아웃 공간상에서 순차적으로 배치되는 것을 특징으로 한다.

한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 반도체 소자는, 게이트 및 소스/드레인을 각각 갖는 복수의 트랜지스터를 구비하는 반도체 소자에 있어서,

글래스 기판; 및

상기 글래스 기판 상에 증착되는 액티브 영역 상에 형성되는 게이트 및 소스/드레인을 갖는 복수의 트랜지스터

를 포함하되,

상기 액티브 영역 상에 형성되는 트랜지스터의 채널이 정해진 면적의 레이아웃 공간상에서 레이아웃 폭 또는 길이 방향에 대해 사선 방향으로 형성된 것을 특징으로 한다.

여기서, 상기 사선 방향은 상기 레이아웃 폭 또는 길이 방향에 대해 시계 방향 또는 반시계 방향의 사선 방향인 것을 특징으로 한다.

여기서, 상기 액티브 영역 상에 형성되어 사선 방향으로 배치되는 트랜지스터의 채널은 순차적으로 배치되는 것이 바람직하며, 상기 액티브 영역 상에 형성되어 사선 방향으로 배치되는 트랜지스터는 글래스 기판 상에서 수직 방향에 대해 사선 방향으로 증착되는 다결정 규소층을 포함할 수 있다.

본 발명에 따르면, 발광표시 장치의 데이터 드라이버 정적램 설계시, 소정 영역 내에서 트랜지스터를 형성하는 다결정 규소층 또는 채널이 사선 방향으로 형성되도록 순차적으로 트랜지스터를 배치함으로써, 코어 셀의 레이아웃 효율을 향상시키고, 고집적화된 발광표시 장치를 구현할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 발광표시 장치용 정적램 코어 셀을 상세히 설명한다.

전술한 도 4를 다시 참조하면, 일반적으로, 정적램 코어 셀은 기억용 플립-플롭 회로(MP1과 MN1, MP2와 MN2)와 2개의 스위치(MP3, MP4)로 구성되며, 워드 라인(word)에 펄스를 인가하여 셀 트랜지스터를 온으로 하면, 비트 라인쌍(Bit, Bitb)과 플립-플롭 사이에 데이터의 전달이 가능해진다.독출(Write) 시에는 비트 라인쌍의 일측에 고전압을 인가하고, 다른 쪽에 저전압을 인가하여, 이를 기억 노드(MP1 및 MN1의 공통 소스/드레인 노드, 및 MP2 및 MN2의 공통 소스/드레인 노드)에 전달함에 따라 2진 정보를 기억시키게 된다. 상기 기록(Read)은 노드들의 전압에 대응하여 비트 라인쌍에 유기되는 전압을 검출하여, 외부에 전달하는 것을 말한다. 상기 SRAM은 DRAM과 달리 전원이 인가되어 있는 한 상기 플립-플롭의 피드백 효과에 의해 리프레시 동작이 없이도, 즉 정적(Static)인 데이터 보존이 가능하므로, Static RAM이라 부르는 것이다. 단, 셀 하나를 구성하는데 필요한 소자의 수가 많아서, 동일 면적에 대해 DRAM에 비해 약 1/4 정도의 기억 용량을 갖기 때문에 상대적으로 고가이다.

한편, 도 5는 본 발명의 실시예에 따른 발광표시 장치용 CMOS 정적램 코어 셀의 레이아웃을 나타내는 도면이다.

도 5를 참조하면, 본 발명의 실시예에 따른 발광표시 장치용 CMOS 정적램 코어 셀은, 발광표시 장치의 데이터 구동부의 데이터 저장장치로서, 게이트, 소스 및 드레인을 각각 갖는 6개의 박막 트랜지스터(MP1 내지 MP4, MN1 및 MN2)로 구성된다.

상기 6개의 박막 트랜지스터(MP1 내지 MP4, MN1 및 MN2) 중에서, 제1 스위칭 트랜지스터(MP3)는 제1 비트 라인에 자신의 게이트가 연결되고 워드 라인에 자신의 소스/드레인이 각각 연결되어 상기 워드 라인에 입력되는 신호에 따라 상기 제1 비트 라인에 입력이 선택된다.

상기 6개의 박막 트랜지스터(MP1 내지 MP4, MN1 및 MN2) 중에서, 제2 스위칭 트랜지스터(MP4)는 제2 비트 라인에 자신의 게이트가 연결되고 상기 워드 라인에 자신의 소스/드레인이 각각 연결되어 상기 워드 라인에 입력되는 신호에 따라 상기 제2 비트 라인에 입력이 선택된다.

또한, 상기 6개의 박막 트랜지스터(MP1 내지 MP4, MN1 및 MN2) 중에서, 제1 내지 제4 데이터 저장용 트랜지스터(MP1과 MN1, MP2와 MN2)는 전술한 바와 같이, 플립-플롭을 형성하며, 각각 전원전압(Vdd) 또는 접지전압(Vss)에 연결되어 상기 제1 및 제2 스위칭 트랜지스터(MP3, MP4)의 제어에 따라 데이터가 기록 및 독출하게 된다.

여기서, 도면에 도시된 바와 같이, 상기 제1 및 제2 스위칭 트랜지스터(MP3, MP4), 또는 상기 제1 내지 제4 데이터 저장용 트랜지스터(MP1과 MN1, MP2와 MN2)의 채널이 각각 사선 방향으로 형성된다. 상기 비트 라인을 제1 방향이라 하고, 워드 라인을 제2 방향이라 할 때, 상기 스위칭 트랜지스터 또는 데이터 저장용 트랜지스터의 채널은 상기 제1 방향 또는 제2 방향에 대해 각각 사선 방향으로 형성되며, 상기 사선 방향은 상기 제1 방향 또는 제2 방향에 대해 시계 방향 또는 반시계 방향으로 형성될 수 있다. 또한, 상기 제1 및 제2 스위칭 트랜지스터(MP3, MP4), 또는 상기 제1 내지 제4 데이터 저장용 트랜지스터(MP1과 MN1, MP2와 MN2)는 정해진 레이아웃 공간상에서 동일한 각도로 순차적으로 배치될 수 있다.

한편, 도 6은 도 5에 도시된 CMOS 정적램 코어 셀에서 사선 방향으로 레이아웃되는 부분을 나타내는 회로도이다.

본 발명의 실시예에 따른 발광표시 장치용 정적램 코어 셀은, 게이트, 소스 및 드레인을 갖는 복수의 박막 트랜지스터로 구성되며, 4개의 PMOS(611~614) 및 2개의 NMOS(621, 622) 트랜지스터인 6개의 트랜지스터로 구성되고, 비트라인 및 워드라인에 의해 기록 및 독출이 제어된다. 전술한 바와 같이, 상기 6개의 트랜지스터 중에서, 여기서, MP1(611)과

MP2(612)는 풀업(pull-up) 트랜지스터이고, MN1(621)과 MN2(622)는 풀다운(pull-down) 트랜지스터이며, MP3(613) 및 MP4(614)는 액세스를 위한 스위칭 트랜지스터를 나타낸다. 여기서, MP1 내지 MP4(611~614)는 P-MOS 트랜지스터이고, MN1 및 MN2(621, 622)는 N-MOS 트랜지스터로서, 정해진 레이아웃 공간상에서 45°각도로 순차적으로 배치된다.

한편, 도 7은 본 발명의 실시예에 따른 CMOS 정적램 코어 셀의 사선 방향 레이아웃을 구체적으로 설명하기 위한 도면이다.

도 7은 본 발명의 실시예에 따른 CMOS 정적램 코어 셀은, 정해진 레이아웃 공간은 예를 들어, 22㎛의 폭과 20㎛의 길이(22㎛×20㎛)이며, 전술한 바와 같이 6개의 박막 트랜지스터가 형성된다.

또한, 본 발명에 따른 실시예에서, 도면부호 631은 전원전압(VDD)에 연결되는 콘택을 나타내고, 도면부호 632는 접지전압(GND)에 연결되는 콘택을 나타낸다. 또한, 도면부호 641 및 642는 비트라인쌍을 나타내고, 도면부호 651은 워드 라인을 나타낸다.

도면에 도시된 바와 같이, 4개의 PMOS(611~614) 및 2개의 NMOS(621, 622) 트랜지스터인 6개의 트랜지스터로 구성되고, 상기 비트라인쌍 및 워드라인에 의해 기록/독출이 제어된다. 전술한 바와 같이, 상기 6개의 트랜지스터가 정해진 레이아웃 공간상에서, 예를 들어, 45°각도로 순차적으로 배치될 수 있다.

한편, 상기 사선 방향으로 배치되는 스위칭 트랜지스터 또는 데이터 저장용 트랜지스터는 글래스 기판 상에 사선 방향으로 증착되는 다결정 규소층을 포함할 수 있다. 즉, 사선 방향으로 형성되는 다결정 규소층 상에 액티브 영역을 형성하고, 상기 액티브 영역에 각각 게이트, 소스 및 드레인을 형성함으로써, 전술한 채널이 사선 방향으로 형성되게 된다.

한편, 본 발명의 실시예에 따라 정해진 면적의 레이아웃 공간상에서 사선 방향으로 형성되는 복수의 트랜지스터를 구비하는 반도체 소자를 구현할 수 있으며, 상기 반도체 소자는 글래스 기판 및 상기 글래스 기판 상에 증착되는 액티브 영역 상에 형성되는 게이트 및 소스/드레인을 갖는 복수의 트랜지스터를 포함하되, 상기 액티브 영역 상에 형성되는 트랜지스터의 채널이 정해진 면적의 레이아웃 공간상에서 사선 방향으로 형성된다. 이때, 상기 액티브 영역 상에 형성되어 사선 방향으로 배치되는 트랜지스터의 채널은 순차적으로 배치되며, 글래스 기판 상에서 수직 방향에 대해 사선 방향으로 증착되는 다결정 규소층을 포함할 수 있다.

결국, 본 발명의 실시예에 따른 발광표시 장치용 CMOS 정적램 코어 셀은 채널 또는 다결정 규소층을 사선 방향으로 형성함으로써, 집적 효율을 높일 수 있다.

이상의 설명에서 본 발명은 특정의 실시예와 관련하여 도시 및 설명하였지만, 특허청구범위에 의해 나타난 발명의 사상 및 영역으로부터 벗어나지 않는 한도 내에서 다양한 개조 및 변화가 가능하다는 것을 당업계에서 통상의 지식을 가진 자라면 누구나 쉽게 알 수 있을 것이다.

발명의 효과

본 발명에 따르면, 발광표시 장치의 데이터 드라이버 정적램 설계시, 소정 영역 내에서 트랜지스터를 형성하는 다결정 규소층 또는 채널이 사선 방향으로 형성되도록 순차적으로 트랜지스터를 배치함으로써, 코어 셀의 레이아웃 효율을 향상시키고, 고집적화된 발광표시 장치를 구현할 수 있다.

(57) 청구의 범위

청구항 1.

발광표시 장치의 데이터 구동부의 데이터 저장장치로서, 게이트, 소스 및 드레인을 각각 갖는 복수의 박막 트랜지스터로 구성되는 정적램 코어 셀에 있어서,

비트 라인과 워드 라인에 각각 연결되어 데이터의 기록 및 독출을 선택하는 스위칭용 트랜지스터; 및

전원전압(Vdd) 또는 접지전압(Vss)에 연결되어 데이터가 기록 및 독출되는 데이터 저장용 트랜지스터

를 포함하되,

상기 비트 라인과 워드 라인이 각각 제1 방향 또는 제2 방향으로 형성되며, 상기 스위칭 트랜지스터 또는 데이터 저장용 트랜지스터의 채널이 상기 제1 방향 또는 제2 방향에 대해 각각 사선 방향으로 형성된 것을 특징으로 하는 발광표시 장치용 정적램 코어 셀.

청구항 2.

제1항에 있어서,

상기 사선 방향은 상기 제1 방향 또는 제2 방향에 대해 시계 방향 또는 반시계 방향의 사선 방향인 것을 특징으로 하는 발광표시 장치용 정적램 코어 셀.

청구항 3.

제1항에 있어서,

상기 스위칭 트랜지스터 또는 데이터 저장용 트랜지스터는 정해진 레이아웃 공간상에서 순차적으로 배치되는 것을 특징으로 하는 발광표시 장치용 정적램 코어 셀.

청구항 4.

제1항에 있어서,

상기 사선 방향으로 배치되는 스위칭 트랜지스터 또는 데이터 저장용 트랜지스터는 글래스 기판 상에 사선 방향으로 증착되는 다결정 규소층을 포함하는 발광표시 장치용 정적램 코어 셀.

청구항 5.

게이트, 소스 및 드레인을 각각 갖는 6개의 박막 트랜지스터로 구성되는 정적램 코어 셀에 있어서,

제1 비트 라인에 자신의 게이트가 연결되고 워드 라인에 자신의 소스/드레인이 각각 연결되어 상기 워드 라인에 입력되는 신호에 따라 상기 제1 비트 라인에 입력이 선택되는 제1 스위칭 트랜지스터;

제2 비트 라인에 자신의 게이트가 연결되고 상기 워드 라인에 자신의 소스/드레인이 각각 연결되어 상기 워드 라인에 입력되는 신호에 따라 상기 제2 비트 라인에 입력이 선택되는 제2 스위칭 트랜지스터; 및

전원전압 또는 접지전압에 연결되어 상기 제1 및 제2 스위칭 트랜지스터의 제어에 따라 데이터가 기록 및 독출되는 제1 내지 제4 데이터 저장용 트랜지스터

를 포함하되,

상기 비트 라인과 워드 라인이 각각 제1 방향 또는 제2 방향으로 형성되며, 상기 제1 및 제2 스위칭 트랜지스터, 또는 상기 제1 내지 제4 데이터 저장용 트랜지스터의 채널이 상기 제1 방향 또는 제2 방향에 대해 각각 사선 방향으로 형성된 것을 특징으로 하는 정적램 코어 셀.

청구항 6.

제5항에 있어서,

상기 제1 및 제2 스위칭 트랜지스터, 또는 상기 제1 내지 제4 데이터 저장용 트랜지스터는 정해진 면적의 레이아웃 공간상에서 순차적으로 배치되는 것을 특징으로 하는 정적램 코어 셀.

청구항 7.

제5항에 있어서,

상기 사선 방향으로 배치되는 트랜지스터는 글래스 기판 상에 사선 방향으로 증착되는 다결정 규소층을 포함하는 정적램 코어 셀.

청구항 8.

게이트 및 소스/드레인을 각각 갖는 복수의 트랜지스터를 구비하는 반도체 소자에 있어서,

글래스 기판; 및

상기 글래스 기판 상에 증착되는 액티브 영역 상에 형성되는 게이트 및 소스/드레인을 갖는 복수의 트랜지스터

를 포함하되,

상기 액티브 영역 상에 형성되는 트랜지스터의 채널이 정해진 면적의 레이아웃 공간상에서 레이아웃 폭 또는 길이 방향에 대해 사선 방향으로 형성된 것을 특징으로 하는 반도체 소자.

청구항 9.

제8항에 있어서,

상기 사선 방향은 상기 레이아웃 폭 또는 길이 방향에 대해 시계 방향 또는 반시계 방향의 사선 방향인 것을 특징으로 하는 반도체 소자.

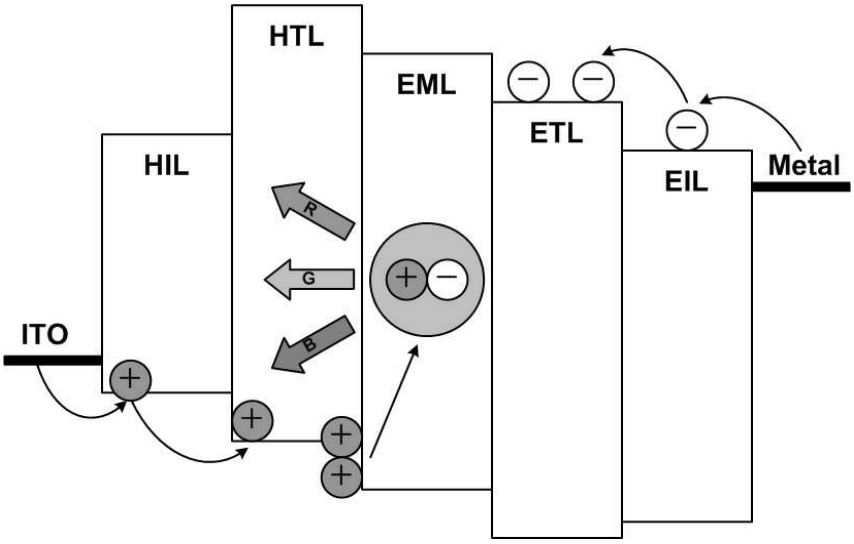
청구항 10.

제8항에 있어서,

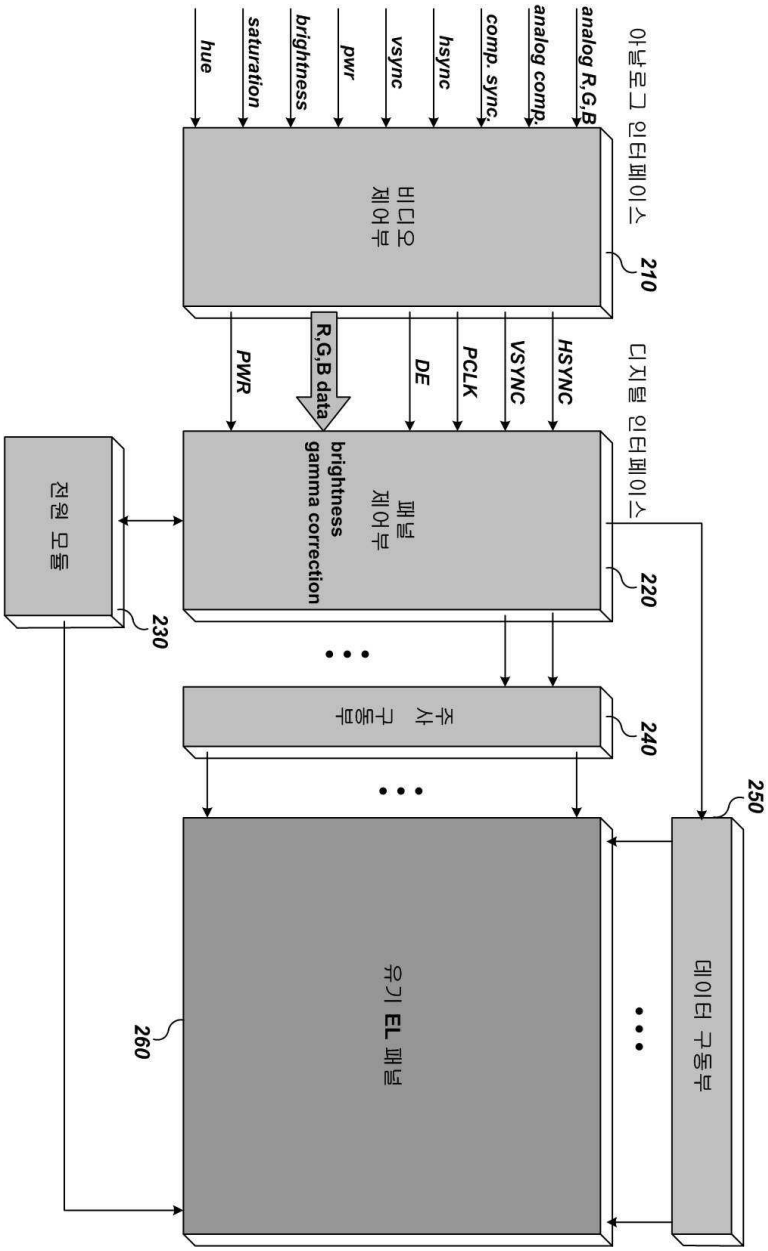
상기 액티브 영역 상에 형성되어 사선 방향으로 배치되는 트랜지스터는 글래스 기판 상에서 수직 방향에 대해 사선 방향으로 증착되는 다결정 규소층을 포함하는 반도체 소자.

도면

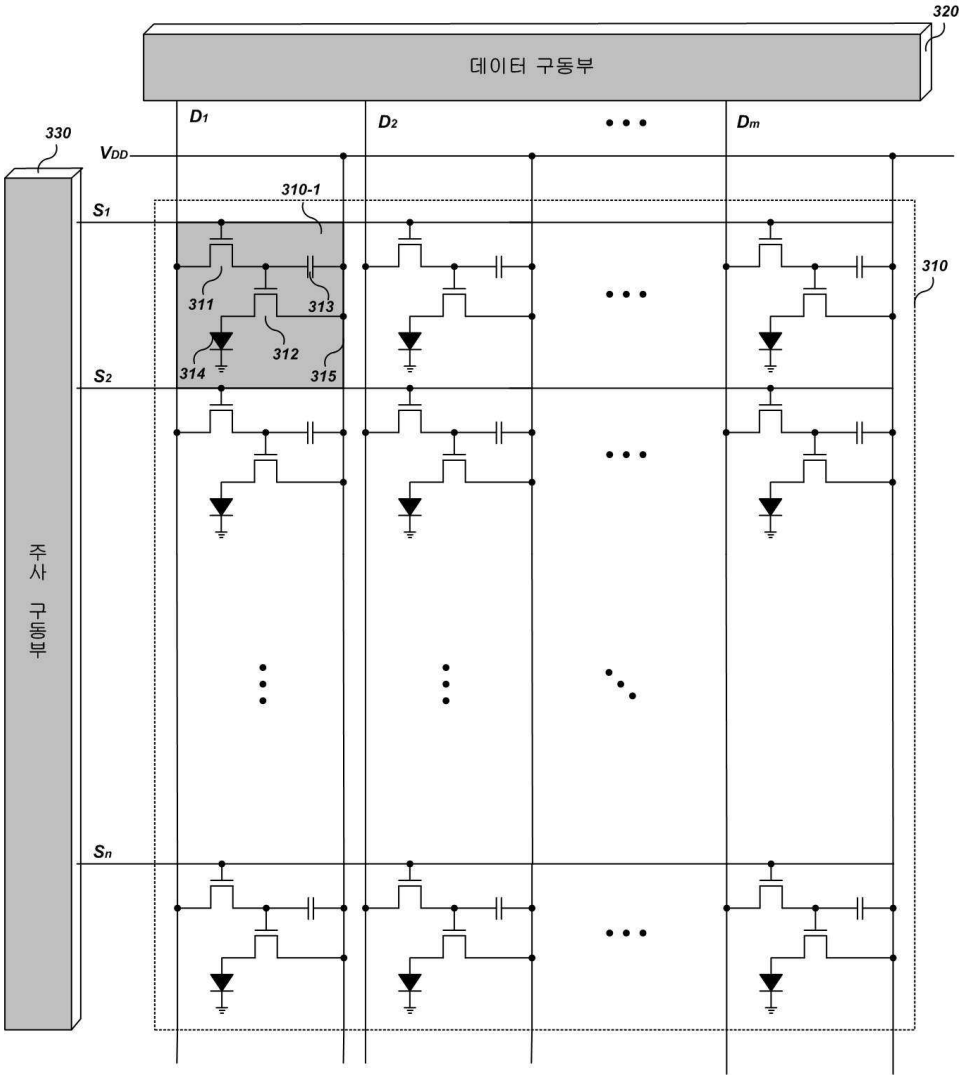
도면1



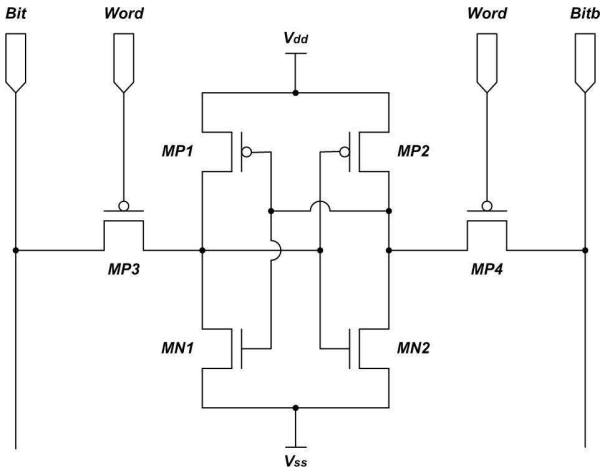
도면2


아날로그 인터페이스
analog R,G,B
analog comp.
comp. sync.
hsync
vsync
pwr
brightness
saturation
hue
비디오 제어부
210
디지털 인터페이스
HSYNC
VSYNC
PCLK
DE
R,G,B data
PWR
패널 제어부
brightness
gamma correction
220
전원 모듈
230
주사 구동부
240
250
데이터 구동부
유기 EL 패널
260

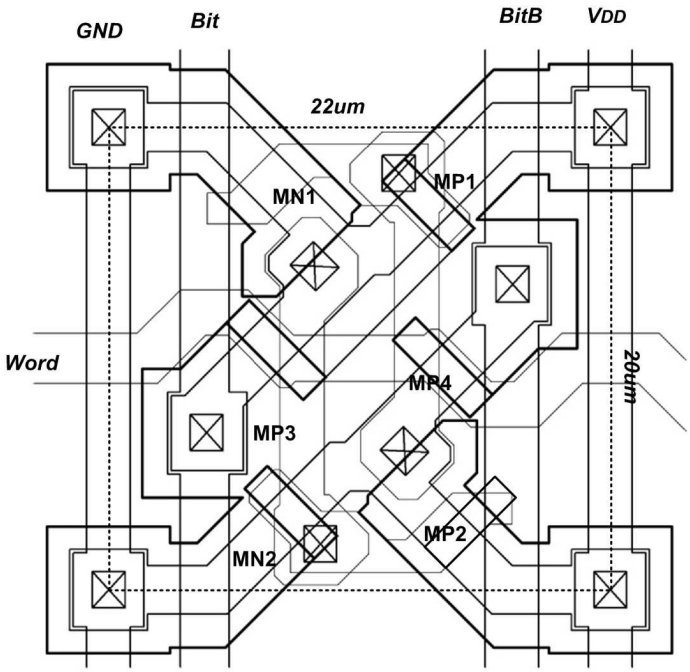
도면3


320
데이터 구동부
D1
D2
Dm
330
VDD
310-1
S1
310
311
313
312
314
315
S2
주사 구동부
Sn

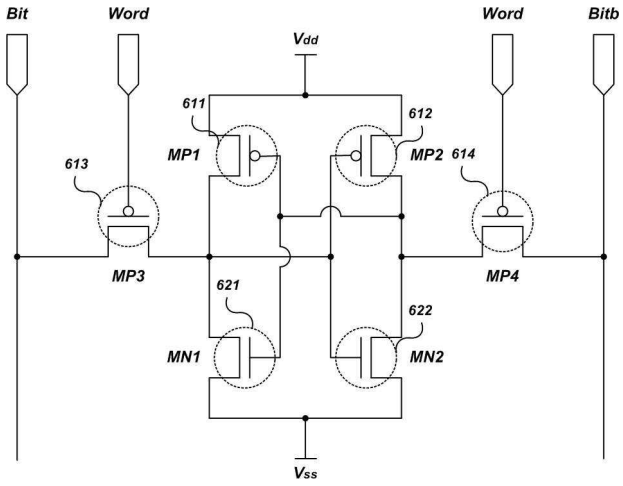
도면4


Bit
Word
Vdd
Word
Bitb
MP1
MP2
MP3
MP4
MN1
MN2
Vss

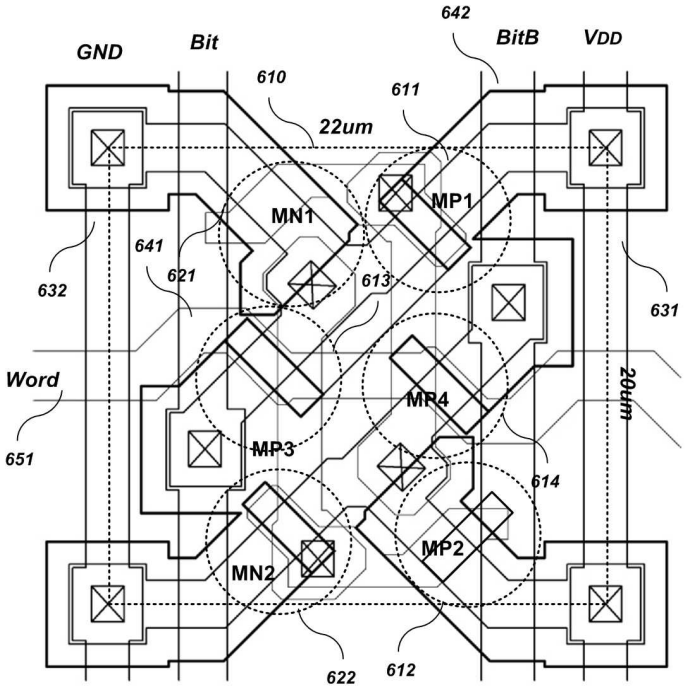
도면5


GND
Bit
BitB
VDD
22um
MN1
MP1
Word
20um
MP4
MP3
MP2
MN2

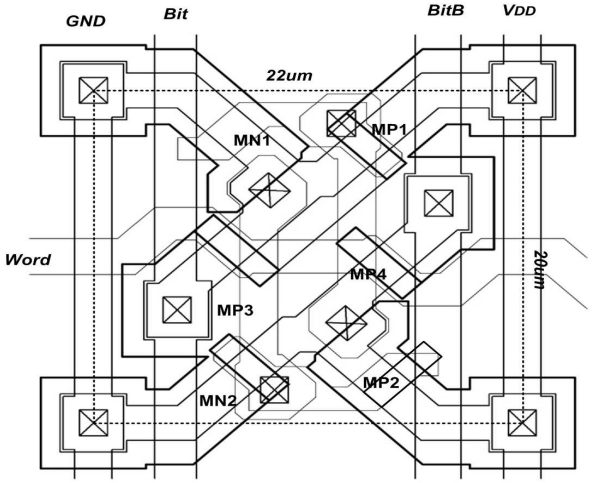
도면6


Bit
Word
Vdd
Word
Bitb
611
612
MP1
MP2
614
613
MP3
MP4
621
622
MN1
MN2
Vss

도면7


GND
Bit
642
BitB
VDD
610
611
22um
MN1
MP1
641
621
632
613
631
Word
MP4
20um
651
MP3
614
MP2
MN2
622
612

专利名称(译)	用于发光显示器的静态RAM核心单元		
公开(公告)号	KR1020050111935A	公开(公告)日	2005-11-29
申请号	KR1020040036868	申请日	2004-05-24
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YOON HANHEE		
发明人	YOON,HANHEE		
IPC分类号	G09G3/20 H01L29/786 G11C11/419 H05B33/00 G09G3/30 H01L27/11 H01L51/50 G09G3/32 H05B33/14 G11C11/412 G11C11/41 H01L21/8244 H01L27/02		
CPC分类号	H01L27/1108 G09G3/3275 H01L27/0207 G11C11/412 G09G3/3225 H01L27/11		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR100658617B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种用于有机电致发光器件的SRAM核心单元，通过顺序排列晶体管来提高电致发光发光器件的集成度，从而在倾斜方向上形成多晶硅层或沟道。