



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월16일
 (11) 등록번호 10-1764272
 (24) 등록일자 2017년07월27일

(51) 국제특허분류(Int. Cl.)
 H01L 51/52 (2006.01) H01L 51/56 (2006.01)
 H05B 33/06 (2006.01)
 (21) 출원번호 10-2010-0122091
 (22) 출원일자 2010년12월02일
 심사청구일자 2015년12월02일
 (65) 공개번호 10-2012-0060544
 (43) 공개일자 2012년06월12일
 (56) 선행기술조사문헌
 US20080017855 A1
 US07230668 B2
 US20090200937 A1

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 이윤규
 경기도 용인시 기흥구 삼성로 95 (농서동)
 유춘기
 경기도 용인시 기흥구 삼성로 95 (농서동)
 (뒀면에 계속)
 (74) 대리인
 리앤목특허법인

전체 청구항 수 : 총 14 항

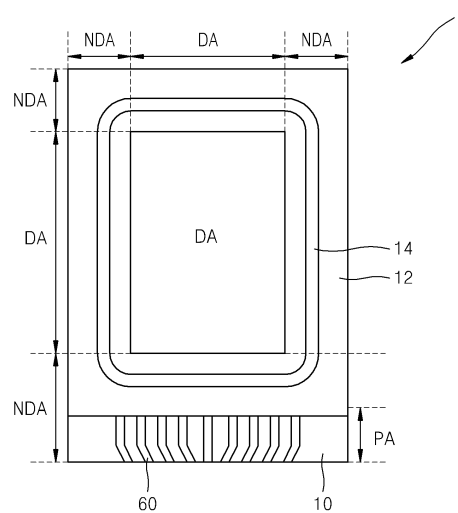
심사관 : 조성수

(54) 발명의 명칭 **유기 발광 표시 장치 및 그 제조방법**

(57) 요약

유기 발광 표시 장치 및 그 제조방법이 개시된다. 개시된 유기 발광 표시 장치의 패드 영역에는 기판 상에 돌출 형성된 복수의 유기부를 갖는 유기층; 유기층의 돌출된 굴곡을 따라 형성된 굴곡부 및 상기 기판을 따라 형성된 평탄부를 가진 패드 하부전극과, 패드 하부전극의 평탄부 위에 형성된 패드 상부전극을 포함한 패드 전극; 패드 상부전극 위에 형성된 소스/드레인전극층; 소스/드레인전극층 위에 형성된 유기막; 및, 패드 하부전극의 굴곡부와 유기막 위에 형성되며, 굴곡부 위에서는 유기층의 돌출된 굴곡을 따라 형성된 대향전극층;이 구비된다. 이러한 구조에 의하면 마스크 수의 저감에 따른 비용의 절감 및 제조 공정의 단순화를 실현할 수 있고, 또한 패드 영역에서 유기막이 들뜨는 현상도 해소할 수 있다.

대표도 - 도1



(72) 발명자

박선

경기도 용인시 기흥구 삼성2로 95 (농서동)

박중현

경기도 용인시 기흥구 삼성2로 95 (농서동)

김광해

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

유기발광소자와 박막 트랜지스터 및 커패시터를 포함한 발광 영역과, 상기 발광 영역의 배선과 연결된 패드 영역을 포함한 비발광 영역을 구비하며,

상기 패드 영역은,

기관 상에 돌출 형성된 복수의 유기부를 갖는 유기층;

상기 유기층의 돌출된 굴곡을 따라 형성된 굴곡부 및 상기 기관을 따라 형성된 평탄부를 가진 패드 하부전극과, 상기 패드 하부전극의 평탄부 위에 형성된 패드 상부전극을 포함한 패드 전극;

상기 패드 상부전극 위에 형성된 소스/드레인전극층;

상기 소스/드레인전극층 위에 형성된 유기막; 및,

상기 패드 하부전극의 굴곡부와 상기 유기막 위에 형성되며, 상기 굴곡부 위에서는 상기 유기층의 돌출된 굴곡을 따라 형성된 대향전극층;을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 기관과 상기 유기층 사이에 버퍼층이 형성된 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 유기층과 상기 패드 하부전극 사이에 게이트 절연막이 형성되고, 상기 패드 상부전극과 상기 소스/드레인전극층 사이에 층간 절연막이 형성된 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 유기막은 상기 소스/드레인전극층과 상기 패드 상부전극을 모두 덮도록 형성된 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 유기막은 상기 소스/드레인전극층과 상기 패드 상부전극의 일부를 노출시키도록 형성되며, 상기 대향전극층은 상기 소스/드레인전극층과 상기 패드 상부전극의 노출된 상기 일부와 접촉되도록 형성된 유기 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 박막 트랜지스터는, 상기 유기층과 동일층으로 형성되는 활성층과, 상기 패드 전극과 동일층으로 형성되는 게이트 전극 및, 상기 소스/드레인전극층과 동일층으로 형성되는 소스/드레인전극을 포함하는 유기 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 유기발광소자는, 상기 패드 전극과 동일층에 형성된 화소 전극과, 상기 대향전극층과 동일층에 형성된 대향 전극 및, 상기 화소 전극과 대향 전극 사이에 개재된 발광층을 포함하는 유기 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 커패시터는, 상기 유기층과 동일층에 형성된 하부전극과, 상기 패드 전극과 동일층에 형성된 상부전극 및, 상기 하부전극과 상부전극 사이에 개재된 게이트 절연막을 포함하는 유기 발광 표시 장치.

청구항 9

기관 상에 박막 트랜지스터의 활성층과, 커패시터의 하부전극 및, 패드 영역의 유기층을 형성하는 단계;

상기 활성층과 상기 하부전극 및 상기 유기층 상부에, 상기 박막 트랜지스터의 게이트 전극과, 유기발광소자의 화소 전극, 상기 커패시터의 상부전극 및, 상기 패드 영역의 패드 전극을 형성하는 단계;

상기 활성층과 상기 화소전극 및 상기 상부전극의 일부를 각각 노출시키는 개구를 가지며, 상기 패드 영역의 상기 패드 전극 위에도 형성되는 층간 절연막을 형성하는 단계;

상기 활성층과 상기 화소전극의 노출된 부위에 접촉하는 소스/드레인전극과, 상기 패드 전극 및 상기 층간 절연막 위에 배치되는 소스/드레인전극층을 각각 형성하는 단계;

상기 박막 트랜지스터의 소스/드레인전극과 상기 커패시터의 상부전극 및 상기 패드 영역의 소스/드레인전극층을 덮으면서 상기 화소 전극의 일부는 노출시키는 유기막을 형성하는 단계;

노출된 상기 화소 전극의 일부와 접하는 발광층을 형성하는 단계; 및

상기 발광층을 사이에 두고 상기 화소 전극과 대향되도록 상기 유기막 위에 대향 전극을 형성하고, 상기 패드 영역에서는 상기 유기층의 굴곡을 따라 대향전극층을 형성하는 단계;를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 10

제9항에 있어서,

상기 기관 위에 버퍼층을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 11

제9항에 있어서,

상기 활성층과 상기 하부전극 및 상기 유기층 상부에 게이트 절연막을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 12

제9항에 있어서,

상기 패드 전극은 상기 유기층의 굴곡을 따라 형성된 굴곡부와 상기 기관을 따라 형성된 평탄부를 가진 패드 하부전극 및, 상기 패드 하부전극의 평탄부 위에 형성된 패드 상부전극을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 13

제12항에 있어서,

상기 유기막을 상기 소스/드레인전극층과 상기 패드 상부전극이 모두 덮히도록 형성하는 유기 발광 표시 장치 제조 방법.

청구항 14

제12항에 있어서,

상기 유기막을 상기 소스/드레인전극층과 상기 패드 상부전극의 일부가 노출되도록 형성하며, 상기 대향전극층을 상기 소스/드레인전극층과 상기 패드 상부전극의 노출된 상기 일부와 접촉되도록 형성하는 유기 발광 표시 장치 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치와 그 제조방법에 관한 것으로서, 더 상세하게는 제조 시 마스크의 사용횟수를 줄일 수 있으며 패드 영역에서의 유기막 코팅 불량 문제도 해소할 수 있도록 개선된 유기 발광 표시 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판 상에 제작된다.

[0003] 일반적으로, 유기 발광 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0004] 마스크를 이용하여 패턴을 전사하는 공정은 일반적으로 포토 리소그래피(photo-lithography) 공정을 이용한다. 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 또한, 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 마스크로 하여 패턴을 식각(etching)하고, 불필요한 포토레지스트를 제거하는 등의 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 따라서, 이를 해결하기 위해서는 마스크를 사용하는 횟수를 가능한 한 줄일 수 있는 구조가 요구된다.

[0006] 한편, 마스크의 사용횟수를 줄이기 위한 방안으로서 화소정의막의 역할을 하는 유기막을 3 μ m 이상의 두께로 두껍게 형성하여 별도의 스페이서를 형성하지 않아도 되도록 하는 방안이 고려되고 있는데, 이렇게 할 경우 두꺼운 유기막에 스트레스가 증가하여, 특히 유기막의 단부가 되는 패드 영역에서 코팅이 제대로 이루어지지 않고 들뜨는 현상이 발생되기 쉽다. 따라서, 마스크의 사용횟수를 줄이면서도 이러한 유기막 코팅 불량에 의한 문제도 피할 수 있는 방안이 필요하다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예는 마스크를 이용한 패턴링 공정 단계를 줄이고 또한 패드 영역에서의 유기막 코팅 불량 문제를 해소할 수 있도록 개선된 유기 발광 표시 장치 및 이의 제조 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 유기 발광 표시 장치는, 유기발광소자와 박막 트랜지스터 및 커패시터를 포함한 발광 영역과, 상기 발광 영역의 배선과 연결된 패드 영역을 포함한 비발광 영역을 구비하며, 상기 패드 영역은, 기판 상에 돌출 형성된 복수의 유기부를 갖는 유기층; 상기 유기층의 돌출된 굴곡을 따라 형성된 굴곡부 및 상기 기판을 따라 형성된 평탄부를 가진 패드 하부전극과, 상기 패드 하부전극의 평탄부 위에 형성된 패드 상부전극을 포함한 패드 전극; 상기 패드 상부전극 위에 형성된 소스/드레인전극층; 상기 소스/드레인전극층 위에 형성된 유기막; 및, 상기 패드 하부전극의 굴곡부와 상기 유기막 위에 형성되며, 상기 굴곡부 위에서는 상기 유기층의 돌출된 굴곡을 따라 형성된 대향전극층;을 포함한다.

[0009] 상기 기판과 상기 유기층 사이에 버퍼층이 형성될 수 있다.

[0010] 상기 유기층과 상기 패드 하부전극 사이에 게이트 절연막이 형성될 수 있고, 상기 패드 상부전극과 상기 소스/

드레인전극층 사이에 층간 절연막이 형성될 수 있다.

- [0011] 상기 유기막은 상기 소스/드레인전극층과 상기 패드 상부전극을 모두 덮도록 형성될 수 있다.
- [0012] 상기 유기막은 상기 소스/드레인전극층과 상기 패드 상부전극의 일부를 노출시키도록 형성되고, 상기 대향전극층은 상기 소스/드레인전극층과 상기 패드 상부전극의 상기 노출된 부분과 접촉되도록 형성될 수 있다.
- [0013] 상기 박막 트랜지스터는, 상기 유기층과 동일층으로 형성되는 활성층과, 상기 패드 전극과 동일층으로 형성되는 게이트 전극 및, 상기 소스/드레인전극층과 동일층으로 형성되는 소스/드레인전극을 포함할 수 있다.
- [0014] 상기 유기발광소자는, 상기 패드 전극과 동일층에 형성된 화소 전극과, 상기 대향전극층과 동일층에 형성된 대향 전극 및, 상기 화소 전극과 대향 전극 사이에 개재된 발광층을 포함할 수 있다.
- [0015] 상기 커패시터는, 상기 유기층과 동일층에 형성된 하부전극과, 상기 패드 전극과 동일층에 형성된 상부전극 및, 상기 하부전극과 상부전극 사이에 개재된 게이트 절연막을 포함할 수 있다.
- [0016] 또한 본 발명의 실시예에 따른 유기 발광 표시 장치 제조방법은, 기관 상에 박막 트랜지스터의 활성층과, 커패시터의 하부전극 및, 패드 영역의 유기층을 형성하는 단계; 상기 활성층과 상기 하부전극 및 상기 유기층 상부에, 상기 박막 트랜지스터의 게이트 전극과, 유기발광소자의 화소 전극, 상기 커패시터의 상부전극 및, 상기 패드 영역의 패드 전극을 형성하는 단계; 상기 활성층과 상기 화소전극 및 상기 상부전극의 일부를 각각 노출시키는 개구를 가지며, 상기 패드 영역의 상기 패드 전극 위에도 형성되는 층간 절연막을 형성하는 단계; 상기 활성층과 상기 화소전극의 노출된 부위에 접촉하는 소스/드레인전극과, 상기 패드 전극 및 상기 층간 절연막 위에 배치되는 소스/드레인전극층을 각각 형성하는 단계; 상기 박막 트랜지스터의 소스/드레인전극과 상기 커패시터의 상부전극 및 상기 패드 영역의 소스/드레인전극층을 덮으면서 상기 화소 전극의 일부는 노출시키는 유기막을 형성하는 단계; 상기 노출된 화소 전극과 접하는 발광층을 형성하는 단계; 및 상기 발광층을 사이에 두고 상기 화소 전극과 대향되도록 상기 유기막 위에 대향 전극을 형성하고, 상기 패드 영역에서는 상기 유기층 굴곡을 따라 대향전극층을 형성하는 단계;를 포함할 수 있다.
- [0017] 상기 기관 위에 버퍼층을 형성하는 단계를 더 포함할 수 있다.
- [0018] 상기 활성층과 상기 하부전극 및 상기 유기층 상부에 게이트 절연막을 형성하는 단계를 더 포함할 수 있다.
- [0019] 상기 패드 전극은 상기 유기층의 굴곡을 따라 형성된 굴곡부와 상기 기관을 따라 형성된 평탄부를 가진 패드 하부전극 및, 상기 패드 하부전극의 평탄부 위에 형성된 패드 상부전극을 포함할 수 있다.
- [0020] 상기 유기막을 상기 소스/드레인전극층과 상기 패드 상부전극이 모두 덮히도록 형성할 수 있다.
- [0021] 상기 유기막을 상기 소스/드레인전극층과 상기 패드 상부전극의 일부가 노출되도록 형성하며, 상기 대향전극층을 상기 소스/드레인전극층과 상기 패드 상부전극의 상기 노출된 부분과 접촉되도록 형성할 수 있다.

발명의 효과

- [0022] 상기한 바와 같은 본 발명의 유기 발광 표시 장치 및 그 제조방법에 의하면 마스크 수의 저감에 따른 비용의 절감 및 제조 공정의 단순화를 실현할 수 있고, 또한 패드 영역에서의 유기막 코팅 불량 문제도 해소할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치의 평면도이다.
- 도 2는 도 1에 도시된 유기 발광 장치의 일부를 개략적으로 도시한 단면도이다.
- 도 3a 내지 도 3j는 도 2에 도시된 유기 발광 표시 장치의 제조 공정을 도시한 단면도이다.
- 도 4는 도 2에 도시된 유기 발광 표시 장치의 변형 가능한 예를 보인 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [0025] 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

- [0026] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 구조를 개략적으로 나타낸 평면도이다.
- [0028] 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1)는 TFT(thin film transistor) 및 유기 발광 소자 등을 포함하는 제1 기판(10) 및 상기 제1 기판(10)과 실링을 통해 합착되는 제2 기판(12)을 포함한다.
- [0029] 제1 기판(10)에는 박막 트랜지스터(TFT), 유기 발광 소자(EL), 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1 기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판, 플라스틱 기판, 스테인리스 스틸(Stainless Using Steel; SUS) 기판 등일 수 있다.
- [0030] 제2 기판(12)은 제1 기판(10)에 구비된 TFT 및 발광 화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1 기판(10) 상에 배치되는 봉지 기판일 수 있다. 제2 기판(12)은 제1 기판(10)과 대향되도록 위치하고, 제1 기판(10)과 제2 기판(12)은 그 가장자리를 따라 배치되는 실링 부재(14)에 의해 서로 접합된다. 제2 기판(12)은 투명 재질의 유리 기판 또는 플라스틱 기판일 수 있다.
- [0031] 제1 기판(10)은 빛이 출사되는 발광 영역(DA)과 이 발광 영역(DA)의 외곽에 위치한 비발광 영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광 영역(DA) 외측의 비발광 영역(NDA)에 실링 부재(14)가 배치되어, 제1 기판(10)과 제2 기판(12)을 접합한다.
- [0032] 상술한 바와 같이, 제1 기판(10)의 발광 영역(DA)에는 유기 발광 소자(EL), 이를 구동하는 박막 트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광 영역(NDA)에는 발광 영역(DA)의 배선으로부터 연장 형성된 패드 전극(60)이 위치하는 패드 영역(PA)이 포함될 수 있다.
- [0033] 도 2는 도 1에 도시된 발광 영역(DA)과 비발광영역(NDA)인 패드 영역(PA)의 단면 구조를 보인 것이다.
- [0034] 도 2를 참조하면, 본 발명의 유기 발광 디스플레이 장치(1)는, 기판(10) 상에 마련된 화소 영역(101), 채널 영역(102), 저장 영역(103) 및 패드 영역(PA)을 포함하며, 참조부호 13은 버퍼층을 나타낸다.
- [0035] 먼저, 채널 영역(102)에는 구동소자로서 박막 트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(21), 게이트 전극(20) 및 소스/드레인 전극(27/29)을 포함한다. 상기 게이트 전극(20)은 게이트 하부전극(23)과 게이트 상부전극(25)으로 구성되고, 상기 게이트 하부전극(23)은 투명한 전도성 물질로 형성된다. 상기 게이트 전극(20)과 활성층(21) 사이에는 이들 간의 절연을 위한 게이트 절연막(15)이 개재되어 있다. 또한, 상기 활성층(21)의 양쪽 가장자리에는 고농도의 불순물이 주입된 소스/드레인 영역(21a/21b)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(27/29)에 각각 연결되어 있다.
- [0036] 화소 영역(101)에는 유기 발광 소자(EL)가 구비된다. 유기 발광 소자(EL)는 상기 박막 트랜지스터(TFT)의 소스/드레인 전극(27/29) 중 하나와 접촉된 화소 전극(31), 대향 전극(35) 및 그 사이에 개재된 발광층(33)으로 구성된다. 상기 화소 전극(31)은 투명한 전도성 물질로 형성되며, 상기 박막 트랜지스터(TFT)의 게이트 전극(20)과 동시에 형성된다.
- [0037] 저장 영역(103)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부전극(41) 및 상부전극(43)으로 이루어지며, 이들 사이에 게이트 절연막(15)이 개재된다. 상기 커패시터 상부전극(43)은 상기 박막 트랜지스터(TFT)의 게이트 전극(20) 및 유기 발광 소자(EL)의 화소 전극(31)과 동시에 형성된다.
- [0038] 패드 영역(PA)에는 패드 전극(60)이 구비되며, 이러한 패드 전극(60)은 패드 하부전극(62)과 패드 상부전극(63)으로 구성된다. 패드 하부전극(62)은 화소 전극(31), 게이트 하부전극(23) 및 커패시터 상부전극(43)과 동일층에 동일한 재질로 형성될 수 있다. 또한, 패드 상부전극(63)은 게이트 상부전극(25)과 동일층에 동일한 재질로 형성될 수 있다. 참조부호 65는 상기 박막 트랜지스터(TFT)의 소스/드레인 전극(27)(29)과 동일층으로 형성되는 소스/드레인전극층을 나타낸다. 그리고, 기판(10) 상의 버퍼층(13)과 게이트 절연막(15) 사이에는 복수의 용기부(61a, 61b, 61c)가 돌출된 용기층(61)이 형성되어 있다. 이 용기층(61)에 의해 그 위에 형성되는 층들은 모두 그 용기부(61a, 61b, 61c)의 굴곡을 따라 형성된다. 따라서, 패드 영역(PA)은 상기 용기층(61)이 있는 굴곡부와, 상기 패드 상부전극(63)이 있는 평탄부를 포함한다. 이렇게 굴곡부가 형성되면, 나중에 대향전극층(64)을 형성할 때 접촉 면적이 넓어지기 때문에 코팅이 잘 이루어지게 되고, 대향전극층(64) 아래에 있는 유기막(55)이 들뜨는 현상도 방지할 수 있게 된다.

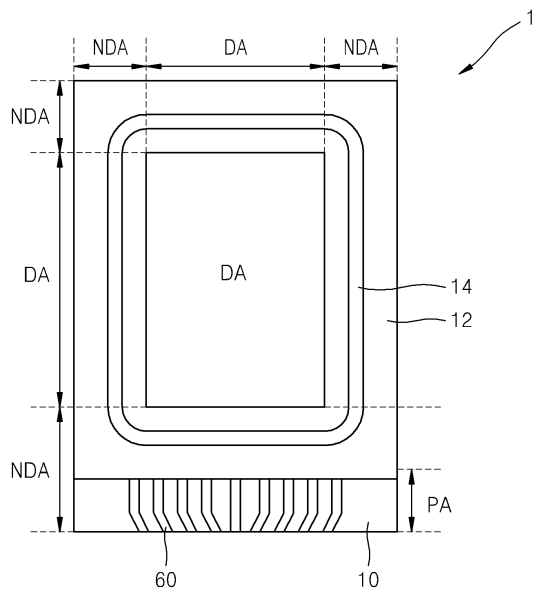
- [0039] 참조부호 51은 층간 절연막을 나타내며, 참조부호 55는 화소정의막의 기능을 수행하는 유기막(55)을 나타낸다. 종래에는 이 유기막(55)을 일차로 형성한 후, 그 상부에 마찬가지로 유기막으로 이루어진 스페이서를 더 형성하는 것이 일반적이었다. 그런데, 이와 같이 스페이서를 별도로 형성하게 되면, 유기막을 형성하는데에만 포토 공정을 2회 거치게 되므로, 제조 비용 및 제조 시간이 증가하는 문제가 생긴다. 이와 같은 문제점을 해결하기 위하여 유기막(55)을 3 μ m 이상의 두께로 두껍게 형성한다.
- [0040] 대신, 이렇게 유기막(55)을 두껍게 형성하면 유기막(55)이 특히 단부에 위치하는 패드 전극(60) 상에서 제대로 코팅되지 않고 들뜨는 문제가 생길 수 있다.
- [0041] 이와 같은 문제점을 해결하기 위하여, 전술한 바와 같이 유기층(61)으로 굴곡부를 형성하여, 대향전극층(64)이 패드 영역(PA)에 견고히 코팅되게 함으로써, 대향전극층(64) 아래에 있는 유기막(55)을 들뜨지 않게 잡아주도록 한 것이다.
- [0042] 이와 같은 본 발명에 의하여, 유기 발광 디스플레이 장치의 제조 공정이 간소화되는 동시에, 패드 전극(60)과 유기막(55) 사이의 접촉력이 향상되어 불량률이 방지되는 효과를 얻을 수 있다.
- [0043] 도 3a 내지 도 3j는 도 2에 도시된 유기 발광 디스플레이 장치의 제조 공정을 개략적으로 도시한 단면도이다.
- [0044] 먼저, 도 3a에 도시된 바와 같이, 기판(10) 상부에 버퍼층(13)을 형성한다. 상세히, 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0045] 상기 버퍼층(13)은 기판(10) 상면에 선택적으로 형성될 수 있는 것으로, 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하는 역할을 한다. 이 버퍼층(13)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CV D)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0046] 다음으로, 도 3b에 도시된 바와 같이, 상기 버퍼층(13) 상부에 박막 트랜지스터(TFT)의 활성층(21)과 커패시터(Cst)의 하부전극(41) 및 패드 영역(PA)의 유기층(61)을 형성한다. 이 과정의 예를 상세히 설명하면 다음과 같다. 우선 상기 버퍼층(13) 상부에 비정질 실리콘을 먼저 증착한 후 이를 결정화함으로써 다결정 실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 이와 같이 다결정 실리콘층은 제1 마스크(미도시)를 사용한 마스크 공정에 의해, 박막 트랜지스터(TFT)의 활성층(21) 및 커패시터(Cst)의 하부전극(41) 및 패드 영역(PA)의 유기층(61)으로 패터닝된다.
- [0047] 다음으로, 도 3c에 도시된 바와 같이, 활성층(21)과 커패시터 하부전극(41) 및 유기층(61)이 형성된 기판(10)의 전면에 게이트 절연막(15), 제1 도전층(17) 및 제2 도전층(19)을 순차로 증착한다.
- [0048] 게이트 절연막(15)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 상기 게이트 절연막(15)은, 박막 트랜지스터(TFT)의 활성층(21)과 게이트 전극(20) 사이에 개재되어 절연막 역할을 하며, 커패시터 상부전극(43)과 하부전극(41) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다. 또한, 패드 영역(PA)에서는 유기층(61)을 그 굴곡에 따라 덮어준다.
- [0049] 제1 도전층(17)은 ITO, IZO, ZnO, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 나중에 상기 제1 도전층(17)은 화소 전극(31), 게이트 하부전극(23), 커패시터 상부전극(43) 및 패드 하부전극(62)이 된다.
- [0050] 제2 도전층(19)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 나중에 상기 제2 도전층(19)은 게이트 상부전극(25) 및 패드 상부전극(63)으로 패터닝된다.
- [0051] 다음으로, 도 3d에 도시된 바와 같이, 기판(10) 상에 화소전극(31)용 전극패턴(30)과, 게이트 전극(20), 상부전극(43)용 전극패턴(40) 및 패드 전극(60)을 각각 형성한다. 이 과정의 예를 상세히 설명하면 다음과 같다. 먼저, 상기 제1 도전층(17) 및 상기 제2 도전층(19)은 제2 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다. 여기서, 채널 영역(102)에는 활성층(21) 상부에 게이트 전극(20)이 형성되며, 게이트 전극(20)은 제1 도전층(17)의 일부로 형성된 게이트 하부전극(23)과 제2 도전층(19)의 일부로 형성된 게이트 상부전극(25)을 포함한

다.

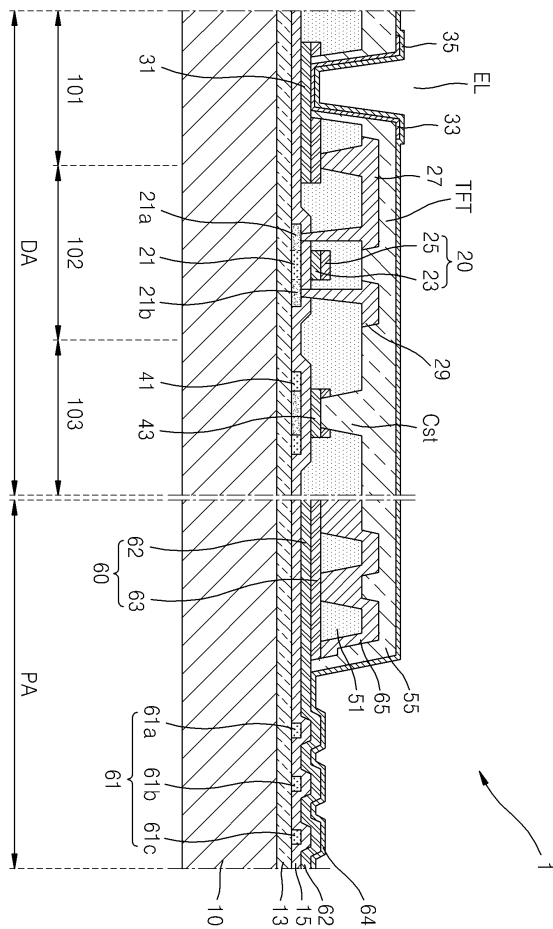
- [0052] 게이트 전극(20)은 활성층(21)의 중앙에 대응하며, 게이트 전극(20)을 마스크로 하여 활성층(21)으로 n형 또는 p형의 불순물을 도핑하여 게이트 전극(20)의 양측에 대응하는 활성층(21)의 가장자리에 소스/드레인 영역(21a/21b)과 이들 사이의 채널 영역을 형성한다.
- [0053] 화소 영역(101)에는 추후 화소 전극(31)을 형성하기 위한 전극 패턴(30)이 형성되고, 저장 영역(103)에는 추후 커패시터 상부전극(43)을 형성하기 위한 전극 패턴(40)이 커패시터 하부전극(41) 상부에 형성된다.
- [0054] 또한, 패드 영역(PA)에는 게이트 절연막(15) 상부에 패드 전극(60)이 형성된다. 상기 패드 전극(60)은 제1 도전층(17)의 일부로 형성된 패드 하부전극(62)과 제2 도전층(19)의 일부로 형성된 패드 상부전극(63)을 포함한다. 상기 패드 하부전극(62)은 상기 유기층(61)의 굴곡을 따라 굴곡부를 형성한다.
- [0055] 다음으로, 도 3e에 도시된 바와 같이, 기판(10)의 전면에 층간 절연막(51)을 증착한다.
- [0056] 상기 층간 절연막(51)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 이 층간 절연막(51)은 상기기와 같은 유기 절연 물질뿐만 아니라 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0057] 다음으로, 도 3f에 도시된 바와 같이, 층간 절연막(51)에 상기 전극패턴(30, 40)과 소스/드레인 영역(21a/21b)의 일부를 노출하는 개구들(H1, H2, H3, H4, H5)을 형성한다. 상기 개구들(H1, H2, H3, H4, H5)은 제3 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 형성된다. 그리고, 이때 상기 패드 영역(PA)의 층간 절연막(51)도 도면과 같이 패터닝된다.
- [0058] 여기서, 상기 H1, H2개구는 상기 소스/드레인 영역(21a/21b)의 일부를 노출시키고, 상기 H3, H4개구는 30번 전극 패턴의 상부를 구성하는 제2 도전층(19)의 일부를 노출시키고, 상기 H5개구는 40번 전극 패턴의 상부를 구성하는 제2 도전층(19)의 일부를 노출시킨다.
- [0059] 다음으로, 도 3g에 도시된 바와 같이, 상기 층간 절연막(51)을 덮도록 기판(10) 전면에 제3 도전층(53)을 증착한다.
- [0060] 상기 제3 도전층(53)은 전술한 제1 또는 제2 도전층(17, 19)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3, H4, H5)을 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0061] 다음으로, 도 3h에 도시된 바와 같이, 소스/드레인 전극(27/29), 화소 전극(31), 커패시터 상부전극(43) 및, 패드 영역(PA)의 소스/드레인 전극층(65)을 각각 형성한다. 이 과정의 예를 상세히 설명하면 다음과 같다. 먼저, 상기 제3 도전층(53)을 제4 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인 전극(27/29)과 소스/드레인 전극층(65)을 형성한다.
- [0062] 여기서, 상기 소스/드레인 전극(27/29) 중 하나의 전극(본 실시예의 경우 전극(27))은 화소 전극(31)이 형성될 전극 패턴(30)의 상부 제2 도전층(19)의 가장자리 영역의 개구(H3)를 통하여 화소 전극(31)과 접촉하도록 형성된다.
- [0063] 한편, 상기 소스/드레인 전극(27/29)이 형성된 후, 추가 식각에 의해 화소 전극(31) 및 커패시터 상부전극(43)을 각각 형성한다. 즉, 상기 전극 패턴(30)에서 개구(H4)에 의해 노출된 상부 제2 도전층(19)을 제거하여 화소 전극(31)을 형성한다. 그리고, 상기 전극 패턴(40)에서 개구(H5)에 의해 노출된 상부 제2 도전층(19)을 제거하여 커패시터 상부전극(43)을 형성한다.
- [0064] 따라서 화소 전극(31), 게이트 하부전극(23), 커패시터 상부전극(43) 및 패드 하부전극(62)이 동일층으로 형성되며, 게이트 상부전극(25)과 패드 상부전극(63)이 동일층으로 형성된다.
- [0065] 다음으로, 도 3i에 도시된 바와 같이, 상기 개구(H5)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터 하부전극(41)을 도핑한다.
- [0066] 다음으로, 도 3j에 도시된 바와 같이, 기판(10) 상에 화소 정의막(pixel define layer: PDL) 기능을 수행할 유기막(55)을 형성한다. 이 과정의 예를 상세히 설명하면 다음과 같다. 우선, 화소 전극(31), 소스/드레인 전극(27, 29), 커패시터 상부전극(43) 및, 소스/드레인 전극층(65)이 형성된 기판(10) 전면에 유기막(55)을 증착한

도면

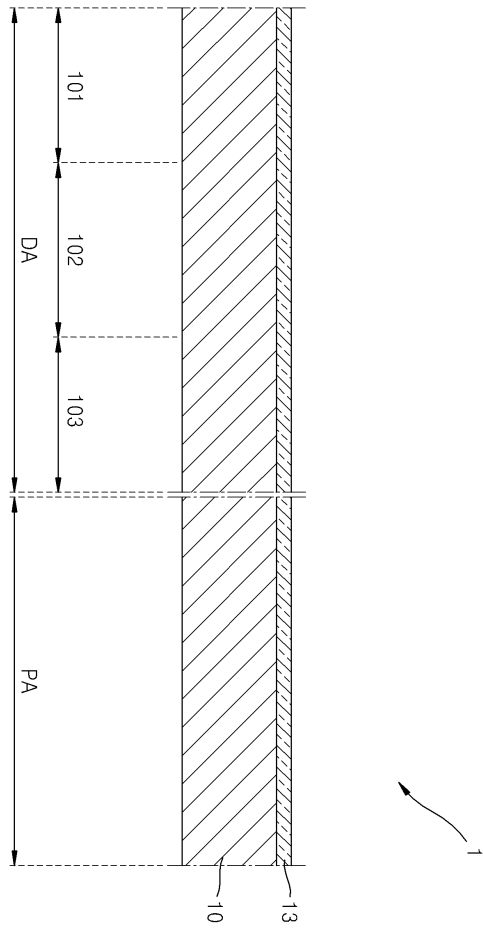
도면1



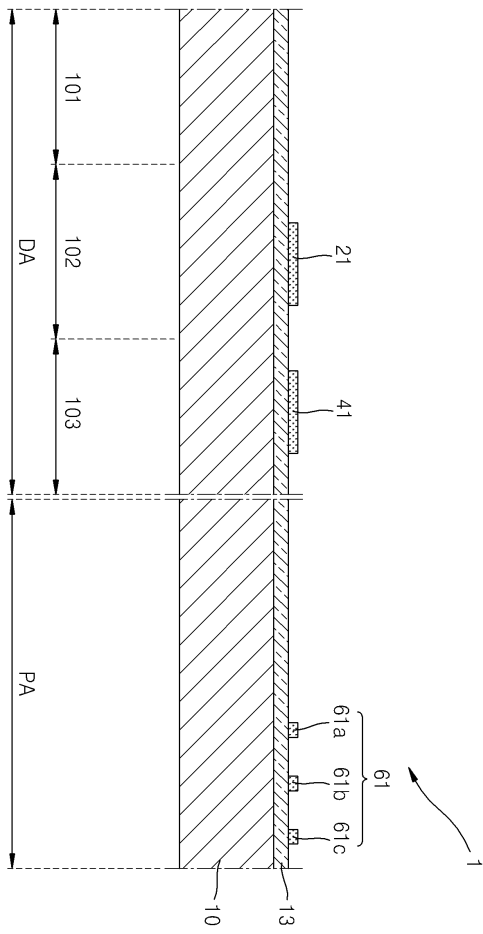
도면2



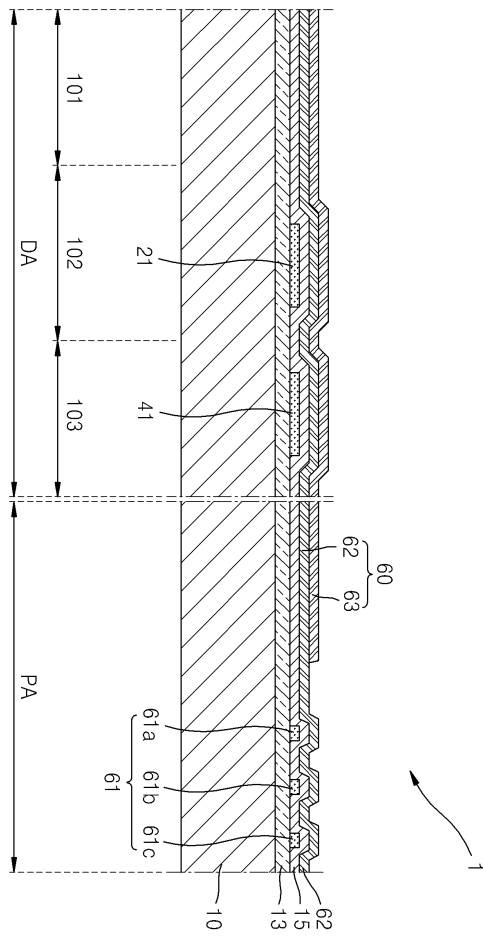
도면3a



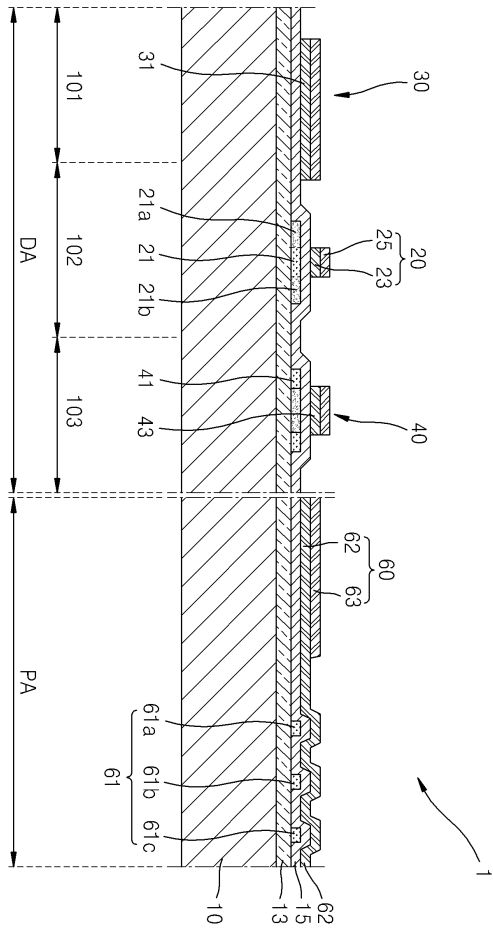
도면3b



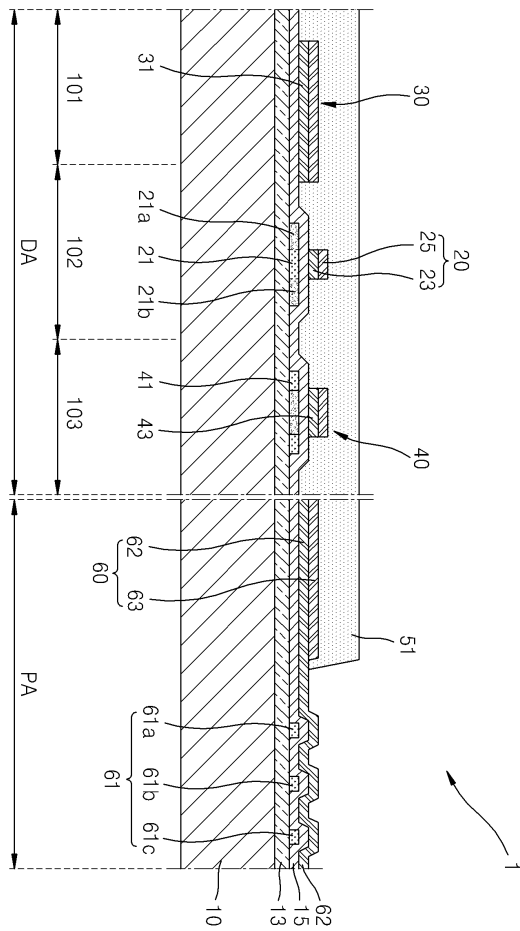
도면3c



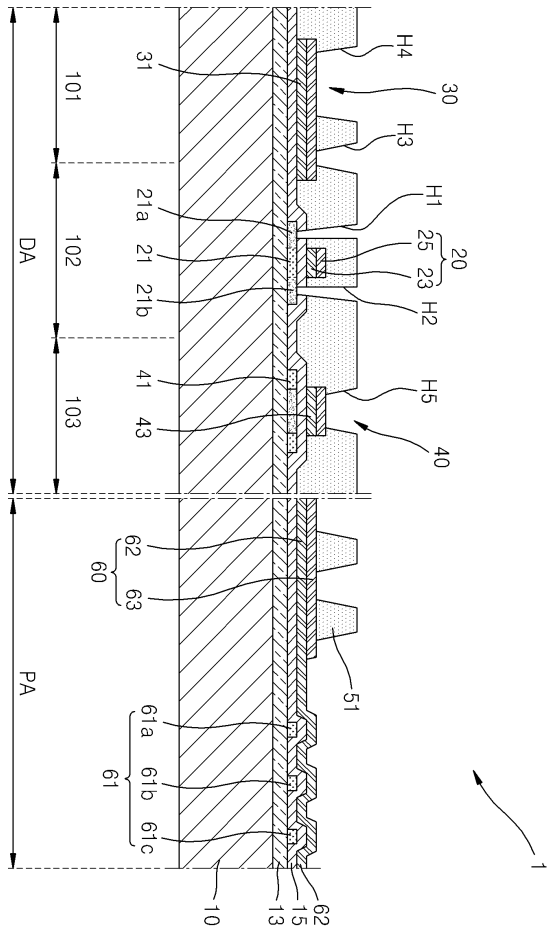
도면3d



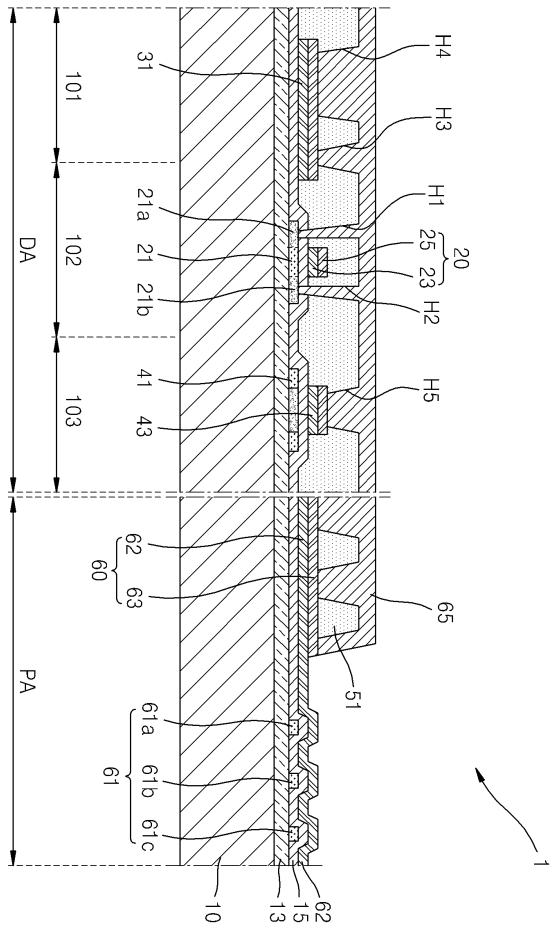
도면3e



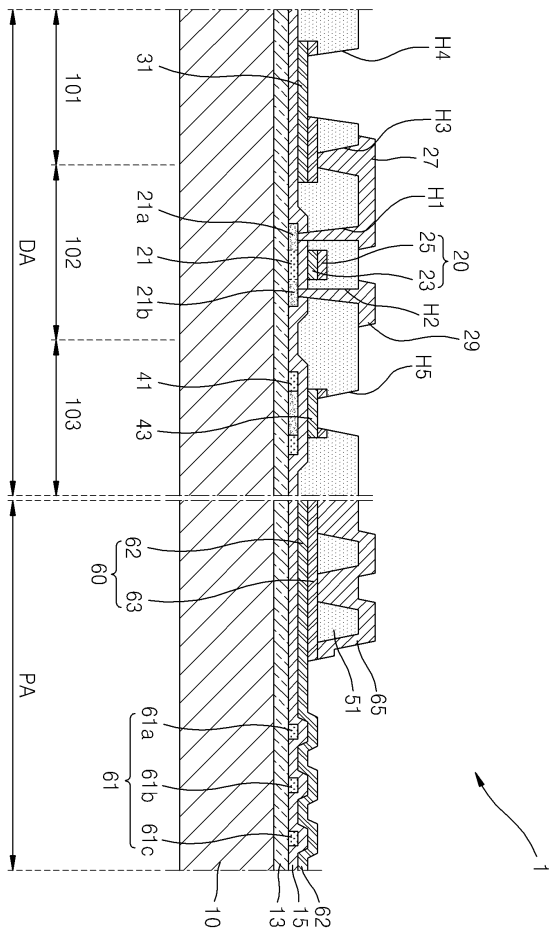
도면3f



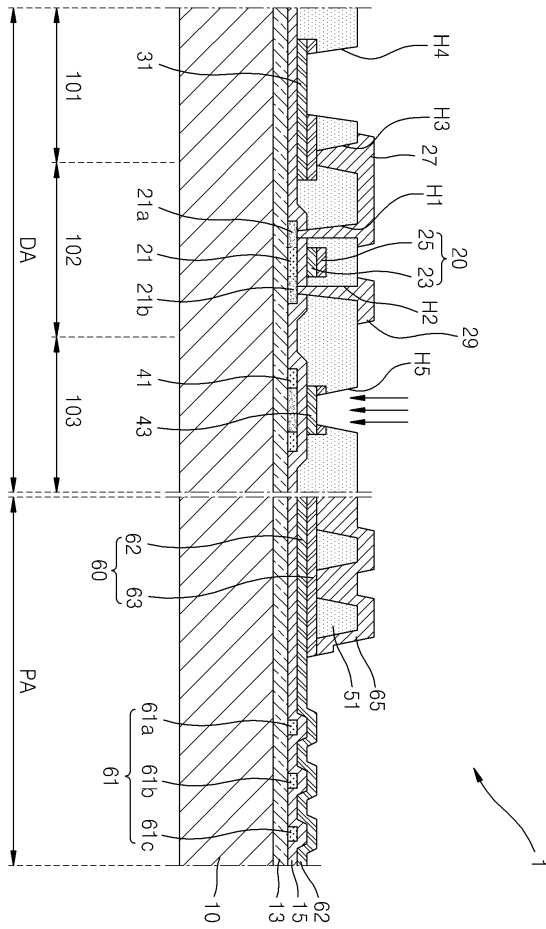
도면3g



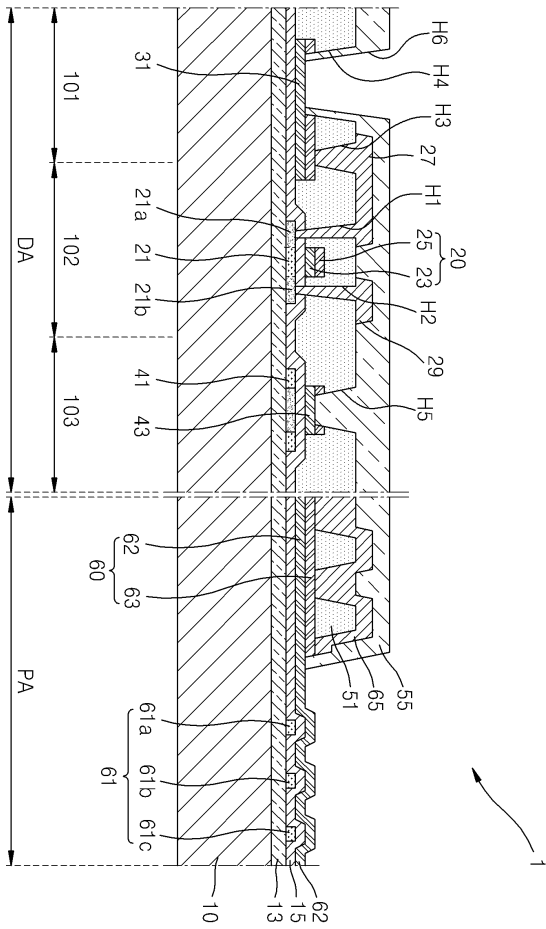
도면3h



도면3i



도면3j



【변경전】

상기 패드 영역에서는 상기 용기층 굴곡을 따라

【변경후】

상기 패드 영역에서는 상기 용기층의 굴곡을 따라

【직권보정 4】

【보정항목】 청구범위

【보정세부항목】 청구항9의 15번째 행

【변경전】

상기 노출된 화소 전극과 접하는

【변경후】

노출된 상기 화소 전극의 일부와 접하는

专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	KR101764272B1	公开(公告)日	2017-08-16
申请号	KR1020100122091	申请日	2010-12-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE YUL KYU 이율규 YOU CHUN GI 유춘기 PARK SUN 박선 PARK JONG HYUN 박종현 KIM KWANG HAE 김광해		
发明人	이율규 유춘기 박선 박종현 김광해		
IPC分类号	H01L51/52 H01L51/56 H05B33/06		
CPC分类号	H01L27/3276 H01L27/1255 H01L51/5203 H01L27/3262 H01L27/3265 H01L29/4908		
其他公开文献	KR1020120060544A		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机发光显示装置及其制造方法，以通过减少掩模的数量来降低制造成本并简化制造工艺。组成：第一基板（10）通过密封附着到第二基板（12）。第一基板包括发光区域（DA）和非发光区域（NDA）。密封构件（14）布置在发射区域外部的非发射区域中。在第一基板的发光区域中形成有机发光器件和薄膜晶体管。焊盘电极（60）从发光区域中的布线延伸。COPYRIGHT KIPO 2012

