



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년02월03일  
 (11) 등록번호 10-1701978  
 (24) 등록일자 2017년01월25일

(51) 국제특허분류(Int. Cl.)  
 H01L 51/52 (2006.01) H05B 33/04 (2006.01)  
 (21) 출원번호 10-2010-0052368  
 (22) 출원일자 2010년06월03일  
 심사청구일자 2015년06월02일  
 (65) 공개번호 10-2011-0132819  
 (43) 공개일자 2011년12월09일  
 (56) 선행기술조사문헌  
 JP2006114493 A\*  
 KR100805601 B1\*  
 US20070075329 A1\*  
 JP2007200884 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
 김은아  
 경기도 용인시 기흥구 삼성로 95 (농서동)  
 박원규  
 경기도 용인시 기흥구 삼성로 95 (농서동)  
 (뒷면에 계속)  
 (74) 대리인  
 리엔특허법인

전체 청구항 수 : 총 16 항

심사관 : 조성수

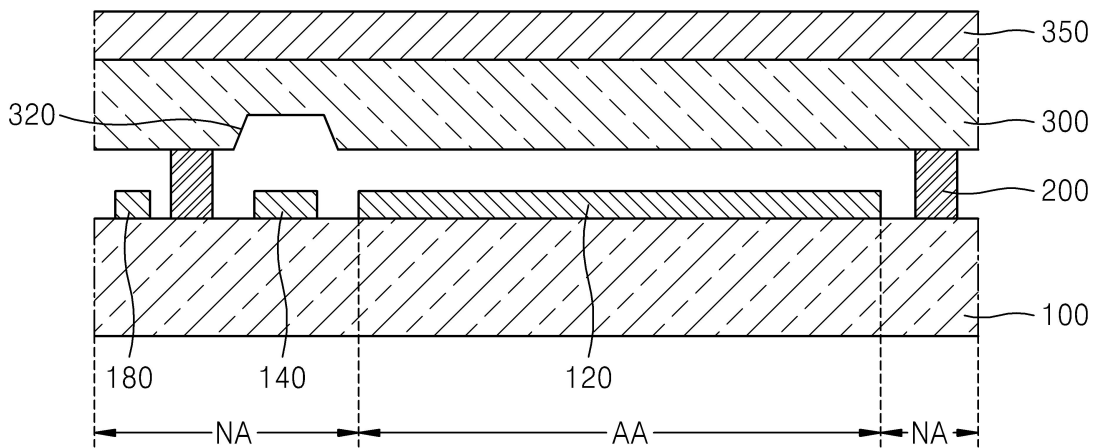
(54) 발명의 명칭 **유기 발광 표시 장치 및 그의 제조 방법**

**(57) 요약**

본 발명은 유기 발광 표시 장치 및 그의 제조 방법을 개시한다.

본 발명은 화상이 구현되는 표시 영역의 외곽인 비표시 영역에 전원 배선부를 구비하는 하부기판과, 상기 전원 배선부에 대응하는 영역에 캐비티가 형성된 봉지기판과, 상기 봉지기판 상부에 구비된 편광판을 포함한다.

**대표도** - 도2



(72) 발명자

**김태규**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**안영희**

경기도 용인시 기흥구 삼성2로 95 (농서동)

---

## 명세서

### 청구범위

#### 청구항 1

화상이 구현되는 표시 영역과 상기 표시 영역의 외곽인 비표시 영역을 구비하는 하부기판;  
 상기 하부기판의 비표시 영역에 배치된 제1 전원배선;  
 상기 제1 전원배선과 인접하고 상기 비표시 영역에 배치된 제2 전원배선;  
 상기 제1 전원배선과 상기 제2 전원배선의 일부를 덮는 평탄화막;  
 상기 평탄화막 상에 배치되고 상기 제2 전원배선과 전기적으로 연결된 제1 도전층;  
 적어도 상기 제1 전원배선 및 상기 제2 전원배선에 대응하는 영역에 캐비티가 형성된 봉지기판; 및  
 상기 봉지기판 상부에 구비된 편광판;을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,  
 상기 제1전원배선은 상기 제2전원배선보다 상기 표시 영역에 근접하게 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 4

제1항에 있어서,  
 상기 캐비티는 상기 제1전원배선에 대응하는 영역에 형성된 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 5

제1항에 있어서, 상기 표시 영역에 박막 트랜지스터가 구비되고,  
 상기 박막 트랜지스터는,  
 활성층;  
 상기 활성층을 덮으며 상기 비표시 영역까지 연장된 게이트 절연막 상에 배치된 게이트 전극; 및  
 상기 게이트 전극을 덮으며 상기 비표시 영역까지 연장된 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 활성층과 접하는 소스 및 드레인 전극;을 포함하고,  
 상기 제1전원배선과 상기 제2전원배선은 상기 비표시 영역의 층간 절연막 상에 서로 이격되며 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 6

제5항에 있어서,  
 상기 제1전원배선과 상기 제2전원배선은 상기 소스 및 드레인 전극의 형성 물질과 동일한 물질로 형성된 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 7

제5항에 있어서,

상기 제1 도전층 상에 상기 제1 도전층의 일부와 접촉하는 제2 도전층;을 더 포함하고,

상기 평탄화막이 상기 소스 및 드레인 전극을 덮고,

상기 제1 도전층이 상기 표시 영역의 평탄화막 상에 서브 픽셀별로 패터닝되고, 상기 비표시 영역의 평탄화막 상에 패터닝없이 구비되고,

상기 제2 도전층이 상기 표시 영역에서 유기막을 사이에 두고 상기 제1도전층 상부에 구비되고, 상기 비표시 영역에서 상기 제1도전층과 접하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 8**

삭제

**청구항 9**

제1항에 있어서,

상기 캐비티의 높이는 상기 봉지기관의 높이의 절반 이하인 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 10**

제1항에 있어서,

상기 제2 전원배선의 외측에 상기 하부기관과 상기 봉지기관을 접촉하는 실링부;를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 11**

회상이 구현되는 표시 영역과 상기 표시 영역의 외곽인 비표시 영역으로 구분된 하부기관을 제공하는 단계;

상기 하부기관의 비표시 영역에 제1 전원배선 및 상기 제1 전원배선과 인접한 제2 전원배선을 형성하는 단계;

상기 제1 전원배선과 상기 제2 전원배선의 일부를 덮는 평탄화막을 형성하는 단계;

상기 평탄화막 상에 상기 제2 전원배선과 전기적으로 연결된 제1 도전층을 형성하는 단계;

상기 하부기관에 대향하는 봉지기관에서 적어도 상기 제1 전원배선 및 상기 제2 전원배선에 대응하는 영역에 캐비티를 형성하는 단계; 및

상기 봉지기관 상부에 편광판을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

**청구항 12**

삭제

**청구항 13**

제11항에 있어서,

상기 제1전원배선은 상기 제2전원배선보다 상기 표시 영역에 근접하게 위치하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

**청구항 14**

제11항에 있어서,

상기 캐비티는 상기 제1전원배선에 대응하는 영역에 형성되는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

**청구항 15**

제11항에 있어서, 상기 표시 영역에 박막 트랜지스터가 구비되고,

상기 박막 트랜지스터는,

활성층;

상기 활성층을 덮으며 상기 비표시 영역까지 연장된 게이트 절연막 상에 배치된 게이트 전극; 및

상기 게이트 전극을 덮으며 상기 비표시 영역까지 연장된 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 컨택홀을 통해 상기 활성층과 접하는 소스 및 드레인 전극;을 포함하고,

상기 제1전원배선과 상기 제2전원배선은 상기 비표시 영역의 층간 절연막 상에 서로 이격되며 형성된 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

**청구항 16**

제15항에 있어서,

상기 제1전원배선과 상기 제2전원배선은 상기 소스 및 드레인 전극의 형성 물질과 동일한 물질로 형성되는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

**청구항 17**

제15항에 있어서,

상기 제1 도전층 상에 상기 제1 도전층의 일부와 접촉하는 제2 도전층을 형성하는 단계;를 더 포함하고,

상기 평탄화막이 상기 소스 및 드레인 전극을 덮고,

상기 제1 도전층이 상기 표시 영역의 평탄화막 상에 서브 픽셀별로 패터닝되고, 상기 비표시 영역의 평탄화막 상에 패터닝없이 구비되고,

상기 제2 도전층이 상기 표시 영역에서 유기막을 사이에 두고 상기 제1도전층 상부에 구비되고, 상기 비표시 영역에서 상기 제1도전층과 접하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

**청구항 18**

삭제

**청구항 19**

제11항에 있어서,

상기 캐비티의 높이는 상기 봉지기판의 높이의 절반 이하인 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

**청구항 20**

제11항에 있어서,

상기 제2 전원배선의 외측에 상기 하부기판과 상기 봉지기판을 접촉하는 실링부를 형성하는 단계;를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치 및 그의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로 유기 발광 표시 장치는 자체 발광 소자이므로, 시야각, 콘트라스트 등이 우수하다. 또한, 백라이트가 필요하지 않기 때문에 경량 박형이 가능하고, 소비 전력 측면에서도 유리하다는 장점을 지니고 있다.

[0003] 유기 발광 표시 장치는 화상을 구현하는 디스플레이부가 형성된 하부기판과 실링부를 통해 상기 하부기판과 접

착된 봉지기관을 포함한다.

[0004] 상기 디스플레이부는 다수의 데이터 라인과 다수의 게이트 라인의 교차 영역에 다수의 서브 픽셀이 형성된다. 상기 디스플레이부의 외곽 영역에는 상기 다수의 데이터 라인과 상기 다수의 게이트 라인으로 구동 신호를 전달하는 구동배선부 및 전원전압을 전달하는 전원배선부가 구비된다.

[0005] 상기 하부기관과 상기 봉지기관의 접촉시 쇼트가 발생하여 외관 불량에 발생하는 문제점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명은 편광판 탈색으로 인한 외관 불량을 억제할 수 있는 유기 발광 표시 장치를 제공한다.

#### 과제의 해결 수단

[0007] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는, 화상이 구현되는 표시 영역의 외곽인 비표시 영역에 전원 배선부를 구비하는 하부기관; 상기 전원 배선부에 대응하는 영역에 캐비티가 형성된 봉지기관; 및 상기 봉지기관 상부에 구비된 편광판;을 포함할 수 있다.

[0008] 본 발명의 상기 전원 배선부는, 제1전원전압을 전달하는 제1전원배선; 및 제2전원전압을 전달하는 제2전원배선;을 포함할 수 있다.

[0009] 본 발명의 상기 제1전원배선은 상기 제2전원배선보다 상기 표시 영역에 근접하게 위치할 수 있다.

[0010] 본 발명의 상기 캐비티는 상기 제1전원배선에 대응하는 영역에 형성될 수 있다.

[0011] 본 발명의 상기 표시 영역에는 박막 트랜지스터가 구비되고, 상기 박막 트랜지스터는, 활성층; 상기 활성층을 덮으며 상기 비표시 영역까지 연장된 게이트 절연막 상에 배치된 게이트 전극; 및 상기 게이트 전극을 덮으며 상기 비표시 영역까지 연장된 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 활성층과 접하는 소스 및 드레인 전극;을 포함할 수 있다. 본 발명의 상기 제1전원배선과 상기 제2전원배선은 상기 비표시 영역의 층간 절연막 상에 서로 이격되며 형성될 수 있다.

[0012] 본 발명의 상기 제1전원배선과 상기 제2전원배선은 상기 소스 및 드레인 전극의 형성 물질과 동일한 물질로 형성될 수 있다.

[0013] 본 발명은 상기 소스 및 드레인 전극을 덮으며 상기 비표시 영역까지 연장된 평탄화막; 상기 표시 영역의 평탄화막 상에 서브 픽셀별로 패터닝되고, 상기 비표시 영역의 평탄화막 상에 패터닝없이 구비된 제1도전층; 상기 평탄화막을 덮고, 상기 제1도전층의 일부를 노출시키는 화소정의막; 및 상기 표시 영역에서 유기막을 사이에 두고 상기 제1도전층 상부에 구비되고, 상기 비표시 영역에서 상기 제1도전층과 접하는 제2도전층;을 더 포함할 수 있다.

[0014] 본 발명은 상기 제2전원배선의 일부가 상기 제1도전층의 일부와 접할 수 있다.

[0015] 본 발명은 상기 캐비티의 높이가 상기 봉지기관의 높이의 절반 이하일 수 있다.

[0016] 본 발명은 상기 표시 영역과 상기 전원 배선부를 둘러싸고, 상기 하부기관과 상기 봉지기관을 접착하는 실링부;를 더 포함할 수 있다.

[0017] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 화상이 구현되는 표시 영역과 상기 표시 영역의 외곽인 비표시 영역으로 구분되고, 상기 비표시 영역에 전원배선부를 포함하는 하부기관을 형성하는 단계; 상기 전원 배선부에 대응하는 영역에 캐비티가 형성된 봉지기관을 형성하는 단계; 및 상기 봉지기관 상부에 편광판을 형성하는 단계;를 포함할 수 있다.

#### 발명의 효과

[0018] 본 발명의 유기 발광 표시 장치는 비표시 영역의 전원배선 간의 쇼트를 방지함으로써 편광판 탈색 및 외관 불량을 방지할 수 있다.

#### 도면의 간단한 설명

- [0019] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시하는 평면도이다.  
 도 2는 도 1의 A-A' 선의 단면도이다.  
 도 3은 도 1의 X 영역을 확대 도시한 평면도이다.  
 도 4는 본 발명의 일 실시예에 따른 도 2의 표시 영역(AA)의 일부를 개략적으로 도시한 확대 단면도이다.  
 도 5는 본 발명의 바람직한 일 실시예에 따른 도 2의 비표시 영역(NA)의 일부를 개략적으로 도시한 확대 단면도이다.  
 도 6a 및 도 6b는 캐비티가 없는 봉지기관을 구비한 표시 장치의 정상시 및 놀림시의 상태를 각각 도시하는 예이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하 본 발명의 바람직한 실시예가 첨부된 도면들을 참조하여 설명될 것이다. 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0021] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0022] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시하는 평면도이다. 도 2는 도 1의 I-I' 선의 단면도이다. 도 3은 도 1의 X 영역을 확대 도시한 평면도이다.
- [0023] 도 1 내지 도 3을 참조하면, 본 발명의 유기 발광 표시 장치는 하부기관(100), 봉지기관(300), 및 상기 하부기관(100)과 상기 봉지기관(300)을 합착하는 실링부(200)를 포함한다. 상기 봉지기관(300) 상부에는 편광판(350)이 구비된다.
- [0024] 상기 하부기관(100)은 표시 영역(AA)과 상기 표시 영역을 둘러싸는 비표시 영역(NA)으로 구분된다.
- [0025] 상기 표시 영역(AA)에는 화상을 구현하는 디스플레이부(120)가 구비된다.
- [0026] 상기 디스플레이부(120)에는 일 방향으로 스캔 신호를 인가받는 다수의 게이트 라인(미도시)과, 상기 다수의 게이트 라인과 수직으로 교차하며 데이터 신호를 인가받는 다수의 데이터 라인(미도시)의 교차 지점에 화소(미도시)가 정의된다.
- [0027] 상기 표시 영역(AA)의 외곽인 비표시 영역(NA)에는 전원 배선부(140), 드라이버 IC(180), 및 실링부(200)가 구비된다.
- [0028] 상기 전원 배선부(140)는 제1전원전압(VDD)을 상기 디스플레이부(120)로 전달하는 제1전원배선(150)과 제2전원전압(VSS)을 상기 디스플레이부(120)로 전달하는 제2전원배선(160)을 포함한다. 상기 제1전원전압(VDD)은 상기 제2전원전압(VSS)보다 높은 전압일 수 있다. 상기 제1전원배선(150)과 상기 제2전원배선(160)은 일정 간격 이격된다. 상기 제1전원배선(150)은 상기 디스플레이부(120)와 인접하게 폭(W1)을 갖도록 형성된다. 상기 제2전원배선(160)은 상기 실링부(200)와 인접하게 폭(W2)을 갖도록 형성된다. 상기 제1전원배선(150)의 폭(W1)은 상기 제2전원배선(160)의 폭(W2) 보다 넓게 형성될 수 있다.
- [0029] 상기 드라이버 IC(180)는 상기 실링부(200) 외곽에 위치한다. 상기 드라이버 IC(180)는 상기 다수의 게이트 라인과 상기 다수의 데이터 라인으로 구동 신호를 전달하는 게이트 배선부(G) 및 데이터 배선부(D)와 연결된다.
- [0030] 상기 실링부(200)는 상기 디스플레이부(120)와 상기 전원 배선부(140)를 둘러싼다. 실런트에 열 또는 UV를 조사함으로써, 상기 실런트를 경화시켜 상기 실링부(200)를 형성한다. 이때, 상기 실런트는 UV 경화형 또는 열 경화형의 물질을 사용할 수 있고, 예를 들어, 실리콘계 수지, 에폭시계 수지, 아크릴계 수지 또는 폴리이미드계 수지를 사용할 수 있으나, 본 발명에서 상기 실런트의 재질을 한정하는 것은 아니다.
- [0031] 상기 봉지기관(300)은 상기 하부기관(100)을 마주하고 상기 하부기관(100)을 밀봉한다. 상기 봉지기관(300)은 상기 하부기관(100) 상의 상기 전원 배선부(140)에 대응하는 캐비티(320)를 구비한다. 바람직하게, 상기 캐비티(320)는 상기 제1전원배선(150)에 대응하는 영역에 형성될 수 있다.

- [0032] 상기 봉지기관(300) 상에는 편광판(350)이 구비된다. 상기 편광판(350)은 외광 반사를 차단하는 역할을 한다.
- [0033] 표시 장치의 제조 공정 중에 내부에 이물이 발생할 수 있다. 상기 봉지기관(300)이 상기 하부기관(100)을 누르게 되면 상기 이물이 눌리면서, 상기 제1전원배선(150)과 상기 제2전원배선(160)이 쇼트될 수 있고, 이때 쇼트 지점에서 열이 발생한다. 이 열이 상기 봉지기관(300)으로 전달되면 상기 편광판(350)의 탈색을 유발하게 된다.
- [0034] 또한, 표시 장치가 깨지면서 상기 봉지기관(300)이 상기 하부기관(100)을 누르게 되면 상기 제1전원배선(150)과 상기 제2전원배선(160)이 쇼트될 수 있고, 이때 쇼트 지점에서 열이 발생한다. 이 열이 상기 봉지기관(300)으로 전달되면 상기 편광판(350)의 탈색을 유발하게 된다.
- [0035] 상기 편광판(350)의 탈색은 외광불량을 초래한다.
- [0036] 상기 캐비티(320)는 상기 하부기관(100)이 깨짐이나 이물에 의해 눌린 경우, 상기 제1전원배선(150)과 상기 제2전원배선(160)의 쇼트를 억제하고, 쇼트가 발생하더라도 상기 봉지기관(300)과 상기 하부기관(100)의 직접 닿는 부분을 제거함으로써 상기 편광판(350)의 탈색을 방지한다.
- [0037] 도 4는 본 발명의 일 실시예에 따른 도 2의 표시 영역(AA)의 일부를 개략적으로 도시한 확대 단면도로서, 디스플레이부(120)의 구체적인 구성을 예시적으로 도시하고 있다.
- [0038] 도 4를 참조하면, 하부기관(100) 상에 구비된 디스플레이부(120)는 복수 개의 박막 트랜지스터(TFT, 125)와 유기 발광 소자(135)를 구비할 수 있다. 도 4에서는 설명의 편의를 위해 하나의 박막 트랜지스터 및 유기 발광 소자를 도시한다.
- [0039] 상기 하부기관(100)은 SiO<sub>2</sub>를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 상기 하부기관(100)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기관을 이용할 수 있다.
- [0040] 상기 하부기관(100)을 형성하는 플라스틱 재는 절연성 유기물일 수 있는데, 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenenapthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 그룹으로부터 선택되는 유기물일 수 있다.
- [0041] 화상이 하부기관(100)방향으로 구현되는 배면 발광형인 경우에 하부기관(100)은 투명한 재질로 형성해야 한다. 그러나 화상이 하부기관(100)의 반대 방향으로 구현되는 전면 발광형인 경우에 하부기관(100)은 반드시 투명한 재질로 형성할 필요는 없다. 이 경우 금속으로 하부기관(100)을 형성할 수 있다. 금속으로 하부기관(100)을 형성할 경우 하부기관(100)은 탄소, 철, 크롬, 망간, 니켈, 티타늄, 몰리브덴, 스테인레스 스틸(SUS), Invar 합금, Inconel 합금 및 Kovar 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다. 하부기관(100)은 금속 포일로 형성할 수 있다.
- [0042] 상기 하부기관(100)의 상면에는 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층 및/또는 버퍼층과 같은 절연층(112)이 구비될 수 있다. 상기 절연층(112)은 SiO<sub>2</sub> 및/또는 SiN<sub>x</sub> 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0043] 상기 절연층(112) 상에 구동 회로로서 TFT(125)가 구비된다.
- [0044] 상기 절연층(112) 상에 상기 TFT의 활성층(121)이 반도체 재료에 의해 형성되고, 이를 덮도록 게이트 절연막(113)이 형성된다. 활성층(121)은 아모퍼스 실리콘 또는 폴리 실리콘과 같은 무기재 반도체나, 유기 반도체가 사용될 수 있고, 소스 영역, 드레인 영역과 이들 사이의 채널 영역을 갖는다.
- [0045] 상기 게이트 절연막(113)은 SiO<sub>2</sub> 및/또는 SiN<sub>x</sub> 등을 사용하여, PECVD(plasma enhanced chemical vapor deposition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다. 상기 게이트 절연막(113)은 표시 영역(AA)과 비표시 영역(NA)을 포함하여 하부기관(100) 전면에 형성된다.
- [0046] 상기 게이트 절연막(113) 상에는 게이트 전극(122)이 구비되고, 이를 덮도록 층간 절연막(114)이 형성된다. 상

기 게이트 전극(122)은 Al, Mo, W, Cr, Ni 또는 이들의 화합물과 같은 다양한 도전성 재료로 형성될 수 있다. 물론, 박막 트랜지스터의 활성층(121) 외에 다른 구성요소까지도 광이 통과할 필요성이 있을 경우에는, 상기 게이트 전극(122)이 ITO 또는 IZO 등과 같은 다양한 투명한 도전성 재료로 형성될 수 있다. 상기 게이트 전극(122) 형성시, 비표시 영역(NA)에는 데이터 배선(170)이 동시에 형성될 수 있다.

[0047] 상기 층간 절연막(114)은 폴리이미드(Polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택되는 1종의 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 상기 층간 절연막(114)은 표시 영역(AA)과 비표시 영역(NA)을 포함하여 하부기판(100) 전면에 형성된다.

[0048] 상기 층간 절연막(114) 상에는 소스 및 드레인 전극(123)이 콘택홀(124)을 통해 활성층(121)과 연결되며, 이를 덮도록 평탄화막(115)이 순차로 구비된다. 상기 소스 및 드레인 전극(123)은 Mg, Al, Ni, Cr, Mo, W, MoW 또는 Au 등의 물질로 형성할 수 있다. 상기 소스 및 드레인 전극(123)의 형성시, 비표시 영역(NA)에는 제1전원배선(150)과 제2전원배선(160)이 동시에 동일 물질로 형성될 수 있다.

[0049] 상기 평탄화막(115)은 표시 영역(AA)과 비표시 영역(NA)에 형성된다. 상기 평탄화막(115)은 상기 비표시 영역(NA)에서 상기 제1전원배선(150)을 모두 덮고, 상기 제2전원배선(160)의 일부를 덮는다. 상기 평탄화막(115)은 무기 절연막 및/또는 유기 절연막을 사용할 수 있는데, 무기 절연막으로는 SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, PZT 등이 포함되도록 할 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함되도록 할 수 있다. 또한, 상기 평탄화막(115)은 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다.

[0050] 상술한 바와 같은 TFT의 적층 구조는 반드시 이에 한정되는 것은 아니며, 다양한 구조의 TFT가 모두 적용 가능하다. 본 실시예에서는 TFT의 일 예로서 탑 게이트(top gate) 방식의 TFT를 도시하고 있다. 그러나, 이와 달리 다른 구조의 TFT가 구비될 수 있음은 물론이다.

[0051] 상기 평탄화막(115)의 상부에는 유기 발광 소자(OLED)의 화소 전극인 제1전극(131)이 형성되고, 비어홀(130)을 통하여 소스 및 드레인 전극(123)과 전기적으로 연결된다. 상기 비어홀(130)은 상기 평탄화막(115)을 식각하여 소스 및 드레인 전극(123)의 일부를 노출시킴으로써 형성된다.

[0052] 표시 영역(AA)과 비표시 영역(NA)의 상기 평탄화막(115) 상부에 제1도전층을 증착하고, 상기 제1도전층을 표시 영역(AA)에서는 서브 픽셀별로 패터닝하여 상기 제1전극(131)을 형성하고, 비표시 영역(NA)에서는 패터닝없이 상기 제1도전층이 잔존한다.

[0053] 상기 제1전극(131)은 투명 전극 또는 반사형 전극으로 구비될 수 있다. 투명전극으로 구비될 때에는 ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub>로 구비될 수 있고, 반사형 전극으로 구비될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 또는 이들의 화합물 등으로 형성된 반사막과, ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub>로 형성된 투명막을 포함할 수 있다.

[0054] 상기 제1전극(131)이 형성된 하부기판(100) 상부에 화소정의막(116)을 구비한다. 상기 하부기판(100) 상부에 절연막을 증착하고, 상기 절연막을 패터닝하여 상기 제1전극(131)의 일부를 노출시킴으로써, 화소정의막(116)의 패터닝이 형성된다. 상기 화소정의막(116)의 패터닝은 표시 영역(AA)의 서브 픽셀별 및 비표시 영역(NA)의 상기 제1전원배선(150)이 구비된 영역까지 수행된다.

[0055] 상기 화소정의막(116)은 폴리이미드, 폴리아미이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 화소정의막(116)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO<sub>2</sub>, SiN<sub>x</sub>, Al<sub>2</sub>O<sub>3</sub>, CuO<sub>x</sub>, Tb<sub>4</sub>O<sub>7</sub>, Y<sub>2</sub>O<sub>3</sub>, Nb<sub>2</sub>O<sub>5</sub>, Pr<sub>2</sub>O<sub>3</sub> 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 화소정의막(116)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0056] 상기 제1전극(131)의 상부에는 대향 위치한 제2전극(133)을 구비한다. 표시 영역(AA)과 비표시 영역(NA)의 일부를 포함하여 상기 하부기판(100) 상부에 제2도전층을 형성한다. 상기 제2도전층은 표시 영역(AA)에서 유기막(132)을 사이에 두고 상기 제1전극(131)과 마주하는 제2전극(133)으로서 기능한다. 상기 제2전극(133)은 모든 서브 픽셀에 걸쳐 서로 연결되어 있다.

[0057] 상기 제2전극(133)도 투명 전극 또는 반사형 전극으로 구비될 수 있는데, 투명 전극으로 구비될 때는 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 또는 이들의 화합물이 유기막(132)을 향하도록 증착하여 형성된 막과, 그 위의 ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub> 등의 투명한 도전성 물질로 형성된 보조 전극이나 버스 전극 라인을 구비할 수 있다. 그리

고, 반사형 전극으로 구비될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물로 형성될 수 있다.

- [0058] 상기 제1전극(131)과 상기 제2전극(133) 사이에는 유기막(132)이 개재된다.
- [0059] 상기 유기막(132)은 저분자 또는 고분자 유기물로 구비될 수 있다. 저분자 유기물을 사용할 경우 홀 주입층(HIL: hole injection layer), 홀 수송층(HTL: hole transport layer), 유기 발광층(EML: emission layer), 전자 수송층(ETL: electron transport layer), 전자 주입층(EIL: electron injection layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N, N-디(나프탈렌-1-일)-N, N'-디페닐-벤지딘 (N, N'-Di(naphthalene-1-yl)-N, N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기물은 마스크들을 이용하여 진공증착의 방법으로 형성될 수 있다.
- [0060] 고분자 유기물의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용한다.
- [0061] 상기 표시 영역(AA)의 봉지기판(300)은 캐비티를 구비하지 않는다.
- [0062] 상기 봉지기판(300) 상부에는 편광판(350)이 구비된다. 상기 편광판(350)은 상기 디스플레이부(120)로부터 방출되는 광의 경로 상에 구비된다.
- [0063] 도 5는 본 발명의 바람직한 일 실시예에 따른 도 2의 비표시 영역(NA)의 일부를 개략적으로 도시한 확대 단면도이다. 이하에서는, 도 4와 동일한 구성 요소에 대한 상세한 설명은 생략하겠다.
- [0064] 도 5를 참조하면, 하부기판(100)의 비표시 영역(NA)의 일면에 제1전원배선(150)과 제2전원배선(160)이 형성된다. 봉지기판(300)의 일면에 캐비티(320)가 형성된다.
- [0065] 상기 하부기판(100) 상에 베리어층 및/또는 버퍼층과 같은 절연층(112)이 구비된다.
- [0066] 상기 절연층(112) 상면에는 게이트 절연막(113)이 구비된다. 상기 게이트 절연막(113)은 표시 영역(AA)과 비표시 영역(NA)을 모두 포함하도록 상기 하부기판(100) 전면에 형성된다.
- [0067] 상기 게이트 절연막(113) 상면에는 다수의 데이터 라인과 연결된 데이터 배선(170)이 구비된다. 상기 데이터 배선(170)은 표시 영역(AA)의 게이트 전극과 동시에 형성될 수 있다. 상기 데이터 배선(170)은 상기 게이트 전극(122)과 동일한 물질로 형성될 수 있는데, 예를 들어, Al, Mo, W, Cr, Ni 또는 이들의 화합물과 같은 다양한 도전성 재료로 형성될 수 있다. 상기 데이터 배선(170)은 실링부(200) 외측의 드라이버 IC(180)까지 연장된다.
- [0068] 상기 데이터 배선(170) 상면에는 층간 절연막(114)이 구비된다. 상기 층간 절연막(114)은 표시 영역(AA)과 비표시 영역(NA)을 모두 포함하도록 상기 하부기판(100) 전면에 형성된다.
- [0069] 상기 층간 절연막(114) 상면에는 제1전원배선(150)과 제2전원배선(160)이 구비된다. 한편, 표시 영역(AA)에는 상기 제1전원배선(150) 및 상기 제2전원배선(160)과 동일층에 소스 및 드레인 전극(123)이 구비될 수 있다.
- [0070] 상기 제1전원배선(150)은 상기 제2전원배선(160)보다 디스플레이부(120)에 인접하게 위치한다. 상기 제1전원배선(150)은 폭(W1)을 갖는다. 상기 제1전원배선(150)은 박막 트랜지스터의 소스 전극 또는 드레인 전극과 연결되고, 상기 소스 전극 또는 드레인 전극으로 제1전원전압(VDD)을 전달한다. 상기 제1전원배선(150)은 상기 소스 및 드레인 전극(123)의 형성 물질과 동일한 물질로 형성될 수 있다. 예컨대, 상기 제1전원배선(150)은 Mg, Al, Ni, Cr, Mo, W, MoW 또는 Au 등의 물질로 형성할 수 있다.
- [0071] 상기 제2전원배선(160)은 상기 제1전원배선(150)과 소정 간격 이격되고, 실링부(200)에 인접하게 위치한다. 상기 제2전원배선(160)은 폭(W2)을 갖고, 상기 제1전원배선(150)의 폭(W1)보다 작은 값을 가질 수 있다. 상기 제2전원배선(160)의 일부는 제1도전층(131')의 일부와 접촉한다. 상기 제1도전층(131')의 일부는 제2도전층(133')과 접촉한다. 따라서, 상기 제2전원배선(160)은 상기 제2도전층(133')과 전기적으로 연결되고, 상기 제2도전층(133')으로 제2전원전압(VSS)을 전달할 수 있다. 상기 제2전원배선(160)은 상기 소스 및 드레인 전극(123)의 형성 물질과 동일한 물질로 형성될 수 있다. 예컨대, 상기 제2전원배선(160)은 Mg, Al, Ni, Cr, Mo, W, MoW 또는 Au 등의 물질로 형성할 수 있다.

- [0072] 다음으로, 상기 제1전원배선(150)을 포함한 하부기판(100) 상부에 평탄화막(115)이 구비된다. 본 실시예에서, 상기 평탄화막(115)은 상기 제1전원배선(150) 전체와 상기 제2전원배선(160)의 일부를 덮도록 형성된다.
- [0073] 상기 평탄화막(115) 상면에 제1도전층(131')이 구비된다. 상기 제1도전층(131')은 상기 하부기판(100)에 증착된 후, 표시 영역(AA)에서 제1전극(131)으로 패터닝되고, 비표시 영역(NA)에서 패터닝없이 잔존한다. 상기 제1도전층(131')은 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등으로 형성될 수 있다. 또한, 상기 제1도전층(131')은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 또는 이들의 화합물 등으로 형성된 반사막과, ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub>로 형성된 투명막을 포함할 수 있다.
- [0074] 상기 제1도전층(131')이 형성된 하부기판(100) 상부에 화소정의막(116)을 구비한다. 상기 화소정의막(116)은 상기 하부기판(100) 전면에 증착된 절연막을 패터닝하여 형성한다. 상기 화소정의막(116)은 표시 영역(AA)에서 서브 픽셀별로 상기 제1전극(131)의 일부를 노출시킨다. 상기 화소정의막(116)은 비표시 영역(NA)에서 상기 일정 간격으로 상기 제1도전층(131')의 일부를 노출시킨다.
- [0075] 상기 화소정의막(116)과 상기 노출된 제1도전층(131')을 덮도록 제2도전층(133')이 구비된다. 상기 제2도전층(133')은 표시 영역(AA)에서 모든 서브 픽셀에 걸쳐 서로 연결되어 있는 제2전극(133)으로 기능한다. 상기 제2도전층(133')은 상기 화소정의막(116)에 의해 노출된 제1도전층(131')과 접촉한다. 상기 제2도전층(133')은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다. 또한, 상기 제2도전층(133')은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 또는 이들의 화합물로 형성된 막과, 그 위의 ITO, IZO, ZnO 또는 In<sub>2</sub>O<sub>3</sub> 등의 투명한 도전성 물질로 형성된 막을 포함할 수 있다.
- [0076] 상기 제2도전층(133')은 비표시 영역(NA)에서 상기 제1도전층(131')과 접촉함으로써 상기 제2전원배선(160)과 전기적으로 연결될 수 있다.
- [0077] 상기 하부기판(100)은 봉지기판(300)과 합착된다. 상기 봉지기판(300) 역시 글라스재 기판뿐만 아니라 아크릴과 같은 다양한 플라스틱재 기판을 사용할 수도 있으며, 더 나아가 금속판을 사용할 수도 있다. 상기 봉지기판(300)은 적어도 상기 제1전원배선(150)에 대응하는 영역에 캐비티(320)를 구비한다.
- [0078] 상기 봉지기판(300) 상부에 편광판(350)이 구비된다.
- [0079] 도 6a 및 도 6b는 캐비티가 없는 봉지기판(30)을 구비한 표시 장치의 정상시 및 놀림시의 상태를 각각 도시하는 예이다.
- [0080] 도 6a를 참조하면, 표시 장치의 제조 공정 중에 내부에 이물(particle)(50)이 발생될 수 있다. 정상시에는 이물(90)의 사이즈에 관계없이 제1전원배선(15)과 제2전원배선(60)은 쇼트가 발생하지 않는다.
- [0081] 도 6b를 참조하면, 상기 이물(50)의 사이즈가 큰 경우, 예를 들어, 제1전원배선(50)으로부터 제2도전층(33)까지의 높이보다 큰 경우, 상기 봉지기판(30)의 놀림에 의해 제2도전층(33)과 상기 제2도전층(33)과 접하는 제1도전층(31)이 상기 제1전원배선(50)과 접촉하게 된다. 상기 제1도전층(31)은 상기 제1전원배선(50)과 접촉하고 있다. 따라서, 상기 제1전원배선(50)은 상기 제2전원배선(60)과 쇼트된다. 이로 인해, 쇼트 발생 지점에서 열이 발생하고, 이 열이 상기 봉지기판(30)으로 전달되면 상기 편광판(35)의 탈색을 유발하게 된다. 이러한 편광판(35)의 탈색은 외관불량을 초래한다.
- [0082] 도시되지 않았으나, 표시 장치가 깨지면서 상기 봉지기판(30)이 상기 하부기판(10)을 누르는 경우에도, 상기 제1전원배선(50)과 상기 제2전원배선(60)이 쇼트될 수 있다.
- [0083] 다시 도 5를 참조하면, 본 발명은 전원 배선부(140)에 대응하는 영역에 캐비티(320)를 형성함으로써 상기 제1전원배선(50)과 상기 제2전원배선(60)의 쇼트를 방지한다. 상기 캐비티(320)는 상기 상부기판(300)이 깨짐이나 이물에 의해 눌린 경우, 상기 제1전원배선(150)과 상기 제2전원배선(160)의 쇼트를 억제하고, 쇼트가 발생하더라도 상기 하부기판(100)과 직접 닿는 부분을 상기 봉지기판(300)에서 제거함으로써 상기 편광판(350)의 탈색을 방지한다.
- [0084] 상기 캐비티(320)는 적어도 상기 제1전원배선(150)의 폭(W1)에 대응하며, 상기 제1전원배선(150)의 폭(W1) 및 상기 제2전원배선(160)의 폭(W2)에 대응하도록 형성될 수 있다. 상기 캐비티(320)는 약 0.1mm 내지 d/2의 높이(H)를 갖는 것이 바람직하다. 여기서, d는 봉지기판(300)의 두께를 나타낸다. 0.1mm 이상의 이물은 외관 검사에 불량으로 처리되기 때문에, 상기 캐비티(320)는 0.1mm 미만의 이물에 견딜 수 있도록 적어도 0.1mm의 높이(H)를 갖는 것이 바람직하다. 또한, 상기 캐비티(320)의 높이(H)가 d/2 보다 커지면 강성 측면에서 불리해지기 때문에, 상기 캐비티(320)는 d/2 이하의 높이(H)를 갖는 것이 바람직하다. 이러한 캐비티(320)에 의해, 제1전원배

선(150)으로부터 제2도전층(133')까지의 높이보다 큰 이물에 의한 전원배선 간 쇼트가 방지될 수 있다.

[0085] 상기 하부기관(100)과 상기 봉지기관(300)은 실링부(200)에 의해 합착된다. 상기 실링부(200)는 글래스 프리트(glass frit)이 사용될 수 있다.

[0086] 한편, 상기 실시예들에 있어서는 액티브 매트릭스형 유기 발광 디스플레이 장치에 본 발명이 적용된 예들을 설명하였으나, 액티브 매트릭스형 유기 발광 디스플레이 장치 외에도 패시브 매트릭스형 유기 발광 디스플레이 장치, 액정 디스플레이 장치 등에도 본 발명이 적용될 수 있음은 물론이다.

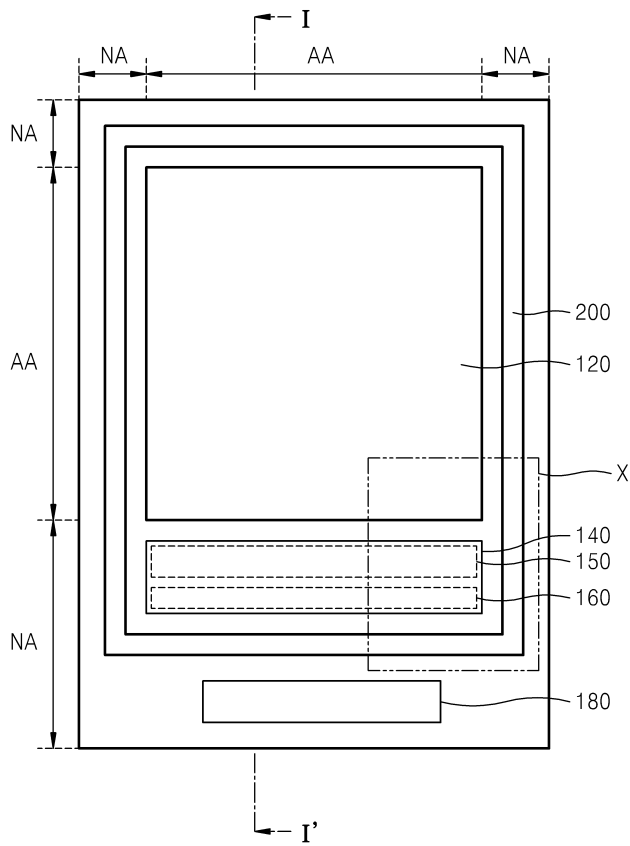
[0087] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

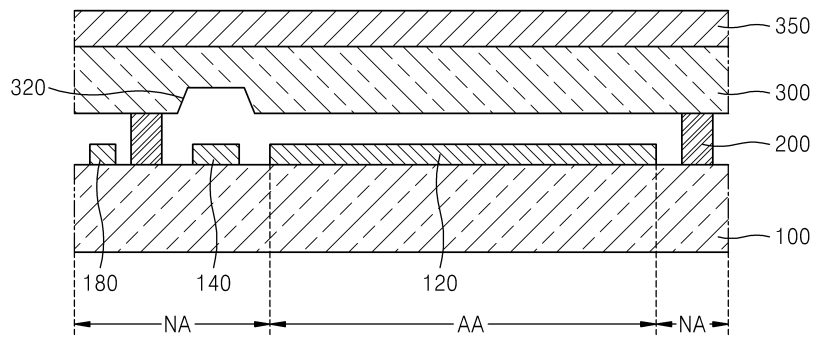
- [0088]
- |                  |                  |
|------------------|------------------|
| 10, 100: 하부기관    | 12, 112: 절연층     |
| 13, 113: 게이트 절연막 | 14, 114: 층간 절연막  |
| 15, 115: 평탄화막    | 16, 116: 화소정의막   |
| 120: 디스플레이부      | 121: 활성층         |
| 122: 게이트 전극      | 123: 소스 및 드레인 전극 |
| 124: 콘택홀         | 130: 비어홀         |
| 131: 제1전극        | 31, 131': 제1도전층  |
| 132: 유기막         | 133: 제2전극        |
| 33, 133': 제2도전층  | 140: 전원배선부       |
| 50, 150: 제1전원배선  | 60, 160: 제2전원배선  |
| 70, 170: 데이터 배선  | 180: 드라이버 IC     |
| 200: 실링부         | 30, 300: 봉지기관    |
| 320: 캐비티         | 35, 350: 편광판     |
| AA: 표시 영역        | NA: 비표시 영역       |

도면

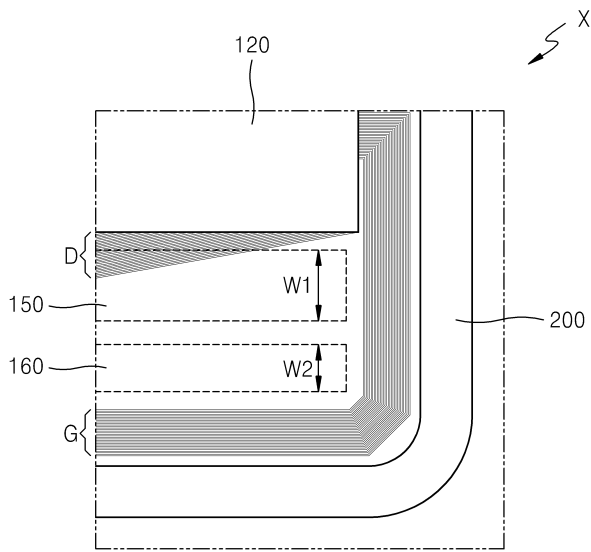
도면1



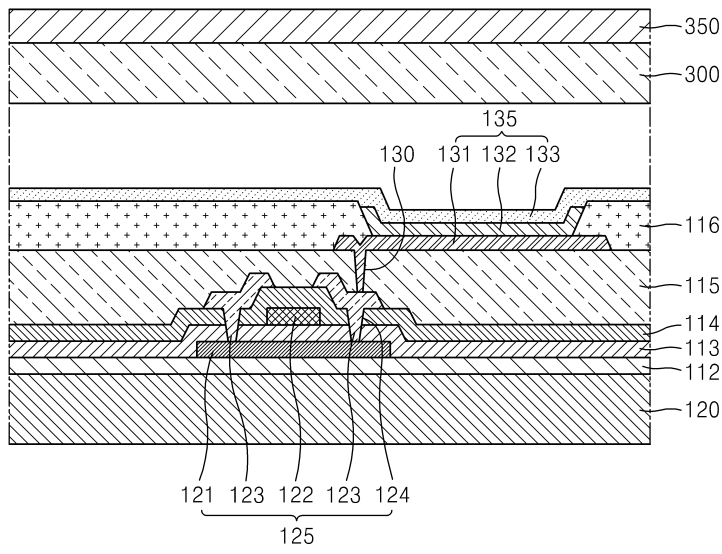
도면2



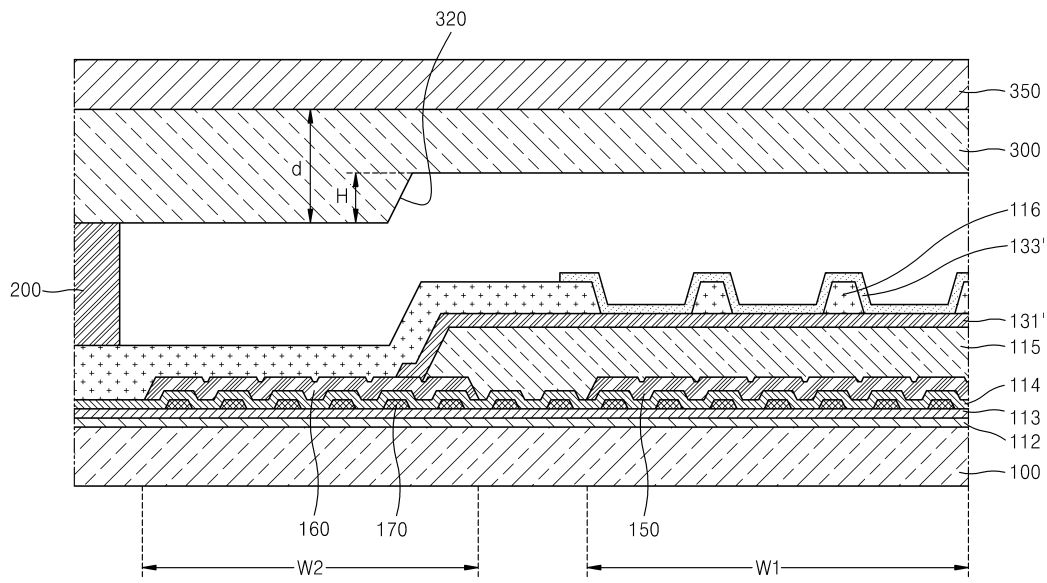
도면3



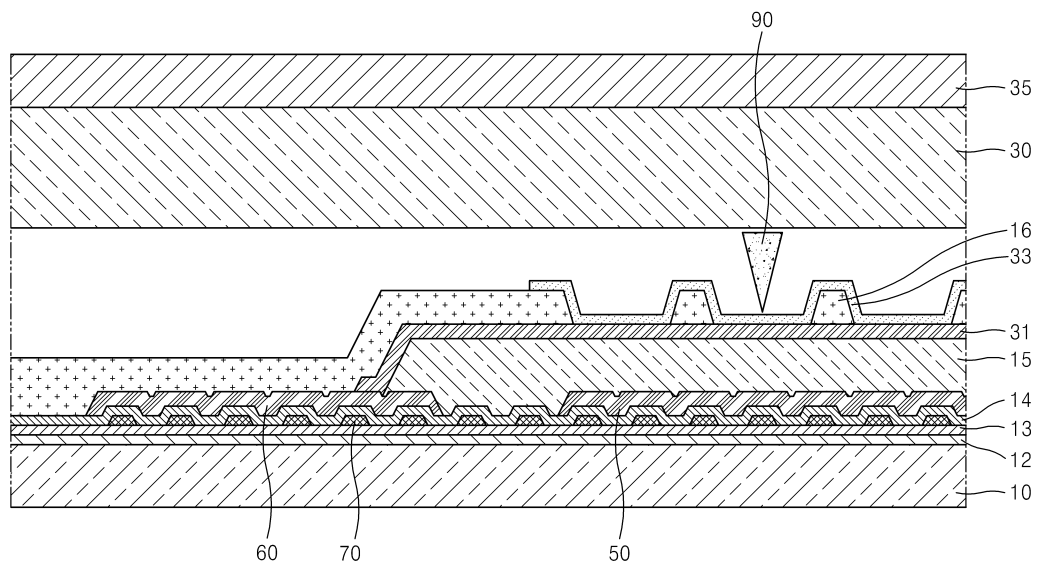
도면4



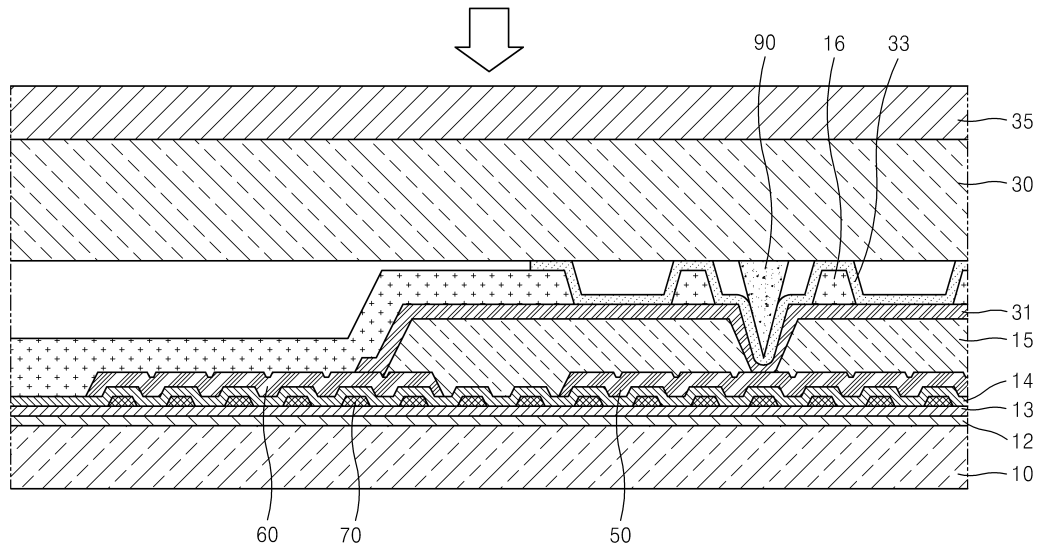
도면5



도면6a



도면6b



专利名称(译)	OLED显示装置及其制造方法		
公开(公告)号	<a href="#">KR101701978B1</a>	公开(公告)日	2017-02-03
申请号	KR1020100052368	申请日	2010-06-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM EUN AH 김은아 KWAK WON KYU 박원규 KIM TAE KYU 김태규 AN YOUNG HEE 안영희		
发明人	김은아 박원규 김태규 안영희		
IPC分类号	H01L51/52 H05B33/04		
CPC分类号	H01L27/3276 H01L51/524 H01L51/5281		
其他公开文献	KR1020110132819A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明公开了一种有机发光显示器及其制造方法。本发明包括：下基板，具有在形成图像的显示区域外部的非显示区域中的电源布线部分；封装基板，具有形成在与电源线部分对应的区域中的空腔；以及偏振板，设置在封装基板上的。 专利10-1701978

