



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월19일
(11) 등록번호 10-0943187
(24) 등록일자 2010년02월11일

(51) Int. Cl.

H05B 33/08 (2006.01) H05B 33/26 (2006.01)

H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0046635

(22) 출원일자 2008년05월20일

심사청구일자 2008년05월20일

(65) 공개번호 10-2009-0120698

(43) 공개일자 2009년11월25일

(56) 선행기술조사문헌

KR1020070071490 A

KR1020060108790 A

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

권도현

경기도 수원시 영통구 신동 575번지

이일정

경기도 수원시 영통구 신동 575번지

유철호

경기도 수원시 영통구 신동 575번지

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 14 항

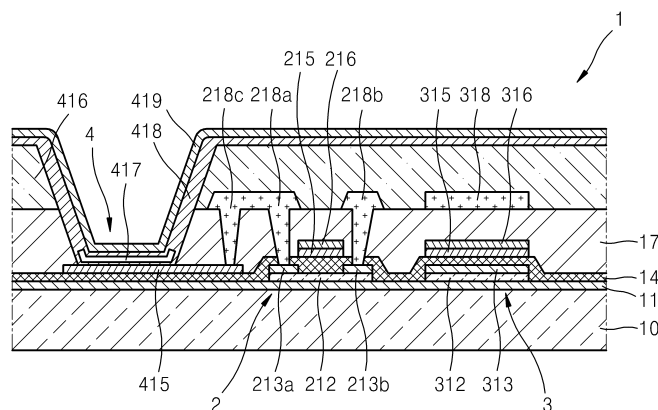
심사관 : 김창균

(54) 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은, 기판 상에 형성된 박막 트랜지스터의 활성층, 및 상기 활성층과 동일층에 동일물질로 이격되어 형성된 커패시터의 제1하부전극; 상기 활성층 상의 가장자리에 분리형성된 제1도전층, 및 상기 제1도전층과 동일층에 동일물질로 상기 제1하부전극 상에 형성된 커패시터의 제1상부전극; 상기 기판, 제1도전층, 및 제1상부전극 상에 형성된 제1절연층; 상기 제1절연층을 사이에 두고 상기 활성층 중앙 영역에 대응하는 제2도전층, 상기 제2도전층과 동일층에 동일물질로 상기 커패시터의 제1전극 상에 형성된 제2하부전극, 및 상기 제2도전층과 동일층에 동일물질로 이격되어 형성된 화소 전극; 상기 제2도전층 상에 형성된 제3도전층, 및 상기 제3도전층과 동일층에 동일물질로 제2하부전극 상에 형성된 제2상부전극; 상기 제3도전층, 제2상부전극, 및 화소 전극 상에 형성된 제2절연층; 및 상기 화소 전극과 접촉하며 상기 제2절연층 상부에 형성된 소스 및 드레인 전극, 소스 및 드레인 전극과 동일층에 동일 물질로 상기 제2상부전극 상에 형성된 커패시터의 제3전극;을 포함하는 평판 표시 장치를 제공한다.

대표도 - 도16



특허청구의 범위

청구항 1

기관 상에 형성된 박막 트랜지스터의 활성층, 및 상기 활성층과 동일층에 동일물질로 이격되어 형성된 커패시터의 제1하부전극;

상기 활성층 상의 가장자리에 분리형성된 제1도전층, 및 상기 제1도전층과 동일층에 동일물질로 상기 제1하부전극 상에 형성된 커패시터의 제1상부전극;

상기 기관, 제1도전층, 및 제1상부전극 상에 형성된 제1절연층;

상기 제1절연층을 사이에 두고 상기 활성층 중앙 영역에 대응하는 제2도전층, 상기 제2도전층과 동일층에 동일물질로 상기 커패시터의 제1전극 상에 형성된 제2하부전극, 및 상기 제2도전층과 동일층에 동일 물질로 이격되어 형성된 화소 전극;

상기 제2도전층 상에 형성된 제3도전층, 및 상기 제3도전층과 동일층에 동일물질로 제2하부전극 상에 형성된 제2상부전극;

상기 제3도전층, 제2상부 전극, 및 화소 전극 상에 형성된 제2절연층; 및

상기 화소 전극과 접촉하며 상기 제2절연층 상부에 형성된 소스 및 드레인 전극, 소스 및 드레인 전극과 동일층에 동일 물질로 상기 제2상부전극 상에 형성된 커패시터의 제3전극;을 포함하는 평판 표시 장치.

청구항 2

제1항에 있어서,

상기 화소 전극이 노출되도록 상기 화소 전극 가장자리에 형성된 화소 정의막을 더 포함하는 평판 표시 장치.

청구항 3

제1항에 있어서,

상기 활성층 및 상기 커패시터의 제1하부전극은 비정질 실리콘이 결정화된 다결정 실리콘인 것을 특징으로 하는 평판 표시 장치.

청구항 4

제1항에 있어서,

상기 제1도전층 및 상기 커패시터의 제1상부전극은 불순물이 도핑된 실리콘을 포함하는 것을 특징으로 하는 평판 표시 장치.

청구항 5

제1항에 있어서,

상기 활성층과 제1도전층이 만드는 단부, 및 상기 커패시터의 제1하부전극 및 제1상부전극이 만드는 각 단부의 형상이 일치하는 평판 표시 장치.

청구항 6

제1항에 있어서,

상기 활성층 상의 제2도전층 및 제3도전층이 만드는 단부, 및 상기 커패시터의 제2하부전극 및 제2상부전극이 만드는 각 단부의 형상이 일치하는 평판 표시 장치.

청구항 7

제1항에 있어서,

상기 화소 전극 상에 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 형성된 대향 전극을 포함하는 평판

표시 장치.

청구항 8

제1항에 있어서,

상기 기판 상에 버퍼층을 더 포함하는 평판 표시 장치.

청구항 9

제1항에 있어서,

상기 제2절연층의 두께는 상기 제1절연층의 두께보다 두꺼운 평판 표시 장치.

청구항 10

기판 상에 반도체층 및 제1도전층을 순차로 형성하여, 이를 박막 트랜지스터의 활성층 및 소스/드레인 영역과, 커패시터의 제1하부전극 및 제1상부전극으로 동시에 패터닝하는 제1마스크 공정;

상기 제1마스크 공정의 구조물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 제2도전층 및 제3도전층을 순차로 형성하여, 이를 박막 트랜지스터의 게이트하부전극 및 상부전극과, 커패시터의 제2하부전극 및 제2상부전극과, 화소 전극으로 동시에 패터닝하는 제2마스크 공정;

상기 제2마스크 공정의 구조물 상에 제2절연층을 형성하고, 상기 소스/드레인 영역의 일부 및 상기 화소 전극의 일부가 노출되도록 상기 제2절연층을 제거하는 제3마스크 공정;

상기 제3마스크 공정의 구조물 상에 제4도전층을 형성하여, 이를 박막 트랜지스터의 소스/드레인 전극과, 커패시터의 제3전극으로 동시에 패터닝하는 제4마스크 공정; 및

상기 제4마스크 공정의 구조물 상에 제3절연층을 형성하여, 상기 화소 전극이 노출되도록 상기 제2절연층 및 제3절연층을 제거하는 제5마스크 공정;을 포함하는 평판 표시 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 제1마스크 공정은, 상기 활성층의 중앙 부분에 대응하는 위치에 반투과부를 포함하는 제1 하프톤 마스크(half-tone mask)를 이용하는 것을 특징으로 하는 평판 표시 장치의 제조 방법.

청구항 12

제10항에 있어서,

상기 제2마스크 공정은, 상기 화소 전극에 대응하는 위치에 반투과부를 포함하는 제2 하프톤 마스크(half-tone mask)를 이용하는 것을 특징으로 하는 평판 표시 장치의 제조 방법.

청구항 13

제10항에 있어서,

상기 제5마스크 공정의 구조물 상에 유기 발광층을 포함하는 중간층 및 대향 전극을 순차로 형성하는 단계를 더 포함하는 평판 표시 장치의 제조 방법.

청구항 14

제10항에 있어서,

상기 기판 상에 버퍼층을 형성하는 단계를 더 포함하는 평판 표시 장치의 제조 방법.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것으로, 더 상세하게는 제조 공정이 단순화된 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기발광 표시장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴을 형성된 기판 상에 제작된다.

[0003] 일반적으로, 평판 표시 장치가 제작되는 기판은 박막 트랜지스터 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0004] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정은 일반적으로 포토 리소그래피(photo-lithography) 공정을 이용하는데, 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비를 이용하여 상기 마스크 상의 패턴을 포토레지스트에 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 또한, 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 마스크로 이용하여 패턴을 식각(etching)하고, 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명은 상기와 같은 문제 및 그 밖의 문제를 해결하기 위하여, 마스크를 이용한 패턴닝 공정 단계를 줄일 수 있는 평판 표시 장치 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

과제 해결수단

[0007] 상기와 같은 목적을 달성하기 위하여 본 발명은, 기판 상에 형성된 박막 트랜지스터의 활성층, 및 상기 활성층과 동일층에 동일물질로 이격되어 형성된 커패시터의 제1하부전극; 상기 활성층 상의 가장자리에 분리형성된 제1도전층, 및 상기 제1도전층과 동일층에 동일물질로 상기 제1하부전극 상에 형성된 커패시터의 제1상부전극; 상기 기판, 제1도전층, 및 제1상부전극 상에 형성된 제1절연층; 상기 제1절연층을 사이에 두고 상기 활성층 중앙영역에 대응하는 제2도전층, 상기 제2도전층과 동일층에 동일물질로 상기 커패시터의 제1전극 상에 형성된 제2하부전극, 및 상기 제2도전층과 동일층에 동일 물질로 이격되어 형성된 화소 전극; 상기 제2도전층 상에 형성된 제3도전층, 및 상기 제3도전층과 동일층에 동일물질로 제2하부전극 상에 형성된 제2상부전극; 상기 제3도전층, 제2상부 전극, 및 화소 전극 상에 형성된 제2절연층; 및 상기 화소 전극과 접촉하며 상기 제2절연층 상부에 형성된 소스 및 드레인 전극, 소스 및 드레인 전극과 동일층에 동일 물질로 상기 제2상부전극 상에 형성된 커패시터의 제3전극;을 포함하는 평판 표시 장치를 제공한다.

[0008] 본 발명의 다른 특징에 의하면, 상기 화소 전극이 노출되도록 상기 화소 전극 가장자리에 형성된 화소 정의막을 더 포함할 수 있다.

[0009] 본 발명의 또 다른 특징에 의하면, 상기 활성층 및 상기 커패시터의 제1하부전극은 비정질 실리콘이 결정화된 다결정 실리콘일 수 있다.

[0010] 본 발명의 또 다른 특징에 의하면, 상기 제1도전층 및 상기 커패시터의 제1상부전극은 불순물이 도핑된 실리콘을 포함할 수 있다.

[0011] 본 발명의 또 다른 특징에 의하면, 상기 활성층과 제1도전층이 만드는 단부, 및 상기 커패시터의 제1하부전극 및 제1상부전극이 만드는 각 단부의 형상이 일치할 수 있다.

[0012] 본 발명의 또 다른 특징에 의하면, 상기 활성층 상의 제2도전층 및 제3도전층이 만드는 단부, 및 상기 커패시터

의 제2하부전극 및 제2상부전극이 만드는 각 단부의 형상이 일치할 수 있다.

- [0013] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극 상에 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 형성된 대향 전극을 포함할 수 있다.
- [0014] 본 발명의 또 다른 특징에 의하면, 상기 기관 상에 버퍼층을 더 포함할 수 있다.
- [0015] 본 발명의 또 다른 특징에 의하면, 상기 제2절연층의 두께는 상기 제1절연층의 두께보다 두꺼울 수 있다.
- [0016] 또한 본 발명은, 기관 상에 반도체층 및 제1도전층을 순차로 형성하여, 이를 박막 트랜지스터의 활성층 및 소스/드레인 영역과, 커패시터의 제1하부전극 및 제1상부전극으로 동시에 패터닝하는 제1마스크 공정; 상기 제1마스크 공정의 구조물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 제2도전층 및 제3도전층을 순차로 형성하여, 이를 박막 트랜지스터의 게이트하부전극 및 상부전극과, 커패시터의 제2하부전극 및 제2상부전극과, 화소 전극으로 동시에 패터닝하는 제2마스크 공정; 상기 제2마스크 공정의 구조물 상에 제2절연층을 형성하고, 상기 소스/드레인 영역의 일부 및 상기 화소 전극의 일부가 노출되도록 상기 제2절연층을 제거하는 제3마스크 공정; 상기 제3마스크 공정의 구조물 상에 제4도전층을 형성하여, 이를 박막 트랜지스터의 소스/드레인 전극과, 커패시터의 제3전극으로 동시에 패터닝하는 제4마스크 공정; 및 상기 제4마스크 공정의 구조물 상에 제3절연층을 형성하여, 상기 화소 전극이 노출되도록 상기 제2절연층 및 제3절연층을 제거하는 제5마스크 공정;을 포함하는 평판 표시 장치의 제조 방법을 제공한다.
- [0017] 본 발명의 다른 특징에 의하면, 상기 제1마스크 공정은, 상기 활성층의 중앙 부분에 대응하는 위치에 반투과부를 포함하는 제1 하프톤 마스크(half-tone mask)를 이용할 수 있다.
- [0018] 본 발명의 또 다른 특징에 의하면, 상기 제2마스크 공정은, 상기 화소 전극에 대응하는 위치에 반투과부를 포함하는 제2 하프톤 마스크(half-tone mask)를 이용할 수 있다.
- [0019] 본 발명의 또 다른 특징에 의하면, 상기 제5마스크 공정의 구조물 상에 유기 발광층을 포함하는 중간층 및 대향 전극을 순차로 형성하는 단계를 더 포함할 수 있다.
- [0020] 본 발명의 또 다른 특징에 의하면, 상기 기관 상에 버퍼층을 형성하는 단계를 더 포함할 수 있다.

효 과

- [0021] 이상과 같은 본 발명의 유기 발광 표시 장치 및 그 제조 방법에 따르면, 적은 개수의 마스크를 이용하여 상술한 구조의 평판 표시 장치를 제조할 수 있기 때문에, 마스크 수의 저감에 따른 비용의 절감, 및 제조 공정의 단순화와 이로 인한 비용 절감을 실현할 수 있다. 또한, 커패시터를 3개의 전극과 두 개의 유전체층으로 구성하여, 커패시터의 면적을 넓히지 않고 커패시터의 용량을 늘릴 수 있다.

발명의 실시를 위한 구체적인 내용

- [0022] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0023] 도 1 내지 도 15는 본 발명의 실시예에 따른 유기 발광 표시 장치의 제조 단계를 개략적으로 도시한 단면도이고, 도 16은 상기 제조 단계에 의해 형성된 유기 발광 표시 장치의 개략적인 단면이다.
- [0024] 상기 도면들을 참조하면, 본 발명의 실시예에 따른 유기 발광 표시 장치(1)는, 기관(10), 버퍼층(11), 박막 트랜지스터(2), 커패시터(3) 및 유기 발광 소자극(4)을 포함한다.
- [0025] 기관(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 물론 불투명 재질도 가능하며, 플라스틱재와 같은 다른 재질로 이루어질 수도 있다. 다만, 평판 표시 장치의 화상이 기관(10) 측에서 구현되는 배면 발광형인 경우에는 상기 기관(10)은 투명 재질로 형성되어야 한다.
- [0026] 기관(10)의 상면에는 기관(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 버퍼층(11)이 구비될 수 있다. 상기 버퍼층(11)은 SiO₂ 및/또는 SiNx 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0027] 도 1을 참조하면, 버퍼층(11) 상에 반도체층(12) 및 제1도전층(13)이 순차로 형성되어 있다.
- [0028] 상기 반도체층(12)은 비정질 실리콘을 먼저 증착한 후 이를 결정화한 다결정 실리콘으로 구성된다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser

annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 이와 같이 다결정 실리콘으로 구성된 반도체층(12)은, 후술할 박막 트랜지스터(2)의 활성층(212) 및 커패시터(3)의 제1하부전극(312)으로 패터닝된다.

- [0029] 반도체층(12) 상에 제1도전층(13)이 증착된다. 상기 제1도전층(13)은 N형 또는 P형 불순물이 포함된 비정질 실리콘을 증착하여 열처리함으로써, 박막 트랜지스터(2)의 소스/드레인 영역(213a, 213b)이나, 커패시터(3)의 제1상부전극(313)으로 패터닝된다.
- [0030] 도 2를 참조하면, 도 1의 구조물 상부에 도포된 감광제(photoresist)를 프리 베이킹(pre-baking) 또는 소프트 베이킹(soft baking)으로 용제를 제거한 감광막(P1)(photoresist layer)을 형성한 후, 감광막(P1)을 패터닝하기 위하여 소정 패턴이 그려진 제1마스크(M1)를 준비하여 기판(10)에 정렬한다.
- [0031] 제1마스크(M1)는 광투과부(M11), 광차단부(M12a, M12b, M12c) 및 반투과부(M13)를 구비한 제1 하프톤 마스크(half-tone mask)로 구비된다. 광투과부(M1)는 소정 파장대의 광을 투과시키고, 광차단부(M12a, M12b, M12c)는 조사되는 광을 차단하며, 반투과부(M13)는 조사되는 광의 일부만 통과시킨다.
- [0032] 상기 도면에 도시된 하프톤 마스크(M1)는, 마스크의 각 부분의 기능을 개념적으로 설명하기 위한 개념도이며, 실제로는 상기와 같은 하프톤 마스크(M1)는 석영(Qz)과 같은 투명 기판 상에 소정 패턴으로 형성될 수 있다. 이때, 광차단부(M12a, M12b, M12c)는 석영 기판 상에 Cr 또는 CrO₂ 등의 재료로 패터닝하여 형성되고, 반투과부(M13)는 Cr, Si, Mo, Ta, Al 가운데 적어도 하나 이상의 물질을 이용하여, 그 조성 성분의 비 또는 두께를 조절함으로써 조사되는 광의 광투과율을 조절할 수 있다.
- [0033] 위와 같은 패턴이 그려진 제1마스크(M1)를 박막 트랜지스터 어레이 기판(10)에 정렬하여 감광막(P1)에 소정 파장대의 광을 조사하여 노광을 실시한다.
- [0034] 도 3을 참조하면, 감광된 부분의 감광막(P1)을 제거하는 현상 과정을 거친 후, 잔존하는 감광막의 패턴이 개략적으로 도시되어 있다. 본 실시예에서는 감광된 부분이 제거되는 포지티브 감광제(positive-PR)가 사용되었지만, 본 발명은 이에 한정되지 않고 네가티브 감광제(negative-PR)가 사용될 수 있음은 물론이다.
- [0035] 상기 도면을 참조하면, 하프톤 마스크(M1)의 광투과부(M11)에 대응하는 감광막 부분(P11)은 제거되고, 광차단부(M12a, M12b, M12c)에 대응하는 감광막 부분(P12a, P12b, P12c), 및 반투과부(M13)에 대응하는 감광막 부분(P13)이 남아있다. 이때, 반투과부(M13)에 대응하는 감광막 부분(P13)의 두께는 광차단부(M12a, M12b, M12c)에 대응하는 감광막 부분(P12a, P12b, P12c)의 두께보다 얇으며, 이 감광막의 두께(P13)는 반투과부(M13) 패턴을 구성하는 물질의 성분비 또는 두께로 조절할 수 있다.
- [0036] 이들 감광막 패턴들(P12a, P12b, P12c, P13)을 마스크로 이용하여, 식각 장비로 상기 기판(10) 상의 반도체층(12), 제1도전층(13)을 식각한다. 이때, 감광막이 없는 부분(P11)의 구조물이 가장 먼저 식각되고, 감광막의 일부 두께가 식각된다. 이때, 상기 식각 과정은 습식 식각 및 건식 식각 등 다양한 방법으로 수행가능하다.
- [0037] 도 4를 참조하면, 1차 식각 공정이 진행되는 동안, 감광막이 없는 부분(P11)의 도 3의 반도체층(12), 제1도전층(13)은 식각되었다. 그리고, 도 3의 반투과부(M13)에 대응하는 감광막 부분(P13)은 식각되었지만 그 하부 구조물은 그대로 남아있으며, 이 하부 구조물들은 이후 박막 트랜지스터의 활성층(212), 소스/드레인 영역(213)과, 커패시터의 제1하부전극(31), 유전체층(22) 및 제2전극(33)으로 각각 형성될 수 있다. 한편, 광차단부(M12a, M12b, M12c)에 대응하는 감광막 부분(P12a, P12b, P12c)은 1차 식각에도 일부가 남아 있으며, 이를 마스크로 하여 2차 식각을 진행한다.
- [0038] 도 5를 참조하면, 2차 식각 공정 후, 도 4에서 잔존하던 감광막 부분(P12a, P12b, P12c)이 모두 식각된 후의 모습이 도시되어 있다. 특히, 감광막이 일부 제거된 영역(P12a, P12b의 사이) 하부의 제1도전층(213)의 일부가 식각되어, 식각되지 않은 영역이 박막 트랜지스터의 소스/드레인 영역(213a, 213b)으로 형성되었다.
- [0039] 상기 도면을 참조하면, 박막 트랜지스터의 활성층(212) 및 소스/드레인 영역(213a, 213b)과, 커패시터의 제1하부전극(312) 및 제1상부전극(313)이 동일 구조물 상에서 동일한 하나의 마스크(M1)를 이용하여 동시에 패터닝되었기 때문에, 박막 트랜지스터의 활성층(212)과 커패시터의 제1하부전극(312), 및 박막 트랜지스터의 소스/드레인 영역(213a, 213b)과 커패시터의 제1상부전극(313)은 동일층에서 형성되고, 동일 물질로 구성된다.
- [0040] 또한, 동일한 하나의 마스크(M1)로 동시에 패터닝되었기 때문에, 박막 트랜지스터의 활성층(212) 및 소스/드레인 영역(213a, 213b)이 만드는 단부의 형상과, 커패시터의 제1하부전극(312) 및 제1상부전극(313)이 만드는 각

단부의 형상은 일치한다.

- [0041] 도 6을 참조하면, 제1 마스크 공정의 결과인 도 5의 구조물 상에 제1절연층(14), 제2도전층(15) 및 제3도전층(16)을 순차로 증착하고, 그 위에 제2감광막(P2)을 형성하여 제2마스크(M2)를 정렬한다.
- [0042] 제1절연층(14)은 SiNx 또는 SiOx 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 이와 같은 제1절연층(14)은, 후술할 박막 트랜지스터(2)의 활성층(212)과 게이트 하부전극(215) 사이에 개재되어 박막 트랜지스터(2)의 게이트 절연막 역할을 하며, 커패시터(3)의 제1상부전극(312)과 제2하부전극(315) 사이에 개재되어 커패시터(3)의 제1유전체층 역할을 하게 된다.
- [0043] 제2도전층(15)은 IT0, IZO, ZnO, 또는 In2O3와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이와 같은 제2도전층(15)은 후술할 평판 표시 장치 화소 전극(415), 박막 트랜지스터의 게이트 하부전극(215) 및 커패시터의 제2하부전극(315)의 일부가 된다. 한편, 본 실시예에서는 제2도전층(15)이 하나의 층으로 형성되지만, 본 발명은 이에 한정되지 않고 다층의 도전물질이 형성될 수 있다. 즉, 본 실시예와 같은 투명 물질로만 화소 전극(415)을 형성하는 경우에는 화상이 기관(10) 측으로 구현되는 배면 발광의 표시 장치에 사용될 수 있지만, 화상이 기관(10)의 반대 측으로 구현되는 전면 발광의 표시 장치의 경우에는 상기 제2도전층을 다층으로 형성하여, 예를 들어, 반사 성질을 가지는 도전 물질을 먼저 증착한 후, 본 실시예와 같은 투명 도전 물질을 증착하는 방식으로 반사막을 형성할 수 있으며, 두 개의 층뿐만 아니라, 필요에 따라서는 그 이상의 다층으로 증착할 수 있음은 물론이다.
- [0044] 제3도전층(16)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이와 같은 제3도전층(16)은 후술할 박막 트랜지스터의 게이트 상부전극(216) 및 커패시터의 제2상부전극(316)의 일부가 된다.
- [0045] 제2마스크(M2)는 광투과부(M21), 광차단부(M22a, M22b), 및 반투과부(M23)를 구비하는 하프톤 마스크이다. 광투과부(M21)는 소정 파장대의 광을 투과시키고, 광차단부(M22a, M22b)는 광을 차단하며, 광투과부(M21)는 화소 전극(145)에 대응하는 패턴을 구비한다. 위와 같은 패턴이 그려진 제2마스크(M2)를 기관(10)에 정렬하여 감광막(P2)에 소정 파장대의 광을 조사한다.
- [0046] 도 7을 참조하면, 하프톤 마스크(M2)의 광투과부(M21)에 대응하는 감광막 부분(P21)은 제거되고, 광차단부(M22a, M22b)에 대응하는 감광막 부분(P22a, P22b), 및 반투과부(M23)에 대응하는 감광막 부분(P23)이 남아있다. 이때, 반투과부(M23)에 대응하는 감광막 부분(P23)의 두께는 광차단부(M22a, M22b)에 대응하는 감광막 부분(P12a, P12b)의 두께보다 얇으며, 이 감광막의 두께(P13)는 반투과부(M13) 패턴을 구성하는 물질의 성분 비 또는 두께로 조절할 수 있다.
- [0047] 이들 감광막 패턴들(P22a, P22b, P23)을 마스크로 이용하여, 식각 장비로 상기 기관(10) 상의 제2도전층(15) 및 제3도전층(16)을 식각한다. 이때, 감광막이 없는 부분(P21)의 구조물이 가장 먼저 식각되고, 감광막의 일부 두께가 식각된다. 이때, 상기 식각 과정은 습식 식각 및 건식 식각 등 다양한 방법으로 수행가능하다.
- [0048] 도 8을 참조하면, 1차 식각 공정이 진행되는 동안, 감광막이 없는 부분(P21)의 제2도전층(15)과 제3도전층(16)은 식각되었다. 그리고, 도 7의 반투과부(M23)에 대응하는 감광막 부분(P23)은 식각되었지만 그 하부 구조물은 그대로 남아있으며, 이 하부 구조물들은 이후 평판 표시 장치의 화소 전극(415)으로 형성된다. 한편, 광차단부(M22a, M22b)에 대응하는 감광막 부분(P22a, P22b)은 1차 식각에도 일부가 남아 있으며, 이를 마스크로 하여 2차 식각을 진행한다.
- [0049] 도 9를 참조하면, 2차 식각 공정 후, 도 8에 잔존하는 감광막 부분(P22a, P22b)이 모두 식각된 후의 모습이 도시되어 있다. 특히, 감광막이 일부 제거된 화소 전극 영역은 상부의 제3도전층(16)이 식각되고 제2도전층(15)의 일부가 화소전극(415)으로 형성된다.
- [0050] 상기 도면을 참조하면, 화소 전극(415)과, 박막 트랜지스터의 게이트 전극(215, 216) 및 커패시터의 제2전극(315, 316)가 동일 구조물 상에서 하나의 하프톤 마스크(M2)를 이용하여 동시에 패터닝되었기 때문에, 화소전극(145)과 박막 트랜지스터의 게이트 하부전극(215)과 커패시터의 제1하부전극(315)이 동일층에서 동일물질로 형성되고, 박막 트랜지스터의 게이트 상부전극(216)과 커패시터의 제2상부전극(316)이 동일층에 동일 물질로 형성된다.
- [0051] 도 10을 참조하면, 제2마스크 공정 결과인 도 9의 구조물 상에 제2절연층(17)을 형성하고, 그 위에 제3감광막(P3)을 형성하여 제3마스크(M3)를 정렬한다.

- [0052] 제2절연층(17)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연층(17)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(14)보다 두껍게 형성되어, 박막 트랜지스터의 게이트 전극(215, 216)과 소스/드레인 전극(218) 사이의 중간 절연막 역할을 하고, 커패시터의 제2전극(315, 316)과 제3전극(318) 사이의 제2 유전체층의 역할을 수행한다. 한편, 제2절연층(17)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1절연층(14)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0053] 제3마스크(M3)는 화소 전극(415)의 일부영역과, 소스/드레인 영역(213a, 213b)의 일부 영역에 대응하는 광투과부(M31a, M31b, M31c)와 광차단부(M32) 패턴을 구비한다. 위와 같은 패턴이 구비된 제3마스크(M3)를 기판(10)에 정렬하여 감광막(P3)에 노광을 실시한다.
- [0054] 도 11을 참조하면, 감광된 부분의 감광막(P3)이 제거된 후, 잔존하는 감광막 패턴을 마스크로 하여 식각한 후의 평판 표시 장치가 개략적으로 도시되어 있다. 상기 도면을 참조하면, 화소 전극(415)과, 소스/드레인 영역(213a, 213b)에 대응하는 일부 영역을 노출하는 개구들(H1, H2, H3)이 형성된다.
- [0055] 도 12를 참조하면, 제3마스크 공정 결과인 도 11의 구조물 상에 제4도전체층(18)을 형성하고, 그 위에 제4감광막(P4)을 형성하여 제4마스크(M4)를 정렬한다.
- [0056] 제4도전층(18)은 전술한 제2 또는 제3도전층(15, 16)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3)을 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0057] 제4마스크(M4)는 광투과부(M41), 광차단부(M42a, M42b, M42c)를 구비한다. 이와 같은 패턴을 구비한 마스크(M4)를 이용하여, 감광막(P4)을 노광 및 현상 한 후, 잔존하는 감광막 패턴을 마스크로 하여 식각 공정을 진행한다.
- [0058] 도 13을 참조하면, 제4 마스크 공정의 결과로, 제2절연층(17) 상에 개구(H1, H2)를 통하여 소스/드레인 영역(213a, 213b)과 접속하는 소스/드레인 전극(218a, 218b)이 형성되고, 상기 소스/드레인 전극(218a, 218b)의 일부는 화소 전극(415)과 연결된 개구(H3)를 통하여 화소 전극(415)과 접속하도록 형성된다. 또한, 커패시터의 제3전극(318)이 상기 소스/드레인 전극(218a, 218b)과 동일층에 동일물질로 형성된다.
- [0059] 도 14를 참조하면, 제4마스크 공정 결과인 도 13의 구조물 상에 제3절연층(19)을 형성하고, 제5마스크(M5)를 정렬한다.
- [0060] 제3절연층(19)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 제3절연층(19)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1절연층(14) 및 제2절연층(15)과 같은 무기 절연 물질로 형성될 수 있음은 물론이다. 이와 같은 제3절연층(19)은, 제5마스크(M5)를 사용한 식각 공정 후, 후술할 유기 발광 표시 장치의 화소 정의막(pixel define layer: PDL) 역할을 하게 된다.
- [0061] 제5마스크(M5)는 화소 전극(415)에 대응하는 위치에 광투과부(M51)가 형성되고, 나머지 부분에는 광차단부(M52)가 형성된다. 제5마스크(M5)에 광이 조사되면, 광이 투과된 제2절연층(17) 및 제3절연층(19) 부분의 유기 절연 물질은 건식 식각(dry etching)으로 직접 제거할 수 있다. 전술한 제1 내지 제4마스크 공정의 경우에는 감광막을 사용하여, 감광막을 노광, 현상하고, 현상된 감광막을 마스크로 하여 하부 구조를 다시 패터닝하였지만, 본 실시예와 같이 유기 절연 물질을 사용하는 경우에는 감광막을 별도로 사용하지 않고 직접 제3절연층(19)을 건식 식각 할 수 있다.
- [0062] 도 15를 참조하면, 제2절연층(17) 및 제3절연층(19)이 식각되어 화소 전극(415)이 노출되도록 개구(H4)를 형성함으로써, 화소를 정의하는 화소 정의막(416)이 형성된다. 이러한 화소 정의막(416)은 소정의 두께를 가짐으로써 화소 전극(415)의 가장자리와 대향 전극(419) 사이의 간격을 넓혀, 화소 전극(415)의 가장자리에 전계가 집중되는 현상을 방지함으로써 화소 전극(415)과 대향 전극(419) 사이의 단락을 방지한다.
- [0063] 도 16을 참조하면, 화소 전극(415) 및 화소 정의막(416) 상에 유기 발광층(417)을 포함하는 중간층(418), 및 대향 전극(419)이 형성된다.
- [0064] 유기 발광층(417)은 화소 전극(415)과 대향 전극(419)의 전기적 구동에 의해 발광한다. 유기 발광층(417)은 저

분자 또는 고분자 유기물이 사용될 수 있다.

[0065] 저분자 유기물로 형성되는 경우, 중간층(418)은 유기 발광층(417)을 중심으로 화소 전극(415)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer: HIL) 등이 적층되고, 대향 전극(419) 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.

[0066] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(418)은 유기 발광층(417)을 중심으로 화소 전극(415) 방향으로 홀 수송층(HTL)만이 포함될 수 있다. 홀 수송층(HTL)은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(415) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.

[0067] 유기 발광층(417)을 포함한 중간층(418) 상에는 대향 전극인 공통 전극(419)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(415)은 애노드 전극으로 사용되고, 공통 전극(419)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.

[0068] 유기 발광 표시 장치가 기관(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소 전극(415)은 투명전극이 되고 공통 전극(419)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착할 수 있다.

[0069] 한편, 상기 도면에는 도시되지 않았지만, 공통 전극(419) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층(417)을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.

[0070] 상술한 본 실시예에 따른 유기 발광 표시 장치 및 제조 방법은, 적은 수의 마스크를 이용하여 상술한 구조의 유기 발광 표시 장치를 제조할 수 있기 때문에, 마스크 수의 저감에 따른 비용의 절감, 및 제조 공정의 단순화와 이로 인한 비용 절감을 실현할 수 있다. 또한, 커패시터를 3개의 전극과 두 개의 유전체층으로 구성함으로써 커패시터의 면적을 넓히지 않더라도 커패시터의 용량을 늘릴 수 있기 때문에, 유기 발광 표시 장치의 개구율의 감소를 방지할 수 있다.

[0071] 한편, 본 실시예에서는 평판 표시 장치로서 유기 발광 표시 장치를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.

[0072] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 박막 트랜지스터와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 박막 트랜지스터와 복수 개의 커패시터가 포함될 수 있음은 물론이다.

[0073] 또한 상기 도면들에 도시된 구성요소들은 설명의 편의상 확대 또는 축소되어 표시될 수 있으므로, 도면에 도시된 구성요소들의 크기나 형상에 본 발명이 구속되는 것은 아니며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

[0074] 도 1 내지 도 5는 본 발명의 실시예에 따른 유기 발광 표시 장치의 제1 마스크 공정에 따른 제조 단계를 개략적으로 도시한 단면도이다.

[0075] 도 6 내지 도 9는 본 발명의 실시예에 따른 유기 발광 표시 장치의 제2 마스크 공정에 따른 제조 단계를 개략적으로 도시한 단면도이다.

[0076] 도 10 및 도 11은 본 발명의 실시예에 따른 유기 발광 표시 장치의 제3 마스크 공정에 따른 제조 단계를 개략적으로 도시한 단면도이다.

[0077] 도 12 및 도 13은 본 발명의 실시예에 따른 유기 발광 표시 장치의 제4 마스크 공정에 따른 제조 단계를 개략적

으로 도시한 단면도이다.

[0078] 도 14 및 도 15는 본 발명의 실시예에 따른 유기 발광 표시 장치의 제5 마스크 공정에 따른 제조 단계를 개략적으로 도시한 단면도이다.

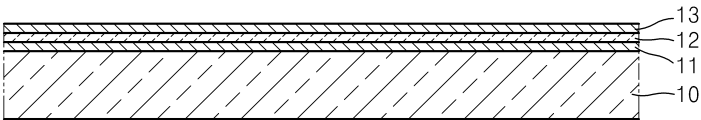
[0079] 도 16은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 단면도이다.

[0080] < 도면의 주요 부분에 대한 간략한 설명 >

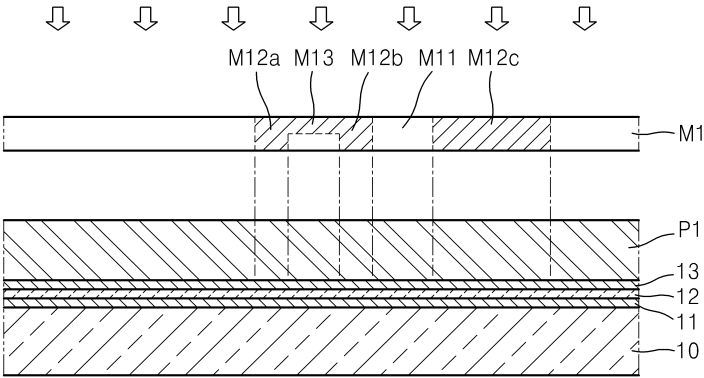
- | | | |
|--------|----------------------|-----------------------|
| [0081] | 1: 유기 발광 표시 장치 | 2: 박막 트랜지스터 |
| [0082] | 3: 커패시터 | 4: 유기발광소자 |
| [0083] | 10: 기판 | 11: 버퍼층 |
| [0084] | 12: 반도체층 | 13: 제1도전층 |
| [0085] | 14: 제1절연층 | 15: 제2도전층 |
| [0086] | 16: 제3도전층 | 17: 제2절연층 |
| [0087] | 18: 제4도전층 | 19: 제3절연층 |
| [0088] | 212: 활성층 | 213: 소스/드레인 영역 |
| [0089] | 215, 216: 게이트 전극 | 218a, 218b: 소스/드레인 전극 |
| [0090] | 312, 313: 제1 커패시터 전극 | 315, 316: 제2 커패시터 전극 |
| [0091] | 318: 제3 커패시터 전극 | 415: 화소 전극 |
| [0092] | 417: 유기 발광층 | 418: 중간층 |
| [0093] | 419: 대향 전극 | |

도면

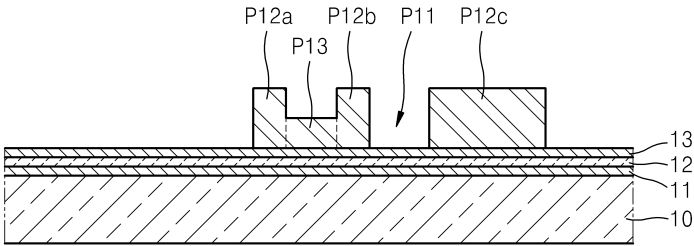
도면1



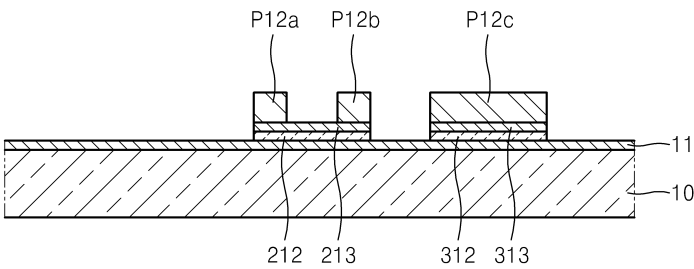
도면2



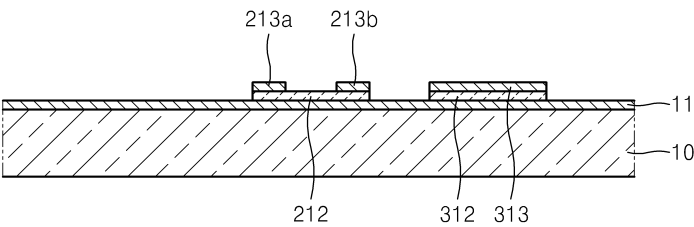
도면3



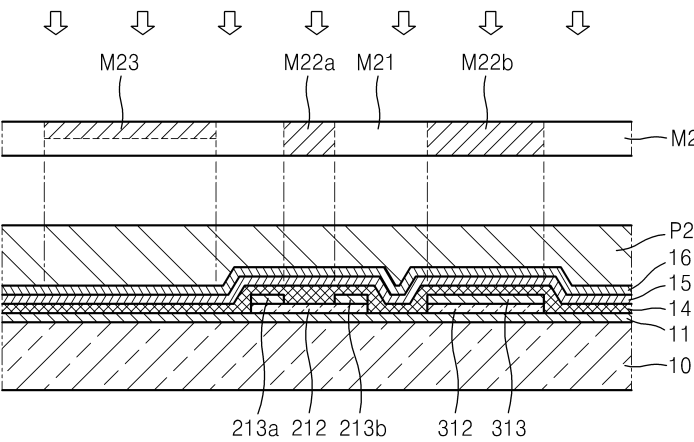
도면4



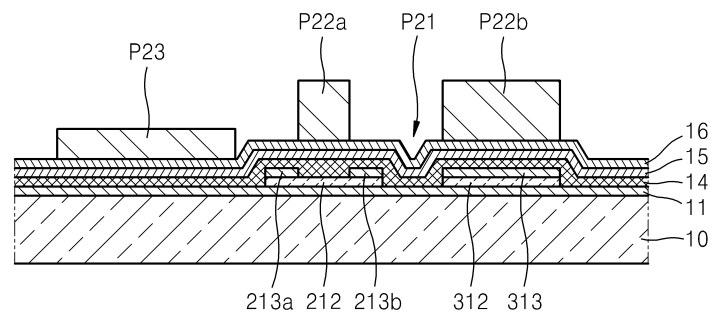
도면5



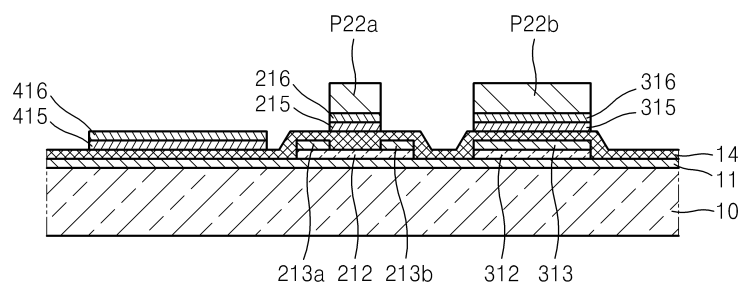
도면6



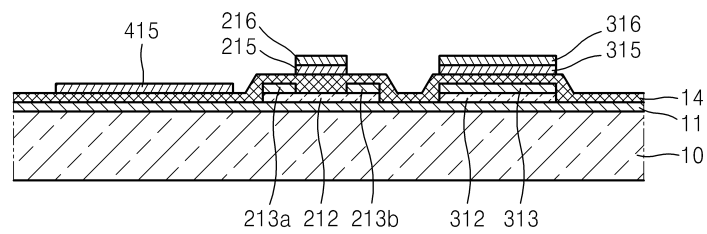
도면7



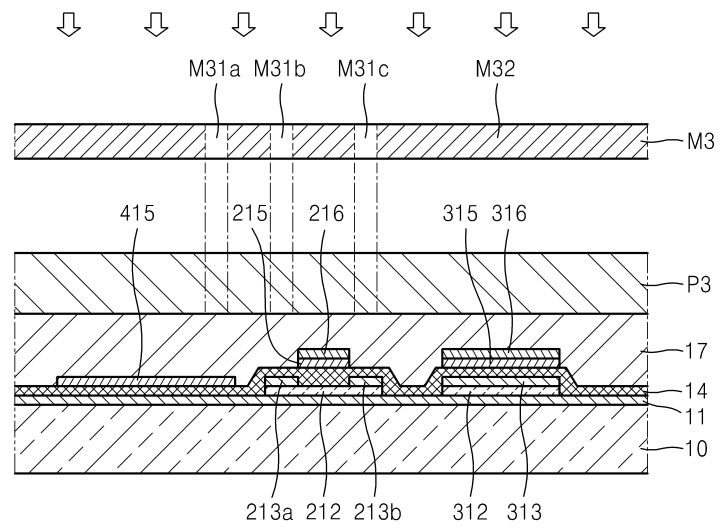
도면8



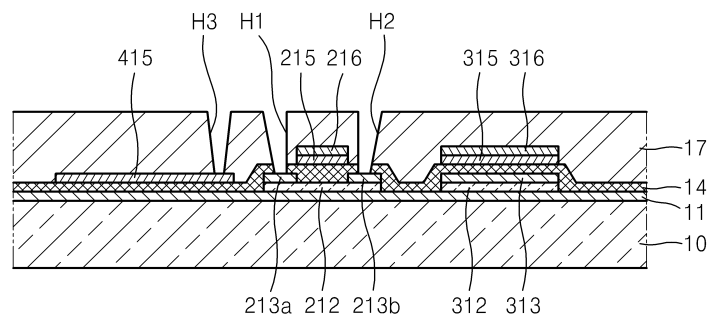
도면9



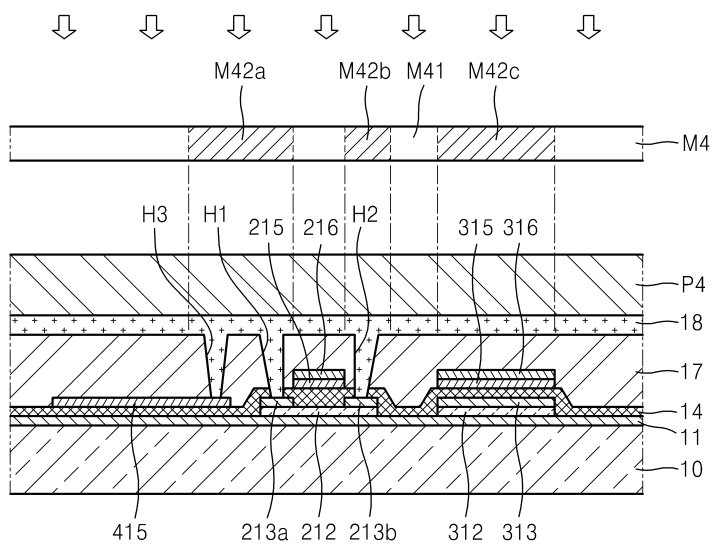
도면10



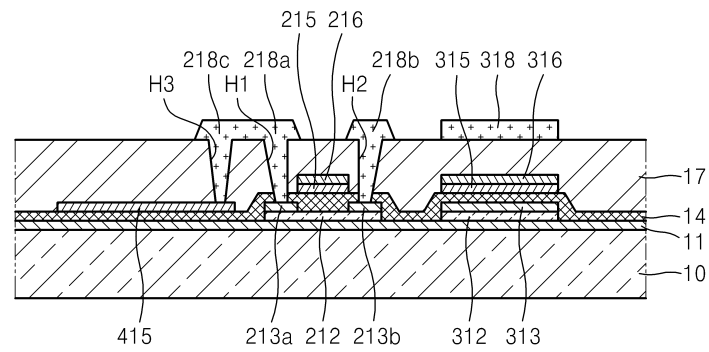
도면11



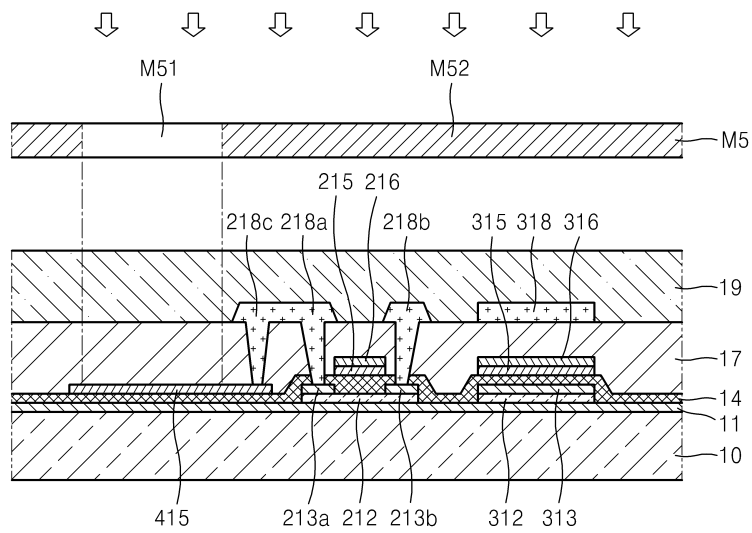
도면12



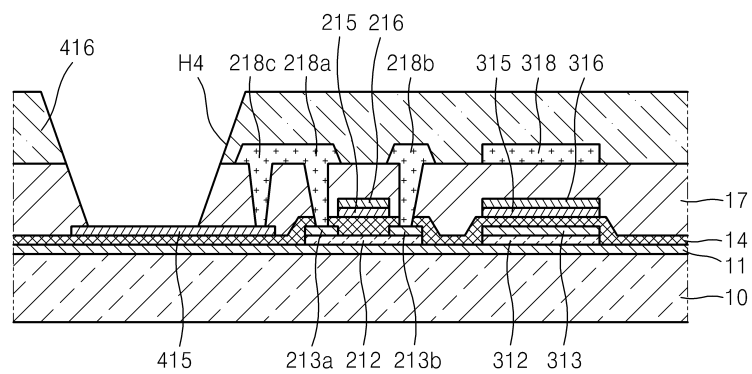
도면13



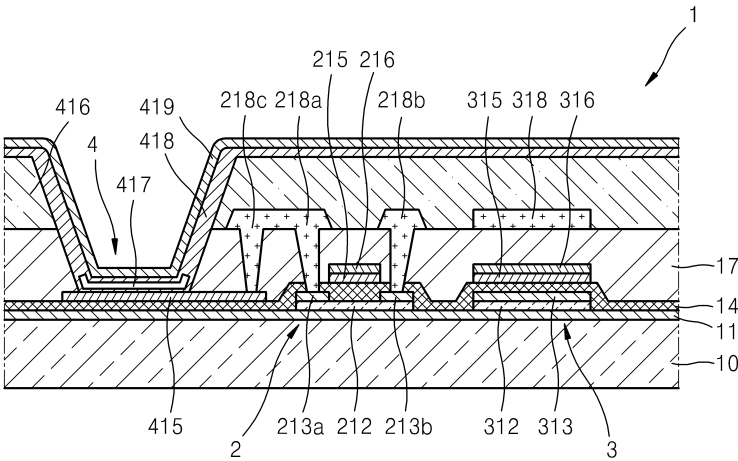
도면14



도면15



도면16



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR100943187B1	公开(公告)日	2010-02-19
申请号	KR1020080046635	申请日	2008-05-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KWON DO HYUN 권도현 LEE IL JEONG 이일정 YU CHEOL HO 유철호		
发明人	권도현 이일정 유철호		
IPC分类号	H05B33/08 H05B33/26 H01L51/50		
CPC分类号	H01L2227/323		
其他公开文献	KR1020090120698A		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机发光显示装置及其制造方法，通过三个电极和两个介电层形成电容器，在不增加电容器尺寸的情况下增加电容器的容量。

组成：有机发光器件（1）包括有源层，第一底部电极，第一导电层，第一顶部电极，第一绝缘层，第二导电层，第二底部电极，像素电极，第三导电层，第二顶部电极，第二绝缘层，源电极，漏电极和第三电极。薄膜晶体管（2）的有源层（212）形成在基板上。电容器（3）的第一底部电极由与有源层相同的材料制成。第一导电层形成在活性物质的边缘上层。电容器的第一顶部电极形成在第一底部电极上。第一绝缘层（14）形成在基板（10），第一导电层和第一顶部电极上。第二导电层对应于有源层的中心区域。第二底部电极形成在电容器的第一电极上。像素电极（415）由与第二导电层相同的材料制成。第三导电层形成在第二导电层上。第二顶部电极形成在第二底部电极上。第二绝缘层（17）形成在第三导电层，第二顶部电极和像素电极上。源电极（218a）和漏电极（218b）形成在第二绝缘层上。电容器的第三电极形成在第二顶部上电极。

