



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년01월22일
 (11) 등록번호 10-0796654
 (24) 등록일자 2008년01월15일

(51) Int. Cl.

H05B 33/08 (2006.01) *H05B 33/10* (2006.01)

(21) 출원번호 10-2006-0049641

(22) 출원일자 2006년06월02일

심사청구일자 2006년06월02일

(65) 공개번호 10-2007-0115355

(43) 공개일자 2007년12월06일

(56) 선행기술조사문현

KR1019950003908 A

KR1019960026976 A

KR1020060065083 A

전체 청구항 수 : 총 12 항

심사관 : 안준형

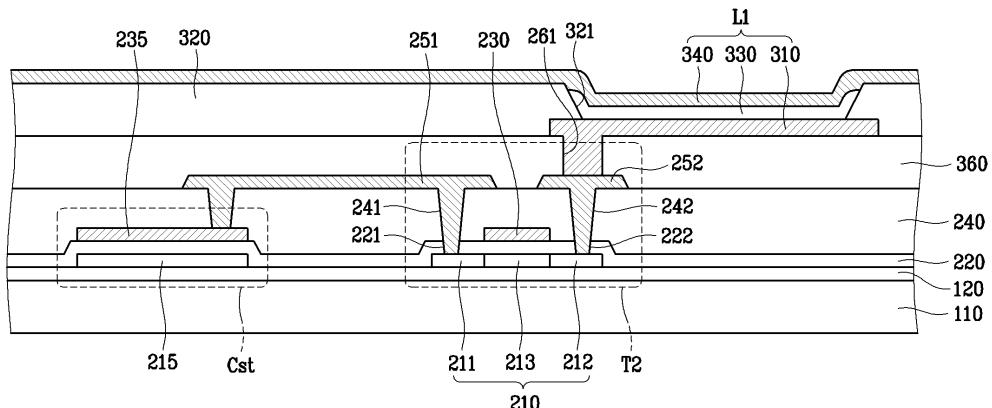
(54) 유기 발광 표시 장치 및 그 제조 방법

(57) 요 약

본 발명은 저장 캐패시터 형성 공정을 단순화하고 소자의 특성 및 신뢰성을 개선할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공한다.

본 발명에 따른 유기 발광 표시 장치는 기판, 기판의 일 부분 위에 형성되고 게이트 절연막을 사이에 두고 배치되는 액티브층과 게이트 전극을 포함하는 박막 트랜지스터, 및 기판의 다른 부분 위에 형성되고 게이트 절연막을 사이에 두고 액티브층과 동일 평면 위에 배치되는 제1 전극과 게이트 전극과 동일 평면 위에 배치되는 제2 전극을 포함하는 저장 캐패시터를 포함하고, 액티브층과 제1 전극이 진성 폴리실리콘막으로 이루어진다.

대표도 - 도2



특허청구의 범위

청구항 1

기판;

상기 기판의 일 부분 위에 형성되고 게이트 절연막을 사이에 두고 배치되는 액티브층과 게이트 전극을 포함하는 박막 트랜지스터; 및

상기 기판의 다른 부분 위에 형성되고 상기 게이트 절연막을 사이에 두고 상기 액티브층과 동일 평면 위에 배치되는 제1 전극과 상기 게이트 전극과 동일 평면 위에 배치되는 제2 전극을 포함하는 저장 캐패시터

를 포함하고,

상기 액티브층은 소오스 영역과 드레인 영역 및 채널 영역을 포함하며,

상기 액티브층의 채널 영역과 상기 제1 전극이 10^8 내지 $10^{11}\Omega$ 의 저항을 가지는 진성 폴리실리콘막으로 이루어지는 유기 발광 표시 장치.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 액티브층과 상기 제1 전극이 각각 상기 게이트 전극과 상기 제2 전극 아래에 위치하는 유기 발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 박막 트랜지스터 위로 형성되는 발광 소자를 더욱 포함하는 유기 발광 표시 장치.

청구항 5

제4 항에 있어서,

상기 발광 소자가 제1 전극, 유기 발광층 및 제2 전극이 순차적으로 적층된 구조로 이루어지는 유기 발광 표시 장치.

청구항 6

제1 항에 있어서,

상기 게이트 절연막이 실리콘 질화물과 실리콘 산화물이 순차적으로 적층된 구조로 이루어지는 유기 발광 표시 장치.

청구항 7

PMOS 박막 트랜지스터가 형성되는 제1 영역 및 저장 캐패시터가 형성되는 제2 영역이 정의된 기판을 준비하는 단계;

상기 기판 위에 10^8 내지 $10^{11}\Omega$ 의 저항을 가지는 진성 폴리실리콘막을 형성하는 단계;

상기 진성 폴리실리콘막을 패터닝하여 상기 제1 영역에 액티브층을 형성하고 상기 제2 영역에 제1 전극을 형성하는 단계;

상기 액티브층 및 상기 제1 전극을 덮도록 상기 기판의 전면 위에 게이트 절연막을 형성하는 단계;

상기 액티브층 위의 상기 게이트 절연막에 게이트 전극을 형성하고 상기 제1 전극 위에 제2 전극을 형성하는 단

계; 및

상기 게이트 전극에 의해 노출된 부분의 상기 액티브층에 P^+ 불순물 영역을 형성하는 단계
를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 8

삭제

청구항 9

제7 항에 있어서,

상기 진성 폴리실리콘막은 플라즈마 강화 화학 기상 증착에 의해 비정질 실리콘막을 증착하고 어닐링하여 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 10

제7 항에 있어서,

상기 게이트 절연막은 실리콘 질화물과 실리콘 산화물을 순차적으로 증착하여 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제1 도전형 MOS 박막 트랜지스터가 형성되는 제1 영역, 상기 제1 도전형과 반대의 제2 도전형 MOS 박막 트랜지스터가 형성되는 제2 영역 및 저장 캐패시터가 형성되는 제3 영역이 정의된 기판을 준비하는 단계;

상기 기판 위에 10^8 내지 10^{11} Ω의 저항을 가지는 진성 폴리실리콘막을 형성하는 단계;

상기 진성 폴리실리콘막을 패터닝하여 상기 제1 영역 및 상기 제2 영역에 제1 및 제2 액티브층을 각각 형성하고 상기 제3 영역에 제1 전극을 형성하는 단계;

상기 제1 및 제2 액티브층과 상기 제1 전극을 덮도록 상기 기판의 전면 위에 게이트 절연막을 형성하는 단계;

상기 제1 및 제2 액티브층 위의 상기 게이트 절연막에 제1 및 제2 게이트 전극을 각각 형성하고 상기 제1 전극 위에 제2 전극을 형성하는 단계;

상기 제1 게이트 전극에 의해 노출된 부분의 상기 제1 액티브층에 상기 제1 도전형 불순물 영역을 형성하는 단계; 및

상기 제2 전극에 의해 노출된 부분의 상기 제2 액티브층에 상기 제2 도전형 불순물 영역을 형성하는 단계
를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 12

삭제

청구항 13

제11 항에 있어서,

상기 진성 폴리실리콘막은 플라즈마 강화 화학 기상 증착에 의해 비정질 실리콘막을 증착하고 열처리하여 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 14

제11 항에 있어서,

상기 게이트 절연막은 실리콘 질화물과 실리콘 산화물을 순차적으로 증착하여 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제11 항에 있어서,

상기 제1 도전형이 N형이면 상기 제2 도전형은 P형이고, 상기 제1 도전형이 P형이면 상기 제2 도전형은 N형인 유기 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 저장 캐패시터를 구비한 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.
- <7> 유기 발광 표시 장치(organic light emitting display) 및 액정 표시 장치(liquid crystal display)와 같은 표시 장치는 큰 부피와 고전압을 필요로 하는 음극선관과 달리 두께가 얕고 저전압으로 동작하는 장점이 있어 차세대 표시 장치로서 널리 사용되고 있다.
- <8> 특히, 유기 발광 표시 장치는 유기 물질에 양극(anode)과 음극(cathode)을 통하여 주입된 전자와 정공이 재결합(recombination)하여 여기자(exciton)을 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용한 자체 발광형 표시 장치이다. 따라서, 유기 발광 표시 장치는 백라이트와 같은 별도의 광원이 요구되지 않아 액정 표시 장치에 비해 소비 전력이 낮을 뿐만 아니라 광시야각 및 빠른 응답속도 확보가 용이하다는 장점이 있어 차세대 표시 장치로서 주목받고 있다.
- <9> 유기 발광 표시 장치는 구동 방식에 따라 수동 구동형(passive matrix type)과 능동 구동형(active matrix type)으로 구분되는데, 최근에는 낮은 소비 전력, 고정세, 빠른 응답 속도, 광시야각 및 박형화 구현이 가능한 능동 구동형이 주로 적용되고 있다.
- <10> 유기 발광 표시 장치는 기판에 화상 표현의 기본 단위인 화소(pixel)가 매트릭스 형태로 배열되고 각각의 화소마다 적(Red; R), 녹(G; Green), 청(Blue; B)을 내는 각각의 유기 물질로 이루어지는 발광층을 사이에 두고 양극의 제1 전극과 음극의 제2 전극이 순차적으로 형성된 발광 소자가 배치되는 구성을 갖는다.
- <11> 그리고, 능동 구동형 유기 발광 표시 장치는 각 화소마다 발광 소자에 접속하여 형성되는 박막 트랜지스터(thin film transistor; TFT, 이하 TFT라 칭함)와 저장 캐패시터를 더 구비하여 화소를 독립적으로 제어한다.
- <12> 저장 캐패시터는 통상적으로 TFT의 제조 시 동시에 형성할 수 있으며, 일례로 저장 캐패시터의 제1 전극과 제2 전극은 각각 TFT의 액티브층과 게이트 전극 형성 시 동시에 형성할 수 있다. 이때, 액티브층은 주로 기판 위에 비정질 실리콘막을 증착하고 이를 600°C 이하의 저온에서 결정화하여 형성된 폴리실리콘막으로 이루어지고, 저장 캐패시터의 제1 전극은 N⁺ 불순물이 도핑된 폴리실리콘막으로 이루어진다.
- <13> 그런데, 저장 캐패시터의 제1 전극이 N⁺ 불순물이 도핑된 폴리실리콘막으로 이루어지면, 기판 위에 P 채널 모스(p-channel MOS; PMOS, 이하 PMOS라 칭함) TFT 만을 형성할 때 N⁺ 불순물 도핑을 위한 별도의 도핑 마스크 공정이 부가되어야 하므로 공정이 복잡해지고 제조 비용이 높아지는 문제가 있다.
- <14> 또한, 기판 위에 상보형 모스(Complementary MOS; CMOS, 이하 CMOS 라 칭함) TFT를 형성할 때 N 채널 모스(n-channel MOS; 이하 NMOS라 칭함) TFT의 N⁺ 소오스 및 드레인 영역 형성 시 저장 캐패시터의 제1 전극에 N형 불순물을 동시에 도핑할 수 있다. 그러나, 이 경우 NMOS TFT의 소오스 및 드레인 영역 형성을 위한 N⁺ 불순물 도핑 공정과 제1 전극에 대한 N⁺ 불순물 도핑 공정을 게이트 전극을 형성하기 전에 수행하여야 하므로, 게이트 전극 형성 시 도핑된 N⁺ 불순물의 원치 않는 확산이 발생할 가능성이 높아 TFT의 특성 및 신뢰성 저하가 야기될 수 있다. 그 결과 유기 발광 표시 장치의 표시 품질이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

<15>

본 발명은 상술한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 저장 캐패시터 형성 공정을 단순화하고 소자의 특성 및 신뢰성을 개선할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

<16>

상술한 본 발명의 목적을 달성하기 위하여 본 발명은, 기판, 기판의 일 부분 위에 형성되고 게이트 절연막을 사이에 두고 배치되는 액티브층과 게이트 전극을 포함하는 박막 트랜지스터, 및 기판의 다른 부분 위에 형성되고 게이트 절연막을 사이에 두고 액티브층과 동일 평면 위에 배치되는 제1 전극과 게이트 전극과 동일 평면 위에 배치되는 제2 전극을 포함하는 저장 캐패시터를 포함하고, 액티브층과 제1 전극이 진성 폴리실리콘막으로 이루어지는 유기 발광 표시 장치를 제공한다.

<17>

여기서, 진성 폴리실리콘막은 10^8 내지 10^{11} Ω의 저항을 가질 수 있다.

<18>

또한, 박막 트랜지스터 위로 발광 소자가 더욱 형성될 수 있고, 발광 소자는 제1 전극, 유기 발광층 및 제2 전극이 순차적으로 적층된 구조로 이루어질 수 있다.

<19>

또한, 액티브층과 제1 전극이 각각 게이트 전극과 제2 전극 아래에 위치할 수 있다.

<20>

또한, 게이트 절연막은 실리콘 질화물과 실리콘 산화물이 순차적으로 적층된 구조로 이루어질 수 있다.

<21>

상기의 목적을 달성하기 위하여, 본 발명은 PMOS 박막 트랜지스터가 형성되는 제1 영역 및 저장 캐패시터가 형성되는 제2 영역이 정의된 기판을 준비하고, 기판 위에 진성 폴리실리콘막을 형성하고, 진성 폴리실리콘막을 패터닝하여 제1 영역 및 제2 영역에 액티브층을 형성하고 제2 영역에 제1 전극을 형성하고, 액티브층 및 제1 전극을 덮도록 기판의 전면 위에 게이트 절연막을 형성하고, 액티브층 위의 게이트 절연막에 게이트 전극을 형성하고 제1 전극 위에 제2 전극을 형성하고, 게이트 전극에 의해 노출된 부분의 액티브층에 P⁺ 불순물 영역을 형성하는 단계들을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.

<22>

상기의 목적을 달성하기 위하여 본 발명은, 제1 도전형 MOS 박막 트랜지스터가 형성되는 제1 영역, 제1 도전형과 반대의 제2 도전형 MOS 박막 트랜지스터가 형성되는 제2 영역 및 저장 캐패시터가 형성되는 제3 영역이 정의된 기판을 준비하고, 기판 위에 진성 폴리실리콘막을 형성하고, 진성 폴리실리콘막을 패터닝하여 제1 영역 및 제2 영역에 제1 및 제2 액티브층을 각각 형성하고 제3 영역에 제1 전극을 형성하고, 제1 및 제2 액티브층과 제1 전극을 덮도록 기판의 전면 위에 게이트 절연막을 형성하고, 제1 및 제2 액티브층 위의 게이트 절연막에 제1 및 제2 게이트 전극을 각각 형성하고 제1 전극 위에 제2 전극을 형성하고, 제1 게이트 전극에 의해 노출된 부분의 제1 액티브층에 제1 도전형 불순물 영역을 형성하고, 제2 전극에 의해 노출된 부분의 제2 액티브층에 제2 도전형 불순물 영역을 형성하는 단계들을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.

<23>

여기서, 진성 폴리실리콘막은 10^8 내지 10^{11} Ω의 저항을 가질 수 있다.

<24>

또한, 진성 폴리실리콘막은 플라즈마 강화 화학 기상 증착에 의해 비정질 실리콘막을 증착하고 어닐링하여 형성 할 수 있다.

<25>

또한, 게이트 절연막은 실리콘 질화물과 실리콘 산화물을 순차적으로 증착하여 형성할 수 있다.

<26>

또한, 제1 도전형이 N형이면 상기 제2 도전형은 P형이고, 제1 도전형이 P형이면 제2 도전형은 N형일 수 있다.

<27>

이하, 침부한 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

<28>

먼저, 도 1 및 도 2를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.

<29>

도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 도면이고, 도 2는 도 1의 화소(Pixel)를 나타낸 부분 단면도이다.

<30>

도 1을 참조하면, 기판(110)에 실제 발광 및 표시가 이루어지는 화소 영역(A1)이 형성되고, 화소 영역(A1) 주변으로 비화소 영역(A2)이 형성된다. 화소 영역(A1)에 화소(Pixel)가 매트릭스 형태로 배열되고, 비화소 영역(A2)에 화소(Pixel)의 스캔 라인(SL1)을 구동하는 스캔 라인 구동부(130)와 데이터 라인(DL1)을 구동하는 데이

터 라인 구동부(140)가 각각 형성된다.

<31> 기판(110)은 유리나 플라스틱과 같은 절연 재질 또는 스테인레스 스틸(stainless steel; SUS)과 같은 금속 재질로 이루어질 수 있으며, 금속 재질로 이루어지는 경우 기판(110) 위에 절연막을 더 형성할 수 있다.

<32> 일례로 화소(Pixel)는 2 개의 TFT(T1, T2), 1개의 저장 캐패시터(Cst) 및 발광 소자(L1)로 이루어질 수 있고, 이 중 TFT(T1, T2)는 PMOS TFT로 이루어질 수 있으나 화소(Pixel)를 이루는 TFT와 저장 캐패시터의 구성은 이에 한정되지 않는다.

<33> 화소(Pixel)에서 제1 TFT(T1)는 스캔 라인(SL1) 및 데이터 라인(DL1)에 각각 연결되어 스캔 라인(SL1)에서 입력되는 스위칭 전압에 따라 데이터 라인(DL1)에서 입력되는 데이터 전압을 제2 TFT(T2)로 전송하고, 저장 캐패시터(Cst)는 제1 TFT(T1) 및 전원 라인(VDD)에 각각 연결되어 제1 TFT(T1)로부터 전송되는 전압과 전원 라인(VD D)에 공급되는 전압의 차이에 해당하는 전압(Vgs)을 저장한다. 제2 TFT(T2)는 전원 라인(VDD) 및 저장 캐패시터(Cst)에 각각 연결되어 저장 캐패시터(Cst)에 저장된 전압(Vgs)과 문턱 전압(Vth)의 차이의 자승에 비례하는 출력 전류(I_d)를 발광 소자(L1)로 공급하며, 발광 소자(L1)가 출력 전류(I_d)에 의해 발광한다. 이때, 출력 전류(I_d)는 아래의 [수학식 1]로 나타낼 수 있으며 [수학식 1]에서 β 는 비례상수를 나타낸다.

수학식 1

$$I_d = (\beta / 2) \times (V_{gs} - V_{th})^2$$

<35> 도 2를 참조하여 화소(Pixel)의 TFT(T2), 저장 캐패시터(Cst) 및 발광 소자(L1)의 구성을 좀 더 상세히 살펴본다.

<36> 기판(110) 위에 베퍼층(120)이 형성되고, 베퍼층(120) 위로 소오스 및 드레인 영역(211, 212)과 이들 사이의 채널 영역(213)을 포함하는 액티브층(210)과 제1 전극(215)이 각각 형성된다. 액티브층(210)과 제1 전극(215)을 덮도록 기판(110)의 전면 위에 게이트 절연막(220)이 형성되고, 액티브층(210)의 채널 영역(213)에 대응하여 게이트 절연막(220) 위에 게이트 전극(230)이 형성된다. 제1 전극(215)에 대응하여 게이트 절연막(220) 위에 제2 전극(235)이 형성되어 저장 캐패시터(Cst)를 구성한다. 게이트 전극(230) 및 저장 캐패시터(Cst)를 덮도록 게이트 절연막(220) 위에 충간 절연막(240)이 형성된다. 충간 절연막(240) 위에 게이트 절연막(220) 및 충간 절연막(240)에 구비된 콘택홀(221, 241)(222, 242)을 통하여 소오스 및 드레인 영역(211, 212)과 전기적으로 연결되는 소오스 및 드레인 전극(251, 252)이 형성되어 TFT(T2)를 구성한다. 소오스 전극(251)은 충간 절연막(240)에 구비된 콘택홀(243)을 통하여 캐패시터(Cst)의 제2 전극(235)과도 전기적으로 연결된다.

<37> 여기서, 베퍼층(120)은 실리콘 질화물(SiN) 또는 실리콘 질화물(SiN)과 실리콘 산화물(SiO₂)의 적층 구조로 이루어질 수 있다.

<38> 액티브층(210)과 제1 전극(215)은 10^8 내지 10^{11} Ω의 저항을 가지는 진성(intrinsic) 폴리실리콘으로 이루어질 수 있고, 액티브층(210)의 소오스 및 드레인 영역(211, 212)은 P⁺ 불순물로 도핑될 수 있다.

<39> 상술한 범위의 저항을 가지는 진성 폴리실리콘은 단결정 실리콘과는 달리 실리콘 내 결정립계 및 계면에 존재하는 많은 결합들이 얇은 레벨의 에너지를 가지고 있어 적은 에너지만으로도 프리 캐리어(free carrier)로 작용할 수 있으므로 저장 캐패시터(Cst)의 제1 전극(215)으로 적용될 수 있다.

<40> 도 3은 고주파 영역, 일례로 주파수가 100kHz인 영역에서 저장 캐패시터(Cst)의 제1 전극(215)이 상술한 범위의 저항을 가지는 진성 폴리실리콘으로 이루어지는 본 실시예의 경우 나타나는 캐패시턴스(S1)와, 1MHz 이상의 고주파 영역으로 측정되는 캐패시턴스(S2)를 각각 나타낸 것으로, 본 실시예의 경우 반전된 캐패시턴스를 얻을 수 있음을 확인할 수 있다.

<41> 게이트 절연막(220)은 실리콘 질화물(SiN)과 실리콘 산화물(SiO₂)이 순차적으로 적층된 구조로 이루어질 수 있고, 이 경우 실리콘 질화물은 약 400Å 정도의 두께를 가질 수 있고 실리콘 산화물은 약 800Å 정도의 두께를 가질 수 있다.

<42> 게이트 전극(230)과 제2 전극(235)은 동일한 물질로 이루어질 수 있고, 일례로 MoW, Al, Cr, Al/Cr과 같은 금속으로 이루어질 수 있다.

- <43> 소오스 전극 및 드레인 전극(251, 252)은 Ti/Al, Ti/Al/Ti와 같은 금속으로 이루어질 수 있다.
- <44> 한편, TFT(T2)를 덮도록 층간 절연막(240) 위에 평탄화막(260)이 형성되고, 평탄화막(260) 위로 제1 전극(310), 유기 발광층(330) 및 제2 전극(340)이 순차적으로 적층된 구조로 이루어지는 발광 소자(L1)가 형성된다. 제1 전극(310)은 평탄화막(260)에 구비된 비아홀(261)을 통하여 TFT(T2)의 드레인 전극(252)과 전기적으로 연결된다.
- <45> 발광 소자(L1)의 제1 전극(310)은 화소 정의막(320)에 의해 인접 화소의 제1 전극(미도시)과 전기적으로 분리되며, 화소 정의막(320)에 구비된 개구부(321)를 통하여 유기 발광층(330)과 접촉한다.
- <46> 제1 전극(310) 및 제2 전극(320)은 각각 ITO(indium tin oxide), IZO(indium zinc oxide), Al, Mg-Ag, Ca, Ca/Ag, Ba 중의 하나 또는 그 이상의 물질로 이루어질 수 있다.
- <47> 유기 발광층(330)은 저분자 유기물 또는 고분자 유기물로 이루어질 수 있으며, 경우에 따라 정공 주입층(hole injection layer; HIL), 정공 수송층(hole transport layer; HTL), 전자 주입층(electron injection layer; EIL) 및 전자 수송층(electron transport layer; ETL)을 더 구비할 수 있다.
- <48> 또한, 도 1에 상세하게 도시되지는 않았지만, 비화소 영역(A2)의 스캔 라인 구동부(130)와 데이터 라인 구동부(140)는 각각 복수개의 PMOS TFT 또는 CMOS TFT로 이루어질 수 있다.
- <49> 다음으로, 도 4a 내지 도 4c를 참조하여 본 발명의 실시예에 따른 유기 발광 표시 장치를 제조하기 위한 제1 방법을 설명한다. 일례로 제1 방법은 기판(110)에 PMOS TFT만이 존재하는 경우의 제조 방법이며, 도 4a 내지 도 4c는 화소 영역(A1)의 저장 캐패시터 영역과 PMOS TFT 영역만을 나타낸다.
- <50> 도 4a를 참조하면, 기판(110) 위에 실리콘 질화물(SiN) 또는 실리콘 질화물(SiN)과 실리콘 산화물(SiO_2)의 적층 구조로 이루어지는 베퍼층(120)을 형성한다. 그 다음, 베퍼층(120) 위로 10^8 내지 $10^{11}\Omega$ 의 저항을 가지는 진성 폴리실리콘막을 형성하고 이를 패터닝하여 PMOS TFT 영역에 액티브층(210)을 형성하고 저장 캐패시터 영역에 제1 전극(215)을 형성한다.
- <51> 여기서, 진성 폴리실리콘막은 플라즈마 강화 화학기상증착(plasma enhanced chemical vapor deposition; PECVD, 이하 PECVD라 칭함)에 의해 베퍼층(120) 위로 비정질 실리콘막을 증착하고 이를 노(furnace) 공정이나 엑시머 레이저 어닐링(excimer laser annealing; ELA, 이하 ELA라 칭함) 등에 의해 열처리하여 형성할 수 있다. 이때, 베퍼층(120)에 의해 기판(110)에 존재하는 불순물들이 용출되어 비정질 실리콘으로 확산하는 것이 차단될 수 있다.
- <52> 그 다음, 액티브층(210)과 제1 전극(215)을 덮도록 기판(110)의 전면 위로 게이트 절연막(220)을 형성한다. 게이트 절연막(220)은 실리콘 질화물(SiN)과 실리콘 산화물(SiO_2)을 순차적으로 증착하여 형성할 수 있고, 이 경우 실리콘 질화물은 약 400\AA 정도의 두께로 증착하고 실리콘 산화물은 약 800\AA 정도의 두께로 증착할 수 있다.
- <53> 도 4b를 참조하면, 게이트 절연막(220) 위에 MoW, Al, Cr, Al/Cr과 같은 금속막을 증착하고 이를 패터닝하여, 액티브층(210)의 중앙 부분, 즉 채널 영역(213, 도 4c 참조)에 대응하는 게이트 전극(230)을 형성함과 동시에 제1 전극(215)에 대응하는 제2 전극(235)을 형성한다. 이로써 기판(100)의 화소 영역(A1)에 저장 캐패시터(Cst, 도 2 참조)가 형성된다.
- <54> 도 4c를 참조하면, 마스크 공정 및 이온 주입 공정에 의해 게이트 전극(230)에 의해 노출된 부분의 액티브층(210)에 P^+ 불순물을 도핑하여 P^+ 소오스 및 드레인 영역(211, 212)을 형성한다.
- <55> 그 후, 도시되지는 않았지만 공지된 방법에 의해 층간 절연막, 소오스 및 드레인 전극, 평탄화막, 화소 정의막 및 발광 소자 등을 형성한다.
- <56> 이와 같이 저장 캐패시터(Cst)의 제1 전극(215)을 진성 폴리실리콘으로 형성하면 제1 전극(215)에 대한 별도의 도핑 공정을 생략할 수 있어 유기 발광 표시 장치의 제조 공정을 단순화할 수 있다.
- <57> 다음으로, 도 5a 내지 도 5d를 참조하여 본 발명의 실시예에 따른 유기 발광 표시 장치를 제조하기 위한 제2 방법을 설명한다. 일례로 제2 방법은 기판(110)에 CMOS TFT가 존재하는 경우의 제조 방법이며, 도 5a 내지 도 5d는 화소 영역(A1)의 저장 캐패시터 영역 및 PMOS TFT 영역과 비화소 영역(A2)의 NMOS TFT 영역만을 나타낸다.

또한, 도 5a 내지 도 5d에서 도 4a 내지 도 4c와 동일한 구성 요소에 대해서는 동일한 도면 부호를 부여한다.

<58> 도 5a를 참조하면, 기판(110) 위에 실리콘 질화물(SiN) 또는 실리콘 질화물(SiN)과 실리콘 산화물(SiO₂)의 적층 구조로 이루어지는 베퍼층(120)을 형성한다. 그 다음, 베퍼층(120) 위로 10⁸ 내지 10¹¹Ω의 저항을 가지는 진성 폴리실리콘막을 형성하고 이를 패터닝하여 PMOS TFT 영역과 NMOS TFT 영역에 액티브층(210, 216)을 각각 형성하고 저장 캐패시터 영역에 제1 전극(215)을 형성한다.

<59> 여기서, 진성 폴리실리콘막은 상술한 제1 방법에서와 마찬가지로 통상의 PECVD에 의해 비정질 실리콘막을 증착하고 이를 노 공정이나 ELA 등에 의해 열처리하여 형성할 수 있고, 이때에도 베퍼층(120)에 의해 기판(110)에 존재하는 불순물들이 용출되어 비정질 실리콘으로 확산하는 것이 차단될 수 있다.

<60> 그 다음, 액티브층(210, 216)과 제1 전극(215)을 덮도록 기판(110)의 전면 위로 게이트 절연막(220)을 형성한다. 게이트 절연막(220)은 실리콘 질화물(SiN)과 실리콘 산화물(SiO₂)을 순차적으로 증착하여 형성할 수 있고, 이 경우 실리콘 질화물은 약 400Å 정도의 두께로 증착하고 실리콘 산화물은 약 800Å 정도의 두께로 증착할 수 있다.

<61> 도 5b를 참조하면, 게이트 절연막(220) 위에 MoW, Al, Cr, Al/Cr과 같은 금속막을 증착하고 이를 패터닝하여, 액티브층(210, 216)의 중앙 부분, 즉 채널 영역(213, 219, 도 4c 참조)에 대응하는 게이트 전극(230, 236)을 각각 형성함과 동시에 제1 전극(215)에 대응하는 제2 전극(235)을 형성한다. 이로써 기판(100)의 화소 영역(A1)에 저장 캐패시터(Cst, 도 2 참조)가 형성된다.

<62> 도 5c를 참조하면, 마스크 공정 및 이온 주입 공정에 의해 NMOS TFT 영역의 게이트 전극(216)에 의해 노출된 부분의 액티브층(216) 양 측 가장 자리에 N⁺ 불순물을 도핑하여 N⁺ 소오스 및 드레인 영역(217a, 217b)을 형성한다.

<63> 도 5d를 참조하면, 마스크 공정 및 이온 주입 공정에 의해 PMOS TFT 영역의 게이트 전극(230)에 의해 노출된 부분의 액티브층(210)에 P⁺ 불순물을 도핑하여 P⁺ 소오스 및 드레인 영역(211, 212)을 형성한다. 그 다음, 마스크 공정 및 이온 주입 공정에 의해 NMOS TFT 영역의 N⁺ 소오스 및 드레인 영역(217a, 217b) 내측에 LDD 영역(218a, 218b)을 형성한다.

<64> 본 실시예에서는 N⁺ 소오스 및 드레인 영역(217a, 217b)을 형성한 후 P⁺ 소오스 및 드레인 영역(211, 212)을 형성하였지만, P⁺ 소오스 및 드레인 영역(211, 212)을 형성한 후 N⁺ 소오스 및 드레인 영역(217a, 217b)을 형성할 수도 있다.

<65> 그 후, 공지된 방법에 의해 충간 절연막, 소오스 및 드레인 전극, 평탄화막, 화소 정의막 및 발광 소자 등을 형성한다.

<66> 이와 같이 저장 캐패시터(Cst)의 제1 전극(215)을 진성 폴리실리콘으로 형성하면 제1 전극(215)에 대한 별도의 도핑 공정을 생략할 수 있어, 기판(110)에 CMOS TFT가 존재하더라도 게이트 전극(230, 236)을 형성한 후 N⁺ 불순물 도핑을 수행할 수 있다. 따라서, 도핑된 N⁺ 불순물의 원치 않는 확산을 억제할 수 있어 TFT의 특성 및 신뢰성 저하를 방지할 수 있다.

<67> 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구 범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

발명의 효과

<68> 상술한 바와 같이 본 발명에 따른 유기 발광 표시 장치의 제조 방법은 저장 캐패시터의 제1 전극을 진성 폴리실리콘으로 형성하여 제1 전극에 대한 불순물 도핑 공정을 생략할 수 있다.

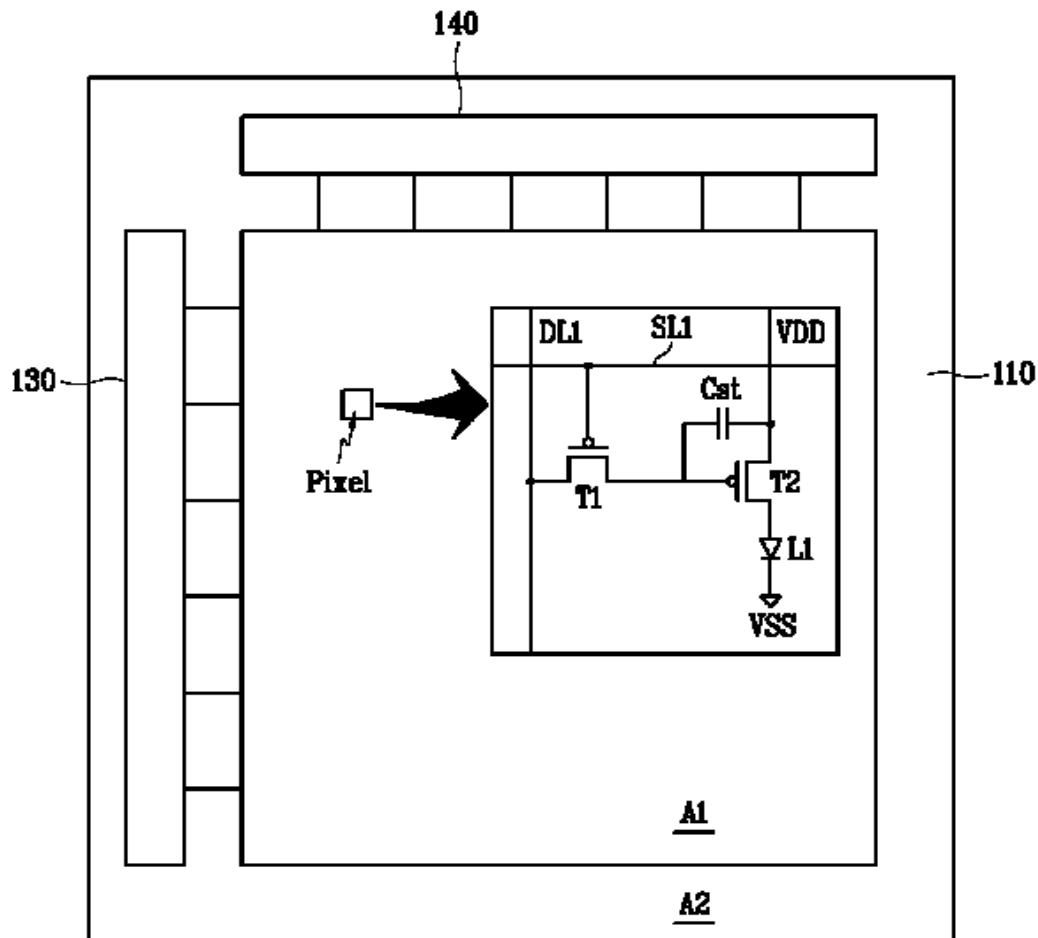
<69> 따라서, 저장 캐패시터 형성 공정을 단순화할 수 있고 TFT의 특성 및 신뢰성 저하를 방지할 수 있어 유기 발광 표시 장치의 표시 품질을 개선할 수 있다.

도면의 간단한 설명

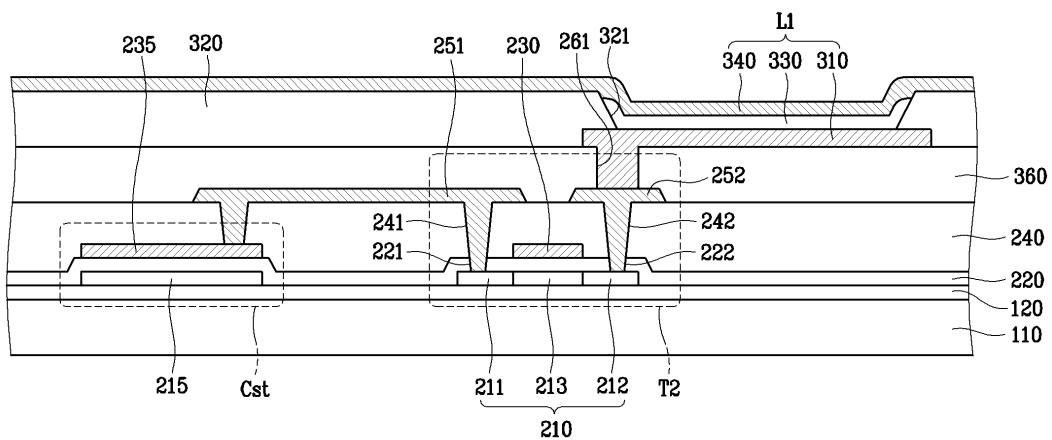
- <1> 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 도면이다.
- <2> 도 2는 도 1의 화소를 나타낸 부분 단면도이다.
- <3> 도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치를 이루는 저장 캐패시터의 캐패시턴스를 종래와 비교하여 나타낸 그라프이다.
- <4> 도 4a 내지 도 4c는 본 발명의 실시예에 따른 유기 발광 표시 장치를 제조하기 위한 제1 방법을 설명하기 위한 단면도이다.
- <5> 도 5a 내지 도 5d는 본 발명의 실시예에 따른 유기 발광 표시 장치를 제조하기 위한 제2 방법을 설명하기 위한 단면도이다.

도면

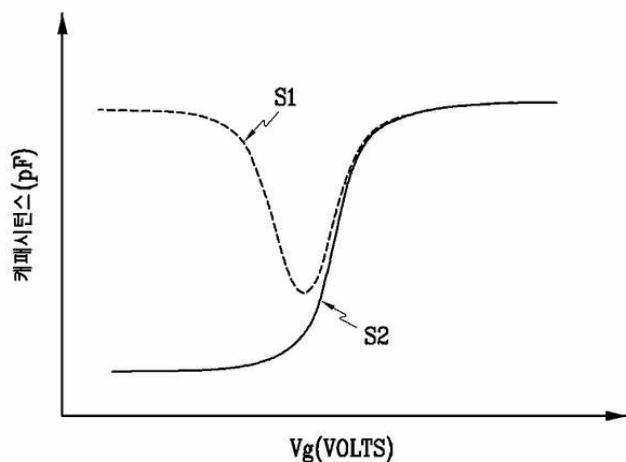
도면1



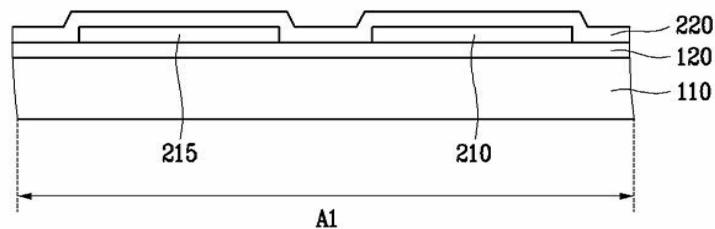
도면2



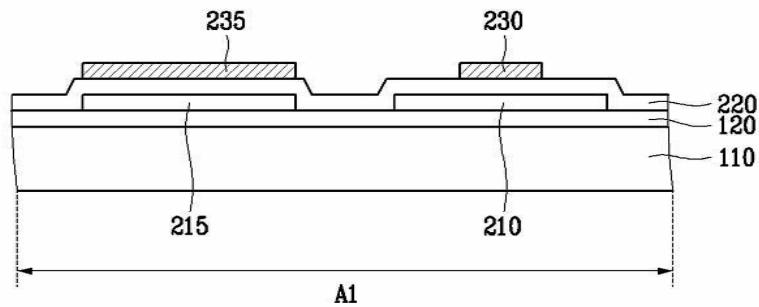
도면3



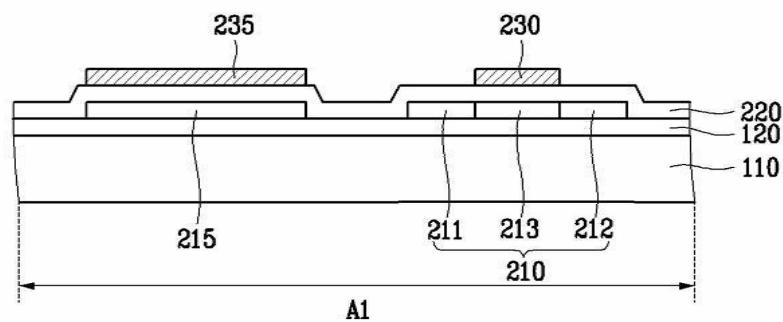
도면4a



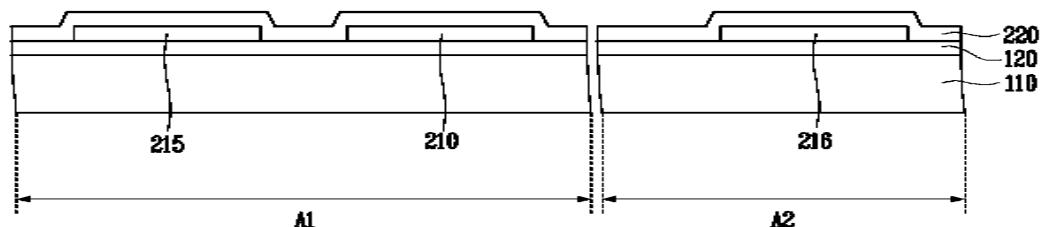
도면4b



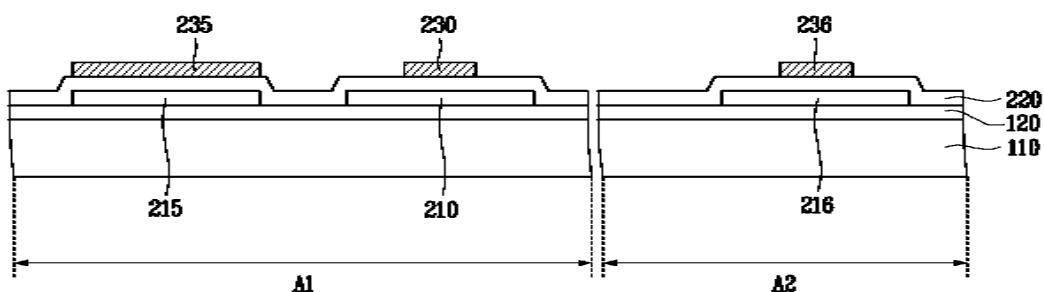
도면4c



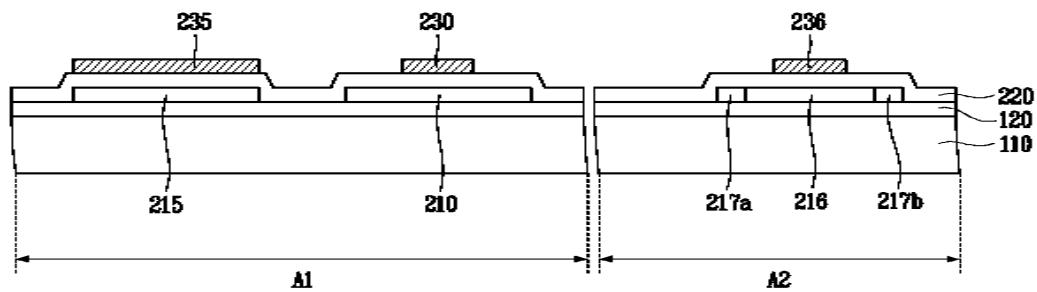
도면5a



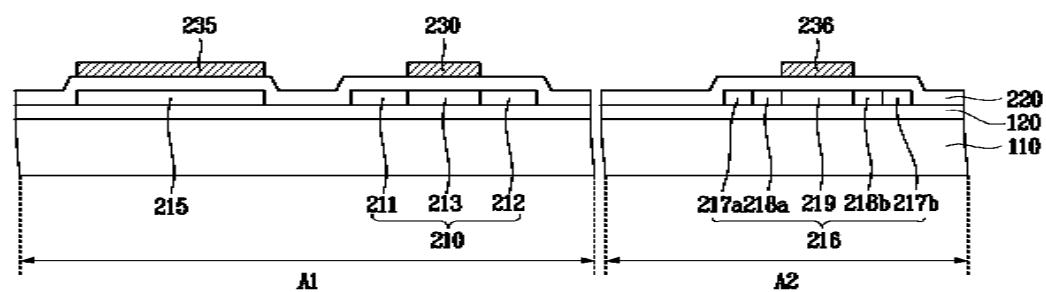
도면5b



도면5c



도면5d



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR100796654B1	公开(公告)日	2008-01-22
申请号	KR1020060049641	申请日	2006-06-02
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	HWANG EUI HOON 황의훈 CHOI WONG SIK 최웅식		
发明人	황의훈 최웅식		
IPC分类号	H05B33/08 H05B33/10		
CPC分类号	H01L27/3244 H01L51/56 H01L27/13 H01L27/3265 H01L27/1214 H01L27/12 H01L27/3262 H01L27/1255		
其他公开文献	KR1020070115355A		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示装置及其制造方法，其可以简化存储电容器形成工艺并改善器件特性和可靠性。根据本发明实施例的有机发光显示器包括基板，形成在基板的一部分上的薄膜晶体管，包括有源层的薄膜晶体管和设置在栅极绝缘膜和栅极绝缘膜之间的栅电极，并且存储电容器包括设置在与有源层相同的平面上的第一电极和设置在与栅电极相同的平面上的第二电极，其中有源层和第一电极由本征多晶硅膜形成。

