



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월26일
(11) 등록번호 10-0788545
(24) 등록일자 2007년12월17일

(51) Int. Cl.
H05B 33/10 (2006.01)
(21) 출원번호 10-2006-0138321
(22) 출원일자 2006년12월29일
심사청구일자 2006년12월29일
(56) 선행기술조사문헌
JP11168220 A
KR1019950021777 A
KR1019960009002 A
KR1020060086807 A

(73) 특허권자
삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자
양태훈
경기 용인시 기흥구 공세동 428-5
서진욱
경기 용인시 기흥구 공세동 428-5
(뒷면에 계속)
(74) 대리인
서경민, 서만규

전체 청구항 수 : 총 37 항

심사관 : 김창균

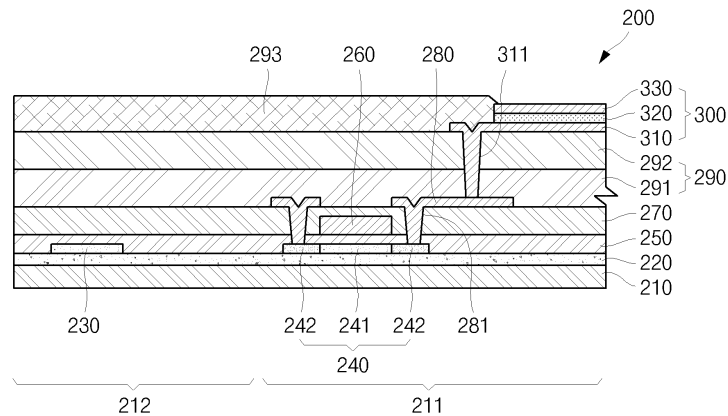
(54) 유기 전계 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것으로서, 해결하고자 하는 기술적 과제는 비표시 영역에 얼라인 마크를 형성하여 결정화 공정중 다결정 실리콘의 형성 위치를 정확하게 제어함은 물론 최적 특성의 액티브층을 형성하는데 있다.

이를 위해 본 발명은 표시 영역과 비표시 영역을 갖는 기판과, 기판 전체에 형성된 동시에 촉매 금속이 잔류하는 버퍼층과, 기판중 비표시 영역과 대응되는 버퍼층에 형성된 얼라인 마크와, 기판중 표시 영역과 대응되는 버퍼층에 형성된 액티브층과, 얼라인 마크 및 액티브층에 형성된 게이트 절연막과, 액티브층과 대응되는 게이트 절연막에 형성된 게이트 전극과, 게이트 전극에 형성된 층간 절연막과, 층간 절연막에 형성된 동시에, 액티브층과 전기적으로 연결된 소스/드레인 전극과, 소스/드레인 전극에 형성된 절연막과, 절연막에 형성된 동시에, 소스/드레인 전극에 전기적으로 연결된 유기 전계 발광 소자로 이루어진 유기 전계 발광 표시 장치를 개시한다.

대표도 - 도5a



(72) 발명자

박병진

경기 용인시 기흥구 공세동 428-5

이기용

경기 용인시 기흥구 공세동 428-5

정세환

경기 용인시 기흥구 공세동 428-5

특허청구의 범위

청구항 1

표시 영역과 비표시 영역을 갖는 기관;

상기 기관 전체에 형성된 동시에 촉매 금속이 잔류하는 버퍼층;

상기 기관중 상기 비표시 영역과 대응되는 버퍼층에 형성된 얼라인 마크;

상기 기관중 상기 표시 영역과 대응되는 버퍼층에 SGS 결정화법에 의해 형성된 액티브층;

상기 얼라인 마크 및 액티브층에 형성된 게이트 절연막;

상기 액티브층과 대응되는 게이트 절연막에 형성된 게이트 전극;

상기 게이트 전극에 형성된 층간 절연막;

상기 층간 절연막에 형성된 동시에, 상기 액티브층과 전기적으로 연결된 소스/드레인 전극;

상기 소스/드레인 전극에 형성된 절연막; 및,

상기 절연막에 형성된 동시에, 상기 소스/드레인 전극에 전기적으로 연결된 유기 전계 발광 소자를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 버퍼층에 잔류하는 촉매 금속의 체적 농도는 $2.0E18atoms/cm^3$ 이하인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3

제 1 항에 있어서, 상기 얼라인 마크 및 액티브층에도 촉매 금속이 잔류함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4

제 3 항에 있어서, 상기 얼라인 마크 및 액티브층에 잔류하는 촉매 금속의 체적 농도는 $1.0E16\sim 1.0E20atoms/cm^3$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제 1 항에 있어서, 상기 촉매 금속은 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd) 및 백금(Pt)중 선택된 어느 하나가 잔류함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

제 1 항에 있어서, 상기 액티브층은 SGS 결정화법으로 형성된 다결정 실리콘이고, 상기 다결정 실리콘에는 결정립 경계가 존재하지 않거나 적어도 하나의 결정립 경계가 존재함을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7

제 1 항에 있어서, 상기 얼라인 마크는 버퍼층 위에 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8

제 1 항에 있어서, 상기 얼라인 마크는 버퍼층 아래에 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9

제 1 항에 있어서, 상기 얼라인 마크는 도전체, 절연체, 비정질 실리콘, 마이크로 실리콘 및 다결정 실리콘중

선택된 어느 하나로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10

제 1 항에 있어서, 상기 얼라인 마크는 두께가 100~1000Å인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11

제 1 항에 있어서, 상기 얼라인 마크는 평면 형태가 삼각형, 사각형, 마름모형, 오각형 및 십자형중 선택된 어느 하나의 형태로 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12

제 1 항에 있어서, 상기 얼라인 마크는 면적이 $100\sim 900\mu\text{m}^2$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13

제 1 항에 있어서, 상기 얼라인 마크의 폭은 1~20 μm 인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 14

제 1 항에 있어서, 상기 액티브층, 게이트 절연막, 게이트 전극, 층간 절연막 및 소스/드레인 전극이 박막 트랜지스터를 이루며, 상기 박막 트랜지스터의 S-팩터는 평균이 0.44V/dev이고, 표준 편차가 0.01V/dev인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 15

제 1 항에 있어서, 상기 액티브층, 게이트 절연막, 게이트 전극, 층간 절연막 및 소스/드레인 전극이 박막 트랜지스터를 이루며, 상기 박막 트랜지스터의 오프 전류는 평균이 $1.20\text{E}-12\text{A}/\mu\text{m}$ 이고, 표준 편차가 $4.10\text{E}-13\text{A}/\mu\text{m}$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 16

제 1 항에 있어서, 상기 기판은 중앙에 표시 영역이 형성되고, 상기 표시 영역의 외주연에 비표시 영역이 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 17

제 1 항에 있어서, 상기 기판은 글래스, 플라스틱, 스테인레스 스틸 및 나노복합재료중 선택된 어느 하나인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 18

제 1 항에 있어서, 상기 얼라인 마크와 대응되는 게이트 절연막에는 층간 절연막이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 19

제 18 항에 있어서, 상기 얼라인 마크와 대응되는 층간 절연막에는 절연막이 더 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 20

제 1 항에 있어서, 상기 절연막은 보호막과 평탄화막으로 이루어지는 동시에, 상기 얼라인 마크와 대응되는 영역에도 형성된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 21

표시 영역이 구비되고, 상기 표시 영역의 외주연에 비표시 영역이 구비된 기판을 준비하는 단계;
상기 기판 전체에 버퍼층을 형성하는 단계;

상기 비표시 영역에 얼라인 마크를 형성하는 단계;

상기 버퍼층에 비정질 실리콘을 증착하는 단계;

상기 비정질 실리콘에 캡핑층을 형성하는 단계;

상기 캡핑층에 촉매 금속을 위치시킨 후 열처리하여, 상기 촉매 금속이 비정질 실리콘까지 확산한 후 시드로 작용하여 상기 비정질 실리콘이 다결정 실리콘이 되도록 하는 단계;

상기 다결정 실리콘을 이용하여 액티브층을 형성하는 단계; 및,

상기 액티브층에 전기적으로 연결되는 유기 전계 발광 소자를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 22

제 21 항에 있어서, 상기 캡핑층 형성 단계는

상기 얼라인 마크로부터 이격된 위치에 적어도 하나의 위치 제어용 개구를 갖는 확산 불가능막을 형성하는 단계; 및,

상기 위치 제어용 개구 및 확산 불가능막을 덮는 확산 가능막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 23

제 21 항에 있어서, 상기 액티브층 형성 단계는

상기 얼라인 마크로부터 이격된 위치에 액티브층이 형성됨을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 24

제 21 항에 있어서, 상기 다결정 실리콘의 형성 단계에서 이용된 촉매 금속은 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd) 및 백금(Pt) 중 선택된 어느 하나가 이용됨을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 25

제 21 항에 있어서, 상기 다결정 실리콘의 형성 단계에서 이용된 촉매 금속은 상기 버퍼층에 잔류함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 26

제 25 항에 있어서, 상기 버퍼층에 잔류하는 촉매 금속은 체적 농도가 $2.0E18atoms/cm^3$ 이하인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 27

제 21 항에 있어서, 상기 다결정 실리콘의 형성 단계에서 이용된 촉매 금속은 상기 얼라인 마크 및 액티브층중 적어도 어느 하나에 잔류함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 28

제 27 항에 있어서, 상기 얼라인 마크 및 액티브층에 잔류하는 촉매 금속은 체적 농도가 $1.0E16\sim 1.0E20atoms^3$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 29

제 21 항에 있어서, 상기 다결정 실리콘의 형성 단계에서 공급되는 열처리 온도는 400~700℃인 것을 특징으로

하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 30

제 21 항에 있어서, 상기 액티브층 형성 단계후에는 상기 액티브층을 제외한 비정질 실리콘을 제거하는 단계가 더 포함된 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 31

제 21 항에 있어서, 상기 얼라인 마크 형성 단계는 상기 얼라인 마크를 상기 버퍼층 위에 형성함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 32

제 21 항에 있어서, 상기 얼라인 마크 형성 단계는 상기 얼라인 마크를 버퍼층 아래에 형성함을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 33

제 21 항에 있어서, 상기 얼라인 마크 형성 단계는 상기 얼라인 마크가 도전체, 절연체, 비정질 실리콘, 마이크로 실리콘 및 다결정 실리콘중 선택된 어느 하나로 형성됨을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 34

제 21 항에 있어서, 상기 얼라인 마크 형성 단계에서 상기 얼라인 마크는 두께가 100~1000Å인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 35

제 21 항에 있어서, 상기 얼라인 마크 형성 단계에서 상기 얼라인 마크의 평면 형태는 삼각형, 사각형, 마름모형, 오각형 및 십자형중 선택된 어느 하나인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 36

제 21 항에 있어서, 상기 얼라인 마크 형성 단계에서 상기 얼라인 마크의 면적은 $100\sim 900\mu\text{m}^2$ 인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 37

제 21 항에 있어서, 상기 얼라인 마크 형성 단계에서 상기 얼라인 마크의 폭은 1~20 μm 인 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <22> 본 발명은 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것으로서, 보다 상세히는 기관의 일정 영역에 얼라인 마크를 형성하여 비정질 실리콘의 결정화 위치를 정밀하게 제어함은 물론, 최적 특성의 액티브층(박막 트랜지스터)을 형성할 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법에 관한 것이다.
- <23> 일반적으로 유기 전계 발광 소자는 애노드(anode)에 정공을 주입하고 캐소드(cathode)에 전자를 주입함으로써 형광 또는 인광 유기 화합물에서 전자와 정공이 결합하여 발광하는 장치이다.
- <24> 이러한 유기 전계 발광 소자는 도 1에 도시된 바와 같이 애노드 전극(ITO; Indium Tin Oxide), 유기 박막 및 캐소드 전극(Metal)을 기본 구조로 한다. 상기 유기 박막은 전자와 정공이 만나 여기자(exciton)를 형성하여 발광

하는 발광층(Emitting Layer, EML), 전자를 수송하는 전자 수송층(Electron Transport Layer, ETL), 정공을 수송하는 정공 수송층(Hole Transport Layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층의 일측면에는 전자를 주입하는 전자 주입층(Electron Injecting Layer, EIL)이 형성되고, 상기 정공 수송층의 일면에는 정공을 주입하는 정공 주입층(Hole Injecting Layer, HIL)이 더 형성될 수 있다.

<25> 이와 같은 유기 전계 발광 소자를 구동하는 방식으로서는 수동 매트릭스(passive matrix) 구동 방식과 능동 매트릭스(active matrix) 구동 방식이 알려져 있다. 상기 수동 매트릭스 구동 방식은 양극과 음극을 직교하도록 형성하고 라인(line)을 선택하여 구동함으로써 제작 공정이 단순하고 투자비가 적으나 대화면 구현시 전류 소모량이 많다는 단점이 있다. 상기 능동 매트릭스 구동 방식은 박막 트랜지스터와 같은 능동 소자 및 용량성 소자를 각 화소에 형성함으로써 전류 소모량이 적고 화질 및 수명이 우수하며 중대형까지 확대 가능하다는 장점이 있다.

<26> 한편, 이러한 유기 전계 발광 장치의 제조 방법은 크게 비정질 실리콘의 결정화 단계와, 액티브층(박막 트랜지스터) 제조 단계와, 유기 전계 발광 소자 제조 단계로 이루어질 수 있다. 물론, 이밖에도 봉지 단계 및 모듈 조립 단계 등이 있지만 이에 대해서는 설명을 생략하기로 한다.

<27> 상기 비정질 실리콘의 결정화 단계는 기판 세정 단계, 버퍼층 형성 단계, 비정질 실리콘 증착 단계 및 다결정 실리콘의 형성 단계 등으로 이루어진다.

<28> 또한, 상기 액티브층(박막 트랜지스터) 제조 단계는 상기 다결정 실리콘의 패터닝 단계, 게이트 절연막 형성 단계, 게이트 패터닝 단계, 이온 주입/활성화 단계, 층간 절연막 형성 단계, 컨택 형성 단계 및 소스/드레인 패터닝 단계 등으로 이루어진다. 물론, 이밖에도 절연막 및 비아(via) 형성 단계, ITO 형성 단계 및 화소 정의막(pixel define layer) 형성 단계 등이 추가적으로 더 수행된다.

<29> 더불어, 상기 유기 전계 발광 소자의 제조 단계는 세정 단계, 전처리 단계, 유기 전계 발광 소자 증착 단계 및 캐소드 증착 단계 등으로 이루어진다.

<30> 여기서, 상기 비정질 실리콘의 결정화 단계 및 액티브층(박막 트랜지스터)의 제조 단계는 소자의 특성 산포가 최소화되도록, 그 형성 위치를 정밀하게 제어함이 바람직하다.

<31> 예를 들면, 상기 비정질 실리콘의 결정화 단계에서는 다결정 실리콘의 결정립 경계(grain boundry)가 최대의 크기 및 균일한 방향성을 갖도록 그 형성 크기 및 방향 등을 정밀하게 제어함이 좋다. 또한, 상기 다결정 실리콘을 이용한 액티브층(박막 트랜지스터)의 제조 단계에서도 소스/드레인/게이트가 최적의 결정립 경계를 갖는 영역 및 방향에 위치하도록 정밀하게 위치 제어하여 형성(패터닝)함이 좋다. 더불어, 게이트 전극의 형성(패터닝)시에도 상술한 바와 같이 다결정 실리콘의 결정립 경계의 크기 및 방향을 고려하여 최적의 위치에 형성함이 좋다.

<32> 그러나, 지금까지 비정질 실리콘에서 다결정 실리콘으로 결정화하는 공정중 최적의 위치 및 방향을 선택하여 결정화하는 기술이 개발되거나 알려진바 없고, 또한 마찬가지로 액티브층(박막 트랜지스터)의 형성 공정에서도 최적의 위치 및 방향을 선택하여 형성하는 기술이 개발되거나 알려진바 없다. 즉, 유기 전계 발광 표시 장치에서는 액정 표시 장치와 달리 비정질 실리콘을 다결정 실리콘으로 결정화한 후, 액티브층(박막 트랜지스터)을 형성하는 것이 일반적인데 이때 다결정 실리콘 및 액티브층(박막 트랜지스터)의 형성 위치를 최적화 하는 기술이 아직 개발된 바 없다.

<33> 따라서, 이와 같이 정밀한 위치 및 방향 제어없이 다결정 실리콘 및 액티브층(박막 트랜지스터)이 형성되기 때문에, 최종적으로 제조된 박막 트랜지스터의 특성 예를 들면, 문턱 전압, S-팩터(S-factor), 오프 전류(off current) 및 이동도(mobility)가 박막 트랜지스터마다 상이하고, 이에 따라 박막 트랜지스터에 의해 제어된 전류로 동작하는 유기 전계 발광 소자의 휘도 역시 균일하지 않은 문제가 있다.

발명이 이루고자 하는 기술적 과제

<34> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명의 목적은 기관의 일정 영역에 얼라인 마크를 형성하여 비정질 실리콘의 결정화 위치를 정밀하게 제어함은 물론, 최적 특성의 액티브층(박막 트랜지스터)을 형성할 수 있는 유기 전계 발광 표시 장치 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

<35> 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치는 표시 영역과 비표시 영역을 갖는 기

관과, 상기 기관 전체에 형성된 동시에 촉매 금속이 잔류하는 버퍼층과, 상기 기관중 상기 비표시 영역과 대응되는 버퍼층에 형성된 얼라인 마크와, 상기 기관중 상기 표시 영역과 대응되는 버퍼층에 SGS 결정화법에 의해 형성된 액티브층과, 상기 얼라인 마크 및 액티브층에 형성된 게이트 절연막과, 상기 액티브층과 대응되는 게이트 절연막에 형성된 게이트 전극과, 상기 게이트 전극에 형성된 층간 절연막과, 상기 층간 절연막에 형성된 동시에, 상기 액티브층과 전기적으로 연결된 소스/드레인 전극과, 상기 소스/드레인 전극에 형성된 절연막과, 상기 절연막에 형성된 동시에, 상기 소스/드레인 전극에 전기적으로 연결된 유기 전계 발광 소자를 포함한다.

- <36> 상기 버퍼층에 잔류하는 촉매 금속의 체적 농도는 $2.0E18atoms/cm^3$ 이하일 수 있다.
- <37> 상기 얼라인 마크 및 액티브층에도 촉매 금속이 잔류할 수 있다.
- <38> 상기 얼라인 마크 및 액티브층에 잔류하는 촉매 금속의 체적 농도는 $1.0E16\sim 1.0E20atoms/cm^3$ 일 수 있다.
- <39> 상기 촉매 금속은 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd) 및 백금(Pt)중 선택된 어느 하나가 잔류할 수 있다.
- <40> 상기 액티브층은 SGS 결정화법으로 형성된 다결정 실리콘이고, 상기 다결정 실리콘에는 결정립 경계가 존재하지 않거나 적어도 하나의 결정립 경계가 존재할 수 있다.
- <41> 상기 얼라인 마크는 버퍼층 위에 형성될 수 있다.
- <42> 상기 얼라인 마크는 버퍼층 아래에 형성될 수 있다.
- <43> 상기 얼라인 마크는 도전체, 절연체, 비정질 실리콘, 마이크로 실리콘 및 다결정 실리콘중 선택된 어느 하나로 형성될 수 있다.
- <44> 상기 얼라인 마크는 두께가 $100\sim 1000\text{\AA}$ 일 수 있다.
- <45> 상기 얼라인 마크는 평면 형태가 삼각형, 사각형, 마름모형, 오각형 및 십자형중 선택된 어느 하나의 형태로 형성될 수 있다.
- <46> 상기 얼라인 마크는 면적이 $100\sim 900\mu m^2$ 일 수 있다.
- <47> 상기 얼라인 마크의 폭은 $1\sim 20\mu m$ 일 수 있다.
- <48> 상기 액티브층, 게이트 절연막, 게이트 전극, 층간 절연막 및 소스/드레인 전극이 박막 트랜지스터를 이루며, 상기 박막 트랜지스터의 S-팩터는 평균이 $0.44V/dev$ 이고, 표준 편차가 $0.01V/dev$ 일 수 있다.
- <49> 상기 액티브층, 게이트 절연막, 게이트 전극, 층간 절연막 및 소스/드레인 전극이 박막 트랜지스터를 이루며, 상기 박막 트랜지스터의 오프 전류는 평균이 $1.20E-12A/\mu m$ 이고, 표준 편차가 $4.10E-13A/\mu m$ 일 수 있다.
- <50> 상기 기관은 중앙에 표시 영역이 형성되고, 상기 표시 영역의 외주연에 비표시 영역이 형성될 수 있다.
- <51> 상기 기관은 글래스, 플라스틱, 스테인레스 스틸 및 나노복합재료중 선택된 어느 하나일 수 있다.
- <52> 상기 얼라인 마크와 대응되는 게이트 절연막에는 층간 절연막이 더 형성될 수 있다.
- <53> 상기 얼라인 마크와 대응되는 층간 절연막에는 절연막이 더 형성될 수 있다.
- <54> 상기 절연막은 보호막과 평탄화막으로 이루어지는 동시에, 상기 얼라인 마크와 대응되는 영역에도 형성될 수 있다.
- <55> 또한, 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치의 제조 방법은 표시 영역이 구비되고, 상기 표시 영역의 외주연에 비표시 영역이 구비된 기관을 준비하는 단계와, 상기 기관 전체에 버퍼층을 형성하는 단계와, 상기 비표시 영역에 얼라인 마크를 형성하는 단계와, 상기 버퍼층에 비정질 실리콘을 증착하는 단계와, 상기 비정질 실리콘에 캡핑층을 형성하는 단계와, 상기 캡핑층에 촉매 금속을 위치시킨 후 열처리하여, 상기 촉매 금속이 비정질 실리콘까지 확산한 후 시드로 작용하여 상기 비정질 실리콘이 다결정 실리콘이 되도록 하는 단계와, 상기 다결정 실리콘을 이용하여 액티브층을 형성하는 단계와, 상기 액티브층에 전기적으로 연결되는 유기 전계 발광 소자를 형성하는 단계를 포함한다.
- <56> 상기 캡핑층 형성 단계는 상기 얼라인 마크로부터 이격된 위치에 적어도 하나의 위치 제어용 개구를 갖는 확산

불가능막을 형성하는 단계와, 상기 위치 제어용 개구 및 확산 불가능막을 덮는 확산 가능막을 형성하는 단계를 포함한다.

- <57> 상기 액티브층 형성 단계는 상기 얼라인 마크로부터 이격된 위치에 액티브층이 형성될 수 있다.
- <58> 상기 다결정 실리콘의 형성 단계에서 이용된 촉매 금속은 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd) 및 백금(Pt) 중 선택된 어느 하나가 이용될 수 있다.
- <59> 상기 다결정 실리콘의 형성 단계에서 이용된 촉매 금속은 상기 버퍼층에 잔류할 수 있다.
- <60> 상기 버퍼층에 잔류하는 촉매 금속은 체적 농도가 $2.0E18atoms/cm^3$ 이하일 수 있다.
- <61> 상기 다결정 실리콘의 형성 단계에서 이용된 촉매 금속은 상기 얼라인 마크 및 액티브층중 적어도 어느 하나에 잔류할 수 있다.
- <62> 상기 얼라인 마크 및 액티브층에 잔류하는 촉매 금속은 체적 농도가 $1.0E16\sim 1.0E20atom^3$ 일 수 있다.
- <63> 상기 다결정 실리콘의 형성 단계에서 공급되는 열처리 온도는 $400\sim 700^{\circ}C$ 일 수 있다.
- <64> 상기 액티브층 형성 단계후에는 상기 액티브층을 제외한 비정질 실리콘을 제거하는 단계가 더 포함될 수 있다.
- <65> 상기 얼라인 마크 형성 단계는 상기 얼라인 마크를 상기 버퍼층 위에 형성할 수 있다.
- <66> 상기 얼라인 마크 형성 단계는 상기 얼라인 마크를 버퍼층 아래에 형성할 수 있다.
- <67> 상기 얼라인 마크 형성 단계는 상기 얼라인 마크가 도전체, 절연체, 비정질 실리콘, 마이크로 실리콘 및 다결정 실리콘중 선택된 어느 하나로 형성될 수 있다.
- <68> 상기 얼라인 마크 형성 단계에서 상기 얼라인 마크는 두께가 $100\sim 1000\text{\AA}$ 일 수 있다.
- <69> 상기 얼라인 마크 형성 단계에서 상기 얼라인 마크의 평면 형태는 삼각형, 사각형, 마름모형, 오각형 및 십자형 중 선택된 어느 하나일 수 있다.
- <70> 상기 얼라인 마크 형성 단계에서 상기 얼라인 마크의 면적은 $100\sim 900\mu m^2$ 일 수 있다.
- <71> 상기 얼라인 마크 형성 단계에서 상기 얼라인 마크의 폭은 $1\sim 20\mu m$ 일 수 있다.
- <72> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치 및 그 제조 방법은 기관중 비표시 영역에 얼라인 마크를 형성함으로써, 상기 얼라인 마크를 이용하여 최적 위치의 다결정 실리콘 및 액티브층(박막 트랜지스터)을 형성할 수 있게 된다.
- <73> 즉, 상기 얼라인 마크를 이용하여 가장 양호한 크기, 방향 및 위치의 결정립 경계를 갖는 다결정 실리콘을 형성하고, 이러한 다결정 실리콘을 이용하여 최적의 위치에서 액티브층(박막 트랜지스터)을 형성함으로써, 소자간 특성 산포를 현저하게 개선할 수 있게 된다.
- <74> 일례로, 상기와 같은 방법에 의해 형성된 본 발명의 박막 트랜지스터는 S-팩터가 평균 $0.44V/dev$ 이고, 표준 편차가 $0.01V/dev$ 일 수 있다. 또한, 본 발명의 박막 트랜지스터는 오프 전류가 평균 $1.20E-12A/\mu m$ 이고, 표준 편차가 $4.10E-13A/\mu m$ 일 수 있다.
- <75> 더불어, 상기와 같은 방법에 의해 형성된 박막 트랜지스터들에 전기적으로 연결된 유기 전계 발광 소자들 역시 패널의 크기가 커진다고 해도 휘도가 균일해진다.
- <76> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <77> 도 2를 참조하면, 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 일례가 개략 평면도로서 도시되어 있다.
- <78> 도 2에 도시된 바와 같이, 본 발명에 따른 유기 전계 발광 표시 장치(100)는 표시 영역(111)과 비표시 영역(112)을 갖는 기관(110)과, 상기 기관(110)의 표시 영역(111)에 형성되는 적어도 하나의 화소 영역(120)과, 상기 기관(110)의 비표시 영역(112)에 형성되는 적어도 하나의 얼라인 마크(130)를 포함한다. 여기서, 상기 화소

영역(120) 및 얼라인 마크(130)는 기관(110)의 면적에 비해 실제로 상당히 작은 크기를 갖지만, 본 발명의 이해를 위해 과장되게 확대 도시되어 있다.

- <79> 상기 기관(110)에는 데이터 구동부(140), 주사 구동부(150) 및 발광 제어 구동부(160)가 전기적으로 더 연결될 수 있다. 또한, 상기 기관(110)은 통상적으로 유기 전계 발광 표시 패널로 볼 수도 있으나, 여기서는 설명의 편의상 기관(110)으로 정의한다.
- <80> 상기 기관(110)은 대략 사각 형상의 표시 영역(111)과, 상기 표시 영역(111)의 둘레에 사각 띠 모양으로 형성된 비표시 영역(112)으로 구분할 수 있다. 상기 표시 영역(111)에는 세로 방향으로 다수의 데이터선(D1~Dm)이 형성되고, 가로 방향으로 다수의 주사선(S1~Sn) 및 발광 제어선(E1~En)이 형성될 수 있다. 여기서, 상기 표시 영역(111)에는 상기 발광 제어선(E1~En)외에도 부발광 제어선(E1B~EnB)이 더 형성될 수 있다.
- <81> 상기 화소 영역(120)은 상기 기관(110)중 표시 영역(111)으로서 상기 데이터선(D1~Dm), 주사선(S1~Sn) 및 발광 제어선(E1~En) 등의 상호 교차 영역에 형성될 수 있다. 이러한 화소 영역(120)은 트랜지스터, 용량성 소자 및 유기 전계 발광 소자에 의해 형성될 수 있다. 상기 화소 영역(120)에 대해서는 아래에서 좀더 구체적으로 설명한다.
- <82> 상기 얼라인 마크(130)는 상기 기관(110)중 비표시 영역(112)에 적어도 하나가 형성될 수 있다. 이러한 얼라인 마크(130)는 아래에서 상세히 설명하겠지만 비정질 실리콘의 결정화 공정중 그것의 위치 제어용으로 이용되고, 또한 최적 특성의 액티브층(박막 트랜지스터) 형성을 위한 위치 제어용으로 이용된다. 물론, 이밖에도 게이트 전극, 데이터선, 주사선, 발광 제어선 및 유기 전계 발광 소자 등의 형성시 위치 제어용으로 이용될 수 있다. 또한 상기 얼라인 마크(130)는 통상의 도전체, 절연체, 비정질 실리콘, 마이크로 실리콘 및 다결정 실리콘중 선택된 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 상기 얼라인 마크(130)는 상,하,좌,우 대칭 또는 상,하,좌,우 비대칭 형태로 형성될 수 있으며, 개수는 1~20개 사이로 형성될 수 있다. 그러나, 여기서 상기 얼라인 마크(130)의 위치 및 개수를 한정하는 것은 아니다.
- <83> 한편, 상기 데이터 구동부(140)는 다수의 데이터선(D1, ..., Dm)을 통하여 상기 기관(110)중 표시 영역(111)의 화소 영역(120)에 데이터 신호를 공급하는 역할을 한다. 상기 주사 구동부(150)는 다수의 주사선(S1, ..., Sn)을 통하여 상기 기관(110)중 표시 영역(111)의 화소 영역(120)에 주사 신호를 순차적으로 공급하는 역할을 한다. 상기 발광 제어 구동부(160)는 다수의 발광 제어선(E1, ..., En)을 통하여 상기 기관(110)중 표시 영역(111)의 화소 영역(120)에 발광 제어 신호를 순차적으로 공급하는 역할을 한다.
- <84> 더불어, 상기 데이터 구동부(140), 주사 구동부(150) 및 발광 제어 구동부(160)는 상기 기관(110)에 모두 형성될 수 있다. 예를 들면, 상기 구동부(140, 150, 160)들은 집적회로 형태로 기관(110)중 비표시 영역(112)에 형성될 수 있다. 더욱이, 상기 구동부(140, 150, 160)들은 데이터선(D1, ..., Dm), 주사선(S1, ..., Sn), 발광 제어선(E1, ..., En) 및 화소 영역(120)의 트랜지스터(도시되지 않음)를 형성하는 층과 동일 층에 형성될 수도 있다. 물론, 상기 구동부(140, 150, 160)들은 상기 기관(110)과 별도의 다른 기관에 형성되고, 이를 상기 기관(110)에 전기적으로 연결할 수도 있다. 더불어, 상기 구동부(140, 150, 160)들은 상기 기관(110)에 전기적으로 연결하는 TCP(Tape Carrier Package), FPC(Flexible Printed Circuit), TAB(Tape Automatic Bonding), COG(Chip On Glass) 및 그 등가물중 선택된 어느 하나의 형태로 형성할 수 있으며, 본 발명에서 상기 구동부들의 형태 및 형성 위치 등을 한정하는 것은 아니다.
- <85> 도 3a 내지 도 3f를 참조하면, 도 2에 도시된 얼라인 마크의 가능한 여러 가지 다른 모양이 확대 평면도로 도시되어 있다.
- <86> 도 3a 내지 도 3f에 도시된 바와 같이, 상기 얼라인 마크는 대략 삼각형(130_a)(도 3a), 사각형(130_b)(도 3b), 마름모형(130_c)(도 3c), 오각형(130_d)(도 3d), 십자형(130_e)(도 3e), "ㄴ"자형(130_f)(도 3f) 및 그 등가 형태중 선택된 어느 하나 또는 그 혼합 형태로 형성될 수 있다. 그러나, 여기서 상기 얼라인 마크(130)의 형태 또는 모양을 한정하는 것은 아니며, 이밖에도 다양한 형태 또는 모양이 가능하다.
- <87> 또한, 상기 얼라인 마크(130)는 면적이 대략 $100\sim 900\mu\text{m}^2$ 가 되도록 형성함이 바람직하다. 즉, 상기 얼라인 마크(130)의 크기가 $100\mu\text{m}^2$ 이하이면, 현미경으로 관측 및 관찰하기 어렵고, 또한 상기 얼라인 마크(130)의 크기가 $900\mu\text{m}^2$ 이상이면, 결정화 공정이나 액티브층의 형성 공정에서 위치 제어용으로 이용하기에 너무 큰 문제가 있다.
- <88> 더불어, 이러한 얼라인 마크의 모양은 매우 다양하게 변경 가능하므로, 어떠한 모양을 갖는다고 해도 그 폭은 대략 $20\mu\text{m}$ 또는 그 이하로 형성함이 가장 바람직하다. 즉, 상기 얼라인 마크의 폭이 대략 $20\mu\text{m}$ 이상이 되면, 얼

라인 마크의 위치를 한정하는데 있어 오차가 너무 커지기 때문에, 얼라인 마크의 기능을 상실한다. 물론, 상기 얼라인 마크의 폭은 현미경으로 관찰 가능하다면 대략 1~20 μ m 범위도 괜찮다.

- <89> 도 4를 참조하면, 유기 전계 발광 표시 장치중 화소 영역에 형성된 화소 회로의 일례가 도시되어 있다.
- <90> 도 4에 도시된 바와 같이 화소 회로는 데이터 신호를 공급하는 데이터선(Dm), 주사 신호를 공급하는 주사선(Sn), 제1전원전압을 공급하는 제1전원전압선(VDD), 제2전원전압을 공급하는 제2전원전압선(VSS), 발광 제어 신호를 공급하는 발광 제어선(En), 부발광 제어 신호를 공급하는 부발광 제어선(EnB), 제1트랜지스터 내지 제4트랜지스터(T1,T2,T3,T4), 제1,2용량성 소자(C1,C2) 및 유기 전계 발광 소자(OLED)로 이루어져 있다. 여기서, 상기 제1전원전압선(VDD)의 전압은 상기 제2전원전압선(VSS)의 전압에 비해 상대적으로 높은 레벨이다. 여기서, 상기 발광 제어 신호는 오토 제로(auto zero) 신호로 불려지기도 하며, 상기 부발광 제어 신호는 부오토 제로(auto zero bar) 신호로 불려지기도 한다.
- <91> 이러한 화소 회로는 제3트랜지스터(T3)의 제어 전극에 발광 제어선(En)으로부터 로우 레벨의 발광 제어 신호가 공급되면 상기 제3트랜지스터(T3)가 턴온된다. 이어서, 제4트랜지스터(T4)의 제어 전극에 부발광 제어선(EnB)으로부터 하이 레벨의 부발광 제어 신호가 공급되면 상기 제4트랜지스터(T4)가 턴오프된다. 그러면, 상기 제1트랜지스터(T1)는 다이오드 형태로 연결되면서 제1용량성 소자(C1)에 상기 제1트랜지스터(T1)의 문턱 전압이 저장된다. 다시 상기 발광 제어 신호가 하이 레벨이 되고, 이어서 데이터선(Dm)으로부터 표시하고자 하는 계조에 상응하는 데이터 전압이 인가되면, 상기 제1용량성 소자(C1)와 제2용량성 소자(C2)의 커플링 비(coupling ratio)에 의하여 문턱 전압이 보상된 형태의 데이터 전압이 제1트랜지스터(T1)의 제어 전극에 공급된다. 이어서 상기 부발광 제어 신호가 로우 레벨이 되면, 제1전원전압선(VDD)으로부터의 전류가 상기 데이터 전압에 의해 전류를 제어하는 제1트랜지스터(T1)를 통하여 유기 전계 발광 소자(OLED)로 흘러 발광이 이루어진다.
- <92> 도 5a 및 도 5b는 얼라인 마크와 화소 회로 사이의 관계를 도시한 유기 전계 발광 표시 장치의 단면도이다.
- <93> 도 5a에 도시된 바와 같이 본 발명에 의한 유기 전계 발광 표시 장치(200)는 기판(210), 버퍼층(220), 얼라인 마크(230), 액티브층(240), 게이트 절연막(250), 게이트 전극(260), 층간 절연막(270), 소스/드레인 전극(280), 절연막(290) 및 유기 전계 발광 소자(300)를 포함한다.
- <94> 상기 기판(210)은 상면과 하면이 대략 평평하며, 상면과 하면 사이의 두께는 대략 0.05~1mm 정도로 형성될 수 있다. 상기 기판(210)의 두께가 대략 0.05mm 이하인 경우에는 공정중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 또한 외력에 약한 단점이 있다. 또한, 상기 기판(210)의 두께가 대략 1mm 이상인 경우에는 최근의 슬림화 추세에 있는 각종 표시 장치에 적용하기 곤란하다. 또한, 상기 기판(210)은 통상의 글래스, 플라스틱, 스테인레스 스틸, 나노복합재료 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 이러한 재질로 본 발명을 한정하는 것은 아니다. 한편, 도면에서 상기 기판(210)은 표시 영역(211)과 비표시 영역(212)으로 구분 표시되어 있다. 상술한 바와 같이 상기 기판(210)중 표시 영역(211)에는 액티브층(240)이나 유기 전계 발광 소자(300) 등을 갖는 화소 영역이 형성되고, 상기 비표시 영역(212)에는 얼라인 마크(230) 및 각종 구동부(140,150,160 도 2 참조)들이 형성될 수 있다.
- <95> 상기 버퍼층(220)은 상기 기판(210)의 상면으로서 상기 표시 영역(211) 및 비표시 영역(212)에 모두 형성될 수 있다. 이러한 버퍼층(220)은 얼라인 마크(230) 및 액티브층(240) 또는 유기 전계 발광 소자(300)쪽으로 습기(H₂O), 수소(H₂) 또는 산소(O₂) 등이 상기 기판(210)을 관통하여 침투하지 않도록 하는 역할을 한다. 이를 위해, 상기 버퍼층(220)은 반도체 공정중 쉽게 형성할 수 있는 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄), 무기막 및 그 등가물중 선택된 적어도 어느 하나로 형성할 수 있으나, 이러한 재질로 본 발명을 한정하는 것은 아니다. 물론, 이러한 버퍼층(220)은 경우에 따라 형성하지 않을 수도 있다.
- <96> 여기서, 상기 버퍼층(220)에는 촉매 금속이 잔류할 수 있다. 이러한 촉매 금속은 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd), 백금(Pt) 및 그 등가물중 선택된 어느 하나일 수 있으며, 여기서 그 종류를 한정하는 것은 아니다. 이러한 촉매 금속은 아래에서 상세히 설명하겠지만 비정질 실리콘을 다결정 실리콘으로 결정화하는 공정중 형성된 것이다. 또한, 이러한 촉매 금속은 체적 농도가 2.0E18atoms/cm³ 이하가 되도록 제어함이 바람직하다. 즉, 상기 촉매 금속의 체적 농도가 2.0E18atoms/cm³ 이상일 경우에는 누설 전류가 흐를 수 있어 바람직하지 않다. 물론, 상기 촉매 금속의 체적 농도는 작으면 작을 수록 액티브층의 전기적 특성이 향상될 수 있다.

- <97> 상기 얼라인 마크(230)는 상기 기판(210)중 비표시 영역(212)과 대응되는 버퍼층(220)의 상면에 형성될 수 있다. 이러한, 얼라인 마크(230)는 상술한 바와 같이 도전체, 절연체, 비정질 실리콘, 마이크로 실리콘, 다결정 실리콘, 유기물 및 그 등가물중 선택된 어느 하나일 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 더불어, 상기 얼라인 마크(230)는 두께가 대략 100~1000Å로 형성함이 바람직하다. 상기 얼라인 마크(230)의 두께가 대략 100Å 이하일 경우에는 충분히 불투명하지 않아서 현미경으로 파악되지 않을 수 있고, 상기 두께가 대략 1000Å 이상일 경우에는 충분히 현미경으로 파악되는데 불필요하게 두께가 두꺼워지는 문제가 있다. 또한, 도 5a에서는 얼라인 마크(230)가 버퍼층(220) 위에 형성된 것으로 도시하였으나, 본 발명은 도 5b에 도시된 바와 같이 얼라인 마크(230a)가 버퍼층(220) 아래에 형성되도록 하는 것도 가능하다. 즉, 도 5b에 도시된 바와 같이 기판(210) 위에 얼라인 마크(230a)를 형성하고, 그 위에 다시 버퍼층(220)을 형성하는 것도 가능하다. 더욱이, 얼라인 마크는 비록 도면에 도시하지는 않았지만 기판(210)의 표면에 레이저나 화학적 식각 등의 방법으로 형성할 수도 있다. 즉, 본 발명에서 가장 중요한 점은 상기 얼라인 마크가 어느 층이 되었던간에 비정질 실리콘의 결정화 공정 이전에 형성되면 된다는 것이다.
- <98> 더불어, 비록 도 5a에 도시하지는 않았지만 상기 얼라인 마크(230)의 평면 형태는 상술한 바와 같이 삼각형, 사각형, 마름모형, 오각형, 십자형, "ㄴ"형 및 그 등가형중 선택된 어느 하나 또는 혼합 형태가 가능하다. 그러나, 여기서 상기 얼라인 마크(230)의 평면 형태를 한정하는 것은 아니다.(이러한 얼라인 마크의 평면 형태는 도 3a 내지 도 3f 참조)
- <99> 또한, 상기 얼라인 마크(230)는 평면 면적을 대략 $100\sim 900\mu\text{m}^2$ 로 형성함이 바람직하다. 실질적으로 상기 얼라인 마크(230)는 면적이 $100\mu\text{m}^2$ 이하일 경우에는 현미경으로 관측하기 어려워 얼라인 마크로 이용하기 어렵고, 면적이 $900\mu\text{m}^2$ 이상일 경우에는 과도하게 커서 얼라인 마크로 이용하기 어렵다.
- <100> 또한, 이러한 얼라인 마크의 모양은 매우 다양하게 변경 가능하므로, 어떠한 모양을 갖는다고 해도 그 폭은 대략 $20\mu\text{m}$ 또는 그 이하로 형성함이 가장 바람직하다. 즉, 상기 얼라인 마크의 폭이 대략 $20\mu\text{m}$ 이상이 되면, 얼라인 마크의 위치를 한정하는데 있어 오차가 너무 커지기 때문에, 얼라인 마크의 기능을 상실한다. 물론, 상기 얼라인 마크의 폭은 현미경으로 관찰 가능하다면 대략 $1\sim 20\mu\text{m}$ 범위도 괜찮다.
- <101> 더불어, 이러한 얼라인 마크(230)에도 촉매 금속이 잔류할 수 있다. 특히, 상기 얼라인 마크가 도전체가 아닌 절연체, 비정질 실리콘, 마이크로 실리콘, 다결정 실리콘 및 유기물 등일 때, 촉매 금속이 잔류할 수 있다.
- <102> 이러한 촉매 금속은 상술한 바와 같이 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd), 백금(Pt) 및 그 등가물중 선택된 어느 하나일 수 있으며, 여기서 그 종류를 한정하는 것은 아니다. 이러한 촉매 금속은 아래에서 상세히 설명하겠지만 비정질 실리콘을 다결정 실리콘으로 결정화하는 공정중 형성된 것이다.
- <103> 상기 액티브층(240)은 상기 기판(210)중 표시 영역(211)과 대응되는 상기 버퍼층(220)의 상면에 형성될 수 있다. 물론, 상기 액티브층(240)은 상기 얼라인 마크(230)와 일정 거리 이격되어 있다. 상기 액티브층(240)은 채널 영역(241)과, 상기 채널 영역(241)의 양측에 형성된 소스/드레인 영역(242)으로 이루어질 수 있다. 이러한 액티브층(240)은 비정질 실리콘, 마이크로 실리콘(비정질 실리콘과 다결정 실리콘 사이의 그레인 사이즈(grain size)를 갖는 실리콘), 다결정 실리콘, 유기물 및 그 등가물중 선택된 어느 하나일 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 또한, 이러한 액티브층(240)은 박막 트랜지스터로 이용될 수 있다. 상기 박막 트랜지스터가 다결정 실리콘 박막 트랜지스터일 경우, 상기 다결정 실리콘 박막 트랜지스터는 저온에서, 레이저를 이용하여 결정화는 방법, 금속을 이용하여 결정화하는 방법, 금속 및 캡핑층을 이용하여 결정화하는 방법(SGS 결정화 방법) 및 그 등가 방법중 선택된 어느 하나의 방법으로 형성된 것일 수 있으나, 본 발명에서 상기 다결정 실리콘의 결정화 방법을 한정하는 것은 아니다. 상기 레이저를 이용하여 결정화하는 방법은 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), TDX(Thin Beam Direction Crystallization) 등의 방식 가능하나 이러한 방법으로 본 발명을 한정하는 것은 아니다. 또한, 금속을 이용하여 결정화하는 방법은 SPC(Solid Phases Crystallization), MIC(Metal Induced Crystallization), MILC(Metal Induced Lateral Crystallization) 등이 가능하나 이러한 방법을 본 발명을 한정하는 것은 아니다. 또한 금속과 캡핑층을 이용하여 결정화하는 방법은 SGS(Super Grained Silicon) 등이 가능하나 이러한 방식으로 본 발명을 한정하는 것은 아니다. 물론, 상기 박막 트랜지스터는 PMOS, NMOS 및 그 등가 형태중 선택된 적어도 어느 하나일 수 있으나, 본 발명에서 상기 박막 트랜지스터의 도전 형태를 한정하는 것도 아니다.
- <104> 또한, 이러한 액티브층(240)에도 촉매 금속이 잔류할 수 있다. 특히, 상기 액티브층이 비정질 실리콘, 마이크로

실리콘, 다결정 실리콘 또는 유기물 등일 때, 촉매 금속이 잔류할 수 있다.

- <105> 이러한 촉매 금속은 상술한 바와 같이 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd), 백금(Pt) 및 그 등가물중 선택된 어느 하나일 수 있으며, 여기서 그 종류를 한정하는 것은 아니다. 이러한 촉매 금속은 아래에서 상세히 설명하겠지만 비정질 실리콘을 다결정 실리콘으로 결정화하는 공정중 형성된 것이다.
- <106> 상기 얼라인 마크 및 액티브층에 잔류하는 촉매 금속은 대략 비슷한 체적 농도를 가질 수 있다. 특히 상기 얼라인 마크가 액티브층처럼 버퍼층 위에 형성될 경우에는, 상기 얼라인 마크 및 액티브층에 잔류하는 촉매 금속의 농도가 거의 같다. 실제로, 상기 얼라인 마크가 버퍼층 위에 존재할 경우 상기 얼라인 마크 및 액티브층에 잔류하는 촉매 금속은 대략 $1.0E16 \sim 1.0E20 \text{atoms/cm}^3$ 의 체적 농도로 잔류할 수 있다. 상기 촉매 금속의 체적 농도가 $1.0E20 \text{atoms/cm}^3$ 이상일 경우에는 액티브층 등에서 누설 전류가 발생할 수 있기 때문에 바람직하지 않다. 물론, 가장 바람직한 경우는 상기 액티브층 및 얼라인 마크에서 촉매 금속이 전혀 잔류하지 않는 경우이나 이는 SGS 결정화법을 이용하는 한 현실적으로 어렵다.
- <107> 여기서, 상기 SGS 결정화법이라 함은 상술한 바와 같이 비정질 실리콘에 금속 촉매의 확산 또는 침투를 조절하는 캡핑층과 금속 촉매를 형성한 후, 열처리 하여 상기 비정질 실리콘의 결정립 크기가 비교적 큰 다결정 실리콘으로 형성하는 결정화법을 의미한다. 물론, 이러한 SGS 결정화법에 의해 상기 액티브층이 형성된다면 그것에는 결정립 경계가 존재하지 않거나 또는 적어도 하나의 결정립 경계가 존재한다. 물론, 상기 얼라인 마크가 액티브층과 같이 다결정 실리콘으로 형성될 경우에는, 상기 얼라인 마크에도 결정립 경계가 존재하지 않거나 또는 적어도 하나가 존재할 수 있다.
- <108> 상기 게이트 절연막(250)은 상기 얼라인 마크(230) 및 액티브층(240)의 상면에 형성될 수 있다. 물론, 이러한 게이트 절연막(250)은 상기 얼라인 마크(230) 및 액티브층(240)의 외주연인 버퍼층(220) 위에도 형성될 수 있다. 또한, 상기 게이트 절연막(250)은 반도체 공정중 쉽게 얻을 수 있는 실리콘 산화막, 실리콘 질화막, 무기막 또는 그 등가물중 선택된 적어도 어느 하나로 형성할 수 있으며, 여기서 그 재질을 한정하는 것은 아니다.
- <109> 상기 게이트 전극(260)은 상기 게이트 절연막(250)의 상면에 형성될 수 있다. 좀더 구체적으로, 상기 게이트 전극(260)은 상기 액티브층(240)중 채널 영역(241)과 대응되는 게이트 절연막(250) 위에 형성될 수 있다. 주지된 바와 같이 이러한 게이트 전극(260)은 상기 게이트 절연막(250)의 하부 채널 영역(241)에 전계를 인가함으로써, 상기 채널 영역(241)에 정공 또는 전자의 채널이 형성되도록 한다. 또한, 상기 게이트 전극(260)은 통상의 금속(Mo, MoW, Ti, Cu, Al, AlNd, Cr, Mo 합금, Cu 합금, Al 합금 등), 도핑된 다결정 실리콘 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.
- <110> 상기 층간 절연막(270)은 상기 게이트 전극(260)의 상면에 형성될 수 있다. 물론, 이러한 층간 절연막(270)은 상기 게이트 전극(260)의 외주연인 게이트 절연막(250) 위에도 형성될 수 있다. 더욱이, 이러한 층간 절연막(270)은 상기 얼라인 마크(230)와 대응되는 게이트 절연막(250) 위에도 형성될 수 있다. 더불어, 상기 층간 절연막(270)은 폴리머 계열, 플라스틱 계열, 유리 계열 및 그 등가 계열중 선택된 어느 하나로 형성될 수 있으나 여기서 상기 층간 절연막(270)의 재질을 한정하는 것은 아니다.
- <111> 상기 소스/드레인 전극(280)은 상기 층간 절연막(270)의 상면에 형성될 수 있다. 물론, 상기 소스/드레인 전극(280)과 액티브층(240) 사이에는 층간 절연막(270)을 관통하는 도전성 컨택(281)(electrically conductive contact)이 형성될 수 있다. 즉, 상기 도전성 컨택(281)에 의해 상기 액티브층(240)중 소스/드레인 영역(242)과 소스/드레인 전극(280)이 상호 전기적으로 연결된다. 더불어, 상기 소스/드레인 전극(280)은 상기 게이트 전극(260)과 같은 금속 재료로 형성될 수 있으며, 여기서 그 재질을 한정하는 것은 아니다. 한편, 상기와 같은 액티브층(240)(즉, 박막 트랜지스터)은 통상 동일 평면 구조(coplanar structure)로 정의될 수 있다. 그러나, 본 발명에 개시된 액티브층(240)은 동일 평면 구조로만 한정되는 것은 아니고, 지금까지 알려진 모든 박막 트랜지스터의 구조 예를 들면, 반전 동일 평면 구조(inverted coplanar structure), 지그재그형 구조(staggered structure), 반전 지그재그형 구조(inverted staggered structure) 및 그 등가 구조중 선택된 적어도 어느 하나가 가능하며, 본 발명에서 상기 액티브층(240)의 구조를 한정하는 것은 아니다.
- <112> 상기 절연막(290)은 상기 소스/드레인 전극(280)의 상면에 형성될 수 있다. 물론, 이러한 절연막(290)은 상기 소스/드레인 전극(280)의 외주연인 층간 절연막(270)도 덮는다. 더욱이, 이러한 절연막(290)은 얼라인 마크(230)와 대응되는 층간 절연막(270) 위에도 형성된다. 상기 절연막(290)은 다시 보호막(291)과, 상기 보호막(291)의 상면에 형성된 평탄화막(292)을 포함하여 이루어질 수 있다. 상기 보호막(291)은 상기 소스/드레인 전

극(280) 및 층간 절연막(270)을 덮으며, 상기 소스/드레인 전극(280) 및 게이트 전극(260) 등을 보호하는 역할을 한다. 이러한 보호막(291)은 통상의 무기막 및 그 등가물중 선택된 어느 하나로 형성될 수 있으나, 본 발명에서 상기 보호막(291)의 재질을 한정하는 것은 아니다. 또한, 상기 평탄화막(292)은 상기 보호막(291)을 덮는다. 이러한 평탄화막(292)은 소자 전체의 표면을 평탄하게 해주는 것으로서 BCB(Benzo Cyclo Butene), 아크릴 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.

<113> 상기 유기 전계 발광 소자(300)는 상기 절연막(290)의 상면에 형성될 수 있다. 이러한 유기 전계 발광 소자(300)는 다시 애노드(310), 상기 애노드(310)의 상면에 형성된 유기 박막(320) 및 상기 유기 박막(320)의 상면에 형성된 캐소드(330)를 포함할 수 있다. 상기 애노드(310)는 ITO(Indium Tin Oxide), ITO(Indium Tin Oxide)/Ag, ITO(Indium Tin Oxide)/Ag/ITO(IZO:Indium Zinc Oxide) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 상기 애노드(310)의 재질을 한정하는 것은 아니다. 상기 ITO는 일함수가 균일하여 유기 전계 발광 박막에 대한 정공 주입 장벽이 작은 투명 도전막이고, 상기 Ag는 전면 발광 방식에서 특히 유기 박막(320)으로부터의 빛을 상면으로 반사시키는 막이다. 한편, 상기 유기 박막(320)은 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(emitting layer, EML), 전자의 이동 속도를 적절히 조절하는 전자 수송층(electron transport layer, ETL), 정공의 이동 속도를 적절히 조절하는 정공 수송층(hole transport layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층에는 전자의 주입 효율을 향상시키는 전자 주입층(electron injecting layer, EIL)이 형성되고, 상기 정공 수송층에는 정공의 주입 효율을 향상시키는 정공 주입층(hole injecting layer, HIL)이 더 형성될 수 있다. 더불어, 상기 캐소드(330)는 Al, MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나일 수 있으나 본 발명에서 상기 캐소드(330)의 재질을 한정하는 것은 아니다. 다만, 본 발명에서 전면 발광식을 택할 경우 상기 Al은 두께를 매우 얇게 해야 하는데, 그럴 경우 저항이 높아져 전자 주입 장벽이 커지는 단점이 있다. 상기 MgAg 합금은 상기 Al에 비해 전자 주입 장벽이 작고, 상기 MgCa 합금은 상기 MgAg 합금에 비해 전자 주입 장벽이 더 낮다. 그러나, 이러한 MgAg 합금 및 MgCa 합금은 주변 환경에 민감하고 산화되어 절연층을 형성할 수 있으므로 외부와의 차단을 완벽하게 해주어야 한다. 더불어, 상기 유기 전계 발광 소자(300)중 애노드(310)와 상기 소스/드레인 전극(280)은 상기 절연막(290)(보호막(291), 평탄화막(292))을 관통하여 형성된 도전성 비아(311)(electrically conductive via)에 의해 상호 전기적으로 연결될 수 있다. 한편, 여기에서 본 발명은 기판(210)의 상부 방향으로 발광하는 전면 발광 방식을 중심으로 설명했으나, 이에 한정되지 않고 기판(210)의 하부 방향으로 발광하는 배면 발광 방식 또는 기판(210)의 상부와 하부 방향으로 동시에 발광하는 양면 발광에도 모두 적용 가능하다.

<114> 한편, 본 발명은 상기 유기 전계 발광 소자(300)의 외주연인 절연막(290) 위에 화소 정의막(293)이 더 형성될 수 있다. 이러한 화소 정의막(293)은 적색 유기 전계 발광 소자, 녹색 유기 전계 발광 소자, 청색 유기 전계 발광 소자 사이의 경계를 명확히 해주어 화소 사이의 발광 경계 영역이 명확해지도록 한다. 또한, 이러한 화소 정의막(293)은 폴리이미드(polyimide) 및 그 등가물중 선택된 적어도 어느 하나로 형성될 수 있으나, 여기서 상기 화소 정의막(293)의 재질을 한정하는 것은 아니다. 더불어, 이러한 화소 정의막(293)은 상기 얼라인 마크(230)와 대응되는 절연막(290) 위에도 형성될 수 있으나, 경우에 따라서는 생략될 수도 있다.

<115> 도 6을 참조하면, 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법이 순서도로서 도시되어 있다.

<116> 도 6에 도시된 바와 같이, 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법은 표시 영역과 비표시 영역을 갖는 기판을 준비하는 기판 준비 단계(S1), 버퍼층 형성 단계(S2), 얼라인 마크 형성 단계(S3), 비정질 실리콘 증착 단계(S4), 캡핑층 형성 단계(S5), 액티브층 형성 단계(S6), 캡핑층 제거 단계(S7), 박막 트랜지스터 형성 단계(S8) 및 유기 전계 발광 소자 형성 단계(S9)를 포함한다.

<117> 도 7a 내지 도 7i를 참조하면, 본 발명에 따른 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법이 단면도로서 도시되어 있다. 상기 도 6 및 도 7a 내지 도 7i를 함께 참조하여 본 발명에 의한 얼라인 마크를 갖는 유기 전계 발광 표시 장치의 제조 방법을 설명한다.

<118> 도 6 및 도 7a에 도시된 바와 같이 상기 기판 준비 단계(S1)에서는, 상면과 하면이 대략 평평하고 일정 두께를 갖는 기판(210)을 제공한다.

<119> 상기 기판(210)은 통상의 글래스, 플라스틱, 스테인레스 스틸, 나노 복합재료 및 그 등가물중 선택된 어느 하나로 준비할 수 있으나, 본 발명에서 상기 기판(210)의 재질이나 종류를 한정하는 것은 아니다. 또한, 상기 기판(210)은 두께가 대략 0.05~1mm 정도인 것을 준비함이 좋다. 상기 기판(210)의 두께가 대략 0.05mm 이하인 경우에는 제조 공정중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 취급이 어려우며 또한 외력에 파손되기

쉬운 단점이 있다. 또한, 상기 기관(210)의 두께가 대략 1mm 이상인 경우에는 최근의 슬림화 추세에 있는 각종 표시 장치에 적용하기 곤란한 단점이 있다. 여기서, 상기 기관(210)은 추후 표시 영역(211)과 비표시 영역(212)으로 구분될 수 있다. 상기 표시 영역(211)은 회로와 유기 전계 발광 소자(300) 등으로 화소 영역이 형성될 영역이고, 상기 비표시 영역(212)은 얼라인 마크(230) 등이 형성될 영역이다.

<120> 도 6 및 도 7b에 도시된 바와 같이 상기 버퍼층 형성 단계(S2)에서는 상기 기관(210)의 상면에 일정 두께의 버퍼층(220)을 형성한다. 즉, 상기 기관(210)중 표시 영역(211)과 비표시 영역(212)에 모두 일정 두께의 버퍼층(220)을 형성한다. 이러한 버퍼층(220)은 실리콘 산화막, 실리콘 질화막, 무기막 및 그 등가물중 선택된 적어도 어느 하나를 이용하여 형성할 수 있으나, 여기서 그 재질을 한정하는 것은 아니다. 상기 버퍼층(220)은 수분, 수소 또는 산소 등이 상기 기관(210)을 통하여 얼라인 마크(230), 액티브층(240) 또는 유기 전계 발광 소자(300) 등에 침투되지 않도록 하는 역할을 한다. 물론, 이러한 버퍼층(220)은 그 표면에 얼라인 마크(230), 액티브층(240) 및 각종 막(layer)이 잘 형성되도록 도와주는 역할도 한다.

<121> 도 6 및 도 7c에 도시된 바와 같이 상기 얼라인 마크 형성 단계(S3)에서는 상기 버퍼층(220) 위에 소정 모양의 얼라인 마크(240)를 형성한다. 여기서, 상기 얼라인 마크(240)는 기관(210)중 표시 영역(211)이 아닌 비표시 영역(212)에 형성한다. 더불어, 상기 얼라인 마크(240)는 도전체, 절연체, 비정질 실리콘, 마이크로 실리콘, 다결정 실리콘, 유기물 또는 그 등가물중 선택된 어느 하나를 이용하여 형성한다. 여기서, 상기 얼라인 마크(230)는 버퍼층(220) 위에 형성되는 것을 예로 하였으나, 상기 얼라인 마크는 버퍼층 아래에 형성될 수도 있다. 즉, 기관(210)의 표면에 먼저 얼라인 마크를 형성하고, 그 위에 버퍼층을 형성할 수도 있다. 더욱이, 얼라인 마크는 기관의 표면에 레이저나 화학적 에칭 방법에 의해 형성할 수도 있다.

<122> 도 6 및 도 7d에 도시된 바와 같이 상기 비정질 실리콘 증착 단계(S4)에서는 상기 버퍼층(220)의 상면에 일정 두께의 비정질 실리콘(340)을 증착한다. 즉, 상기 기관(210)중 표시 영역(211)과 비표시 영역(212)에 모두 일정 두께의 비정질 실리콘(340)을 증착한다. 예를 들면, 상기 비정질 실리콘(340)은 PECVD(Plasma Enhanced Chemical Vapor Deposition), LPCVD(Low Pressure Chemical Vapor Deposition), 스퍼터링(sputtering) 및 그 등가 방식중 선택된 적어도 어느 하나의 방법으로 형성할 수 있으며, 여기서 상기 비정질 실리콘(340)의 형성 방법을 한정하는 것은 아니다.

<123> 도 6 및 도 7e에 도시된 바와 같이 상기 캡핑층 형성 단계(S5)에서는 확산 불가능막(351)과 확산 가능막(352)으로 이루어진 캡핑층(350)을 상기 비정질 실리콘(340)의 상면에 형성한다. 예를 들면, 상기 얼라인 마크(230)로부터 일정 거리 이격된 상기 표시 영역(211)의 버퍼층(220) 상면에 일정 크기의 위치 제어용 개구(353)를 갖는 확산 불가능막(351)을 형성하고, 이어서 상기 위치 제어용 개구(353) 및 상기 확산 불가능막(351)을 덮는 확산 가능막(352)을 형성한다.

<124> 여기서, 상기 확산 불가능막(351)은 실리콘 산화막 및 그 등가물중 선택된 어느 하나로 형성할 수 있으나 여기서 그 재질을 한정하는 것은 아니다. 또한, 상기 확산 가능막(352)은 실리콘 질화막 및 그 등가물중 선택된 어느 하나로 형성할 수 있으나 여기서 그 재질을 한정하는 것은 아니다.

<125> 한편, 상기 확산 불가능막(351)에 형성되는 위치 제어용 개구(353)는 기관(210)중 표시 영역(211)과 대응되는 영역에 적어도 하나를 형성한다. 물론, 상기 표시 영역(211)에 형성하는 위치 제어용 개구(353)에 의해 하기할 다결정 실리콘의 결정립 경계가 최대의 크기를 갖고 또한 방향이 균일해진다. 더불어, 이와 같이 표시 영역(211)에 형성하는 위치 제어용 개구(353)의 크기 및 위치는 만들고자 하는 액티브층(240) 즉, 박막 트랜지스터의 크기 및 위치에 따라 다양하게 설계하면 된다.

<126> 도 6 및 도 7f에 도시된 바와 같이 상기 액티브층 형성 단계(S6)에서는 기관(210)중 표시 영역(211)에 다결정 실리콘으로 액티브층(240)이 형성되도록 한다. 물론, 액티브층(240)을 형성하기 위해서는 몇가지 공정이 더 진행되어야 하지만 일단 표시 영역(211)에 형성되는 다결정 실리콘을 액티브층(240)으로 부르기로 한다.

<127> 여기서, 상기 캡핑층(350) 즉, 확산 가능막(352) 위에 촉매 금속(354)을 올려 놓은 상태에서 이를 소정 온도로 열처리하면, 상기 촉매 금속(354)이 캡핑층(350)중 위치 제어용 개구(353)를 통과하여 비정질 실리콘(340)의 계면에서 결정화 시드(seed)를 형성하면서, 거대 결정립 경계를 갖는 다결정 실리콘이 형성된다.

<128> 더불어, 여기서 상기 캡핑층(350) 위에 올라가는 촉매 금속(354)은 대략 $1.0E18 \sim 1.0E22 \text{ atoms/cm}^3$ 의 체적 농도로 형성할 수 있다. 상기 촉매 금속의 체적 농도가 $1.0E18 \text{ atoms/cm}^3$ 이하일 경우에는 SGS 결정화법에 의한 결정화가 잘 이루어지지 않고, 상기 촉매 금속의 체적 농도가 $1.0E22 \text{ atoms/cm}^3$ 이상일 경우에는 얼라인 마크, 액티브층 및

버퍼층에 과도한 촉매 금속이 잔류하여 누설 전류가 증가하는 문제가 있다.

- <129> 상기 촉매 금속(354)은 예를 들면, 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 알루미늄(Al), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tr), 루테튬(Ru), 로듐(Rh), 카드뮴(Cd), 백금(Pt) 및 그 등가물중 선택된 어느 하나일 수 있으나, 여기서 그 재질을 한정하는 것은 아니다.
- <130> 또한, 상기 열처리 온도는 400~700℃로 조절함이 바람직하다. 상기 열처리 온도가 400℃ 이하일 경우에는 촉매 금속(354)에 의한 결정화가 제대로 수행되지 않고, 상기 열처리 온도가 700℃ 이상일 경우에는 기판(210)이 용융될 수 있다.
- <131> 이와 같은 공정에 의해, 실질적으로 상기 버퍼층(220), 얼라인 마크(230) 및 액티브층(240)에는 촉매 금속이 잔류하게 된다. 즉, 상기 촉매 금속이 액티브층(240) 뿐만 아니라 열처리 공정에 의해 상기 버퍼층(220) 또는 얼라인 마크(230)에도 확산되기 때문이다. 물론, 상기 버퍼층(220)에 잔류하는 촉매 금속은 누설 전류를 최소화하기 위해 체적 농도가 $2.0E18atoms/cm^3$ 이하가 되도록 제어한다.
- <132> 또한, 상기 얼라인 마크(230)가 상기 버퍼층(220) 아래에 존재할 경우에는 그것에 잔류하는 촉매 금속의 체적 농도가 $2.0E18atoms/cm^3$ 보다 훨씬 작은 값을 갖는다. 그러나, 상기 얼라인 마크(230)가 버퍼층(220) 위에 형성될 경우에는 그것에 잔류하는 촉매 금속의 농도는 액티브층(240)에 잔류하는 체적 농도와 거의 같다. 일례로, 상기 버퍼층(220) 위에 형성된 얼라인 마크(230) 및 액티브층(240)에 있어서, 그것에 잔류하는 촉매 금속의 체적 농도는 $1.0E16\sim 1.0E20atoms/cm^3$ 정도로 제어된다.
- <133> 한편, 상술한 바와 같이 얼라인 마크(230)를 이용하여 캡핑층(350)중 원하는 위치에 위치 제어용 개구(353)를 형성함으로써, 결국 원하는 위치에 원하는 결정립 경계 및 방향을 갖는 다결정 실리콘을 형성할 수 있게 된다. 물론, 이에 따라 상기 다결정 실리콘을 이용하여 박막 트랜지스터를 형성함으로써, 최적의 박막 트랜지스터를 제조하게 된다. 더불어, 이와 같은 결정화 방법을 SGS 결정화 방법이라 함은 상술한 바 있다.
- <134> 도 6 및 도 7g에 도시된 바와 같이 상기 캡핑층 제거 단계(S7)에서는, 상기 확산 불가능막(351) 및 확산 가능막(352)으로 이루어진 캡핑층(350)을 비정질 실리콘 및 다결정 실리콘으로부터 식각하여 제거한다.
- <135> 더불어, 이러한 캡핑층 제거 단계후에는 바로 패터닝(patterning) 단계를 수행할 수 있다. 즉, 비표시 영역(212) 및 표시 영역(211)에서 액티브층(240)으로 사용할 영역을 제외한 나머지 비정질 실리콘 또는 다결정 실리콘을 모두 식각하여 제거한다. 물론, 이러한 공정에서도 상기 얼라인 마크(230)를 이용하여 패터닝 위치를 결정함으로써, 최적의 영역을 액티브층으로 사용할 수 있게 된다.
- <136> 도 6 및 도 7g에 도시된 바와 같이 트랜지스터 형성 단계(S8)에서는, 상기 표시 영역(211)의 버퍼층(220) 위에 트랜지스터를 형성한다. 좀더 구체적으로, 상기 버퍼층(220) 위의 액티브층(240) 및 얼라인 마크(230) 위에 일정 두께의 게이트 절연막(250)을 공통적으로 형성한다. 이어서, 상기 액티브층(240)중 채널 영역(241)으로 이용할 영역과 대응되는 게이트 절연막(250) 위에 게이트 전극(260)을 형성한 후 패터닝한다. 마찬가지로, 이러한 공정에서도 상기 얼라인 마크(230)를 이용하여 게이트 전극의 패터닝 위치를 결정함으로써, 최적의 영역에 게이트 전극을 형성하게 된다.
- <137> 이어서, P형 불순물 또는 N형 불순물을 게이트 전극(260) 양측의 액티브층(240)에 이온주입하고 활성화시킴으로써, 소스/드레인 영역(242)이 형성되도록 한다. 이어서, 층간 절연막(270)을 형성한 후 콘택(281)을 형성하며, 마지막으로 상기 액티브층(240)중 소스/드레인 영역(242)과 전기적으로 연결되도록 소스/드레인 전극(280)을 형성한 후 패터닝한다. 이러한 공정에서도 상기 얼라인 마크(230)를 이용하여 소스/드레인 전극을 패터닝함으로써, 최적의 영역에 소스/드레인 전극을 형성하게 된다.
- <138> 더불어, 이러한 공정 이후에는 상기 소스/드레인 전극(280) 및 층간 절연막(270) 위에 절연막(290)을 형성한다. 상술한 바와 같이 이러한 절연막(290)은 보호막(291)과 평탄화막(292)으로 이루어질 수 있다. 상기 보호막(291)은 상기 소스/드레인 전극(280) 및 층간 절연막(270)을 덮는다. 상기 보호막(291)은 통상의 무기막 및 그 등가물중 선택된 적어도 어느 하나를 증착 또는 코팅하여 형성할 수 있다. 상기 평탄화막(292)은 소자 전체의 표면을 평탄하게 해주는 것으로서 BCB(Benzo Cyclo Butene), 아크릴 및 그 등가물중 선택된 적어도 어느 하나를 코팅 또는 증착하여 형성할 수 있다.
- <139> 한편, 상기 층간 절연막(270)과, 보호막(291) 및 평탄화막(292)으로 이루어진 절연막(290) 역시 상기 얼라인 마크(230)와 대응되는 비표시 영역(212)에 형성될 수 있음은 당연하다. 더불어, 이러한 공정 완료후에는 화소 정

의막(293)도 추가적으로 더 형성될 수 있으며, 이러한 화소 정의막(293) 역시 상기 얼라인 마크(230)와 대응되는 비표시 영역(212)에도 형성될 수 있다. 상기 화소 정의막(293)은 통상의 폴리이미드 및 그 등가물중 선택된 적어도 어느 하나를 코팅하거나 증착하여 형성한다. 물론, 이러한 코팅이나 증착후에는 통상의 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 상술한 유기 전계 발광 소자(300)가 외부로 노출 되도록 한다.

<140> 마지막으로 도 6 및 도 7i에 도시된 바와 같이 유기 전계 발광 소자 형성 단계(S9)에서는 상기 절연막(290) 위에 애노드(310), 유기 박막(320) 및 캐소드(330)를 순차적으로 형성한다. 상기 애노드(310)는 ITO(Indium Tin Oxide), ITO(Indium Tin Oxide)/Ag, ITO(Indium Tin Oxide)/Ag/ITO(IZO:Indium Zinc Oxide) 및 그 등가물중 선택된 어느 하나를 증착하여 형성할 수 있으나, 본 발명에서 상기 애노드(310)의 재질이나 형성 방법을 한정하는 것은 아니다. 일례로, 상기 애노드(310)는 RF 스퍼터링, DC 스퍼터링, 이온빔 스퍼터링 및 진공 증착 방법중 선택된 어느 하나의 방법으로 형성할 수 있다. 이후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 면적의 애노드(310)를 형성한다. 물론, 이때 상기 애노드(310)는 상기 절연막(290)을 관통하는 도전성 비아(311)를 통하여 상기 소스/드레인 전극(280)에 전기적으로 연결된다. 여기서, 상기 ITO는 일함수가 균일하여 유기 전계 발광 박막에 대한 정공 주입 장벽이 작은 투명 도전막 역할을 하고, 상기 Ag는 전면 발광 방식에서 특히 유기 전계 발광 박막으로터의 빛을 상면으로 반사시키는 역할을 한다. 상기 유기 전계 발광 박막은 주지된 바와 같이 정공의 주입 효율을 향상시키는 정공 주입층(hole injecting layer, HIL), 정공의 이동 속도를 적절히 조절하는 정공 수송층(hole transport layer, HTL), 전자와 정공이 만나 여기자(exciton)를 형성하여 발광하는 발광층(emitting layer, EML), 전자의 이동 속도를 적절히 조절하는 전자 수송층(electron transport layer, ETL), 전자의 주입 효율을 향상시키는 전자 주입층(electron injecting layer, EIL)을 순차적으로 형성하여 이루어질 수 있으나, 이러한 층 종류로 본 발명을 한정하는 것은 아니다. 일례로, 이러한 유기 박막(320)은 용액 상태로 도포하는 스핀 코팅, 딥 코팅, 스프레이법, 스크린 인쇄법, 잉크젯 프린팅법 등의 습식 코팅 방법으로 형성하거나, 또는 스퍼터링, 진공 증착 등의 건식 코팅 방법으로 형성할 수 있다. 상기 유기 박막(320)중 전자 주입층 표면에는 상기 캐소드(330)를 형성한다. 이러한 캐소드(330)는 Al, MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나를 증착하여 형성할 수 있으나, 본 발명에서 상기 캐소드(330)의 재질이나 형성 방법을 한정하는 것은 아니다. 일례로, 상기 캐소드(330)는 RF 스퍼터링, DC 스퍼터링, 이온빔 스퍼터링 및 진공 증착 방법중 선택된 어느 하나의 방법으로 형성될 수 있다. 이후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 면적의 캐소드(330)를 형성한다. 더불어, 본 발명에서 전면 발광식을 택할 경우 캐소드(330)로서 상기 Al을 사용하게 되면 빛 방출율을 크게 하기 위해 두께를 매우 얇게 해야 하는데, 그럴 경우 저항이 높아져 전자 주입 장벽이 커질 수 있다. 따라서, 이때에는 캐소드(330)로서 Al보다 전자 주입 장벽이 낮은 MgAg 합금, MgCa 합금 및 그 등가물중 선택된 적어도 어느 하나를 이용할 수 있다. 물론, 이밖에도 상기 캐소드(330)는 상기 ITO 및 IZO중 선택된 어느 하나로 형성할 수도 있다. 여기서, 상기 MgAg 합금 및 MgCa 합금은 주변 환경에 민감하고 산화되어 절연층을 형성할 수 있으므로 외부와의 차단을 완벽하게 해주어야 한다.

<141> 더불어, 인광형 유기 전계 발광 소자의 경우에는 정공 억제층(Hole Blocking Layer, HBL)이 발광층(EML)과 전자 수송층(ETL) 사이에 선택적으로 형성될 수 있으며, 전자 억제층(Electron Blocking Layer, EBL)이 발광층(EML)과 정공 수송층(HTL) 사이에 선택적으로 형성될 수 있다.

<142> 또한, 상기 유기 박막(194)은 두종류의 층을 혼합하여 그 두께를 더욱 감소시키는 슬림 유기 전계 발광 소자(Slim OLED)로 형성할 수도 있다. 예를 들면, 정공 주입층과 정공 수송층을 동시에 형성하는 정공 주입 수송층(Hole Injection Transport Layer, HITL) 구조 및 전자 주입층과 전자 수송층을 동시에 형성하는 전자 주입 수송층(Electron Injection Transport Layer, EITL) 구조를 선택적으로 형성할 수 있다. 상기과 같은 슬림 유기 전계 발광 소자는 발광 효율을 증가시키는데 그 사용의 목적이 있다.

<143> 또한, 상기 애노드와 발광층 사이에는 선택층으로서 버퍼층(Buffer Layer)을 형성할 수 있다. 상기 버퍼층은 전자를 버퍼링하는 전자 버퍼층(Electron Buffer Layer)과 정공을 버퍼링하는 정공 버퍼층(Hole Buffer Layer)으로 구분할 수 있다. 상기 전자 버퍼층은 캐소드와 전자 주입층(EIL) 사이에 선택적으로 형성할 수 있으며, 상기 전자 주입층(EIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기 박막(194)의 적층 구조는 발광층(EML)/전자 수송층(ETL)/전자 버퍼층(Electron Buffer Layer)/캐소드가 될 수 있다. 또한, 상기 정공 버퍼층은 애노드와 정공 주입층(HIL) 사이에 선택적으로 형성할 수 있으며, 정공 주입층(HIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기 박막(194)의 적층 구조는 애노드/정공 버퍼층(Hole Buffer Layer)/정공 수송층(HTL)/발광층(EML)이 될 수 있다.

<144> 상기 구조에 대하여 가능한 적층 구조를 기재하면 다음과 같다.

<145> a) 정상 적층 구조(Normal Stack Structure)

<146> 1) 애노드/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/캐소드

<147> 2) 애노드/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/캐소드

<148> 3) 애노드/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/캐소드

<149> 4) 애노드/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/캐소드

<150> 5) 애노드/정공 주입층/정공 버퍼층/정공 수송층/발광층/전자 수송층/전자 주입층/캐소드

<151> 6) 애노드/정공 주입층/정공 수송층/발광층/전자 수송층/전자 버퍼층/전자 주입층/캐소드

<152> b) 정상 슬림 구조(Normal Slim Structure)

<153> 1) 애노드/정공 주입 수송층/발광층/전자 수송층/전자 주입층/캐소드

<154> 2) 애노드/정공 버퍼층/정공 주입 수송층/발광층/전자 수송층/전자 주입층/캐소드

<155> 3) 애노드/정공 주입층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/캐소드

<156> 4) 애노드/정공 버퍼층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/캐소드

<157> 5) 애노드/정공 주입 수송층/정공 버퍼층/발광층/전자 수송층/전자 주입층/캐소드

<158> 6) 애노드/정공 주입층/정공 수송층/발광층/전자 버퍼층/전자 주입수송층/캐소드

<159> c) 역상 적층구조(Inverted Stack Structure)

<160> 1) 캐소드/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/애노드

<161> 2) 캐소드/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/정공 버퍼층/애노드

<162> 3) 캐소드/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/애노드

<163> 4) 캐소드/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/애노드

<164> 5) 캐소드/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/정공 주입층/애노드

<165> 6) 캐소드/전자 주입층/전자 버퍼층/전자 수송층/발광층/정공 수송층/정공 주입층/애노드

<166> d) 역상 슬림 구조 (Inverted Slim Structure)

<167> 1) 캐소드/전자 주입층/전자 수송층/발광층/정공 주입 수송층/애노드

<168> 2) 캐소드/전자 주입층/전자 수송층/발광층/정공 주입 수송층/정공 버퍼층/애노드

<169> 3) 캐소드/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 주입층/애노드

<170> 4) 캐소드/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 버퍼층/애노드

<171> 5) 캐소드/전자 주입층/전자 수송층/발광층/정공 버퍼층/정공 주입 수송층/애노드

<172> 6) 캐소드/전자 주입 수송층/전자 버퍼층/발광층/정공 수송층/정공 주입층/애노드

<173> 더욱이, 여기에서 본 발명은 기관(210)의 상부 방향으로 발광하는 전면 발광 방식을 중심으로 설명했으나, 이에 한정되지 않고 기관(210)의 하부 방향으로 발광하는 배면 발광 방식 또는 기관(210)의 상부와 하부 방향으로 동시에 발광하는 양면 발광에도 모두 적용 가능하다.

<174> 도 8은 본 발명에 따른 유기 전계 발광 표시 장치중에서 게이트 절연막, 액티브층 및 버퍼층의 촉매 금속 농도 프로파일을 도시한 그래프이다.

<175> 도시된 바와 같이 본 발명은 촉매 금속을 이용하여 비정질 실리콘을 다결정 실리콘으로 결정화하였기 때문에, 액티브층뿐만 아니라 버퍼층에도 일정 농도의 촉매 금속이 잔류하게 된다. 물론, 이러한 촉매 금속은 누설 전류가 흐를만큼 농도가 큰 것은 아니다. 또한, 이러한 촉매 금속은 상기 액티브층에서 상대적으로 체적 농도가 높고, 상기 버퍼층에서 상대적으로 체적 농도가 작다. 물론, 상기 버퍼층의 깊이가 깊어질 수록 촉매 금속의 농도

는 더욱 작아진다.

<176> 더불어, 버퍼층 위에 얼라인 마크가 형성될 경우에는 상기 얼라인 마크에 잔류하는 촉매 금속의 체적 농도는 상기 액티브층에 잔류하는 촉매 금속의 체적 농도와 거의 같다. 실질적으로 상기 액티브층 및 얼라인 마크에는 대략 $1.0E16 \sim 1.0E20 \text{ atoms/cm}^3$ 의 체적 농도로 촉매 금속이 잔류하도록 제어함이 바람직하다. 상기 촉매 금속의 체적 농도가 $1.0E20 \text{ atoms/cm}^3$ 이상일 경우에는 액티브층 등에서 누설 전류가 발생할 수 있기 때문에 바람직하지 않다. 물론, 가장 바람직한 경우는 상기 액티브층에서 촉매 금속이 전혀 잔류하지 않는 경우이나 이는 SGS 결정화법을 이용하는 한 현실적으로 어렵다.

<177> 더불어, 도 8에서 볼 수 있는 바와 같이 상기 액티브층의 촉매 금속 농도는 깊이가 깊어질수록 서서히 감소한다. 그러나, 상기 촉매 금속은 상기 액티브층과 버퍼층 사이의 계면에서 약간 증가하다가, 상기 버퍼층의 깊이가 깊어질 수록 그 촉매 금속의 농도가 현저히 작아진다. 더불어, 상기 버퍼층에도 촉매 금속이 잔류하게 되는데 그 체적 농도는 대략 $2.0E18 \text{ atoms/cm}^3$ 의 이하가 되도록 제어함이 바람직하다. 즉, 상기 버퍼층에 잔류하는 촉매 금속의 체적 농도가 $2.0E18 \text{ atoms/cm}^3$ 이상이 되면 누설 전류가 허용치 이상으로 흐를 수 있기 때문이다. 물론, 이러한 버퍼층의 깊이가 무한히 깊다면 상기 촉매 금속의 체적 농도도 거의 0에 가까워지거나 실질적으로 0에 가까운 촉매 금속의 체적 농도를 측정할 수 있는 장비가 아직 개발되어 있지 않다.

<178> 한편, 아래의 표 1에는 종래의 위치 제어가 이루어지지 않은 박막 트랜지스터와 본 발명에 의해 위치 제어가 이루어진 박막 트랜지스터의 특성이 비교되어 있다.

<179> [표 1]

구분	Vth[V]		S-factor[V/dev]		off current[A/ μm]	
	AVG	STD	AVG	STD	AVG	STD
본 발명	3	0.05	0.44	0.01	$1.20E-12$	$4.10E-13$
종래 기술	2.9	0.1	0.48	0.03	$6.30E-12$	$1.10E-11$

<180> 위의 표 1에 기재된 바와 같이, 종래 기술에 의해 제조된 박막 트랜지스터에서는 문턱 전압이 평균 2.9V, 표준 편차 0.1V였으나, 본 발명에 의해 제조된 박막 트랜지스터에서는 문턱 전압이 평균 3V, 표준 편차 0.05V로 개선되었음을 알 수 있다.

<182> 또한, 종래 기술에 의해 제조된 박막 트랜지스터에서는 S-팩터가 평균 0.48V/dev, 표준 편차 0.03V/dev였으나, 본 발명에 의해 제조된 박막 트랜지스터에서는 S-팩터가 평균 0.44V/dev, 표준 편차 0.01V/dev로 개선되었음을 알 수 있다.

<183> 마지막으로, 종래 기술에 의해 제조된 박막 트랜지스터에서는 오프 전류가 평균 $6.30E-12 \text{ A}/\mu\text{m}$, 표준 편차 $1.10E-11 \text{ A}/\mu\text{m}$ 였으나, 본 발명에 의해 제조된 박막 트랜지스터에서는 오프 전류가 평균 $1.20E-12 \text{ A}/\mu\text{m}$, 표준 편차 $4.10E-13 \text{ A}/\mu\text{m}$ 로 개선되었음을 알 수 있다.

발명의 효과

<184> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치 및 그 제조 방법은 기관중 비표시 영역에 얼라인 마크를 형성함으로써, 상기 얼라인 마크를 이용하여 최적의 다결정 실리콘 및 액티브층(박막 트랜지스터)을 형성할 수 있게 된다.

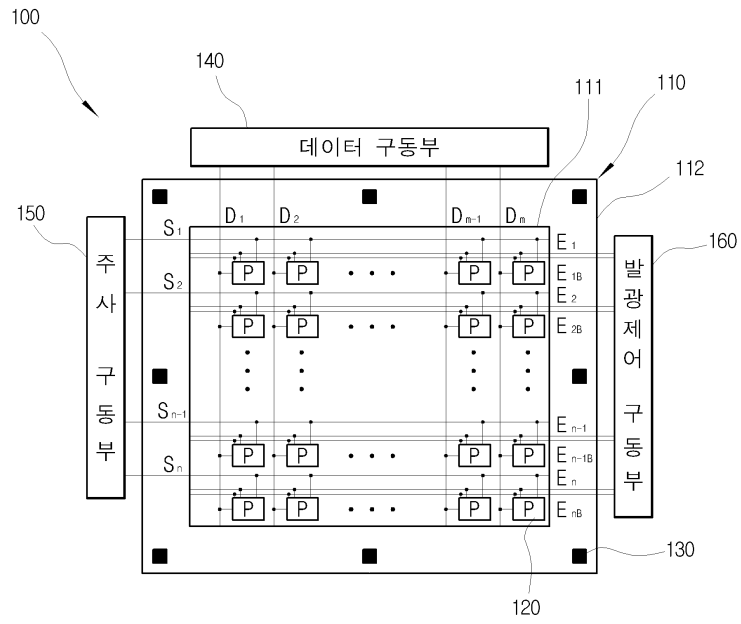
<185> 즉, 상기 얼라인 마크를 이용하여 가장 양호한 크기 및 방향의 결정립 경계를 갖는 다결정 실리콘을 형성하고, 이러한 다결정 실리콘을 이용하여 최적의 위치에서 액티브층(박막 트랜지스터)을 형성함으로써, 소자간 특성 산포를 현저하게 개선할 수 있게 된다.

<186> 일례로, 상기와 같은 방법에 의해 형성된 본 발명의 박막 트랜지스터는 S-팩터가 평균 0.44V/dev이고, 표준 편차가 0.01V/dev일 수 있다. 또한, 본 발명의 박막 트랜지스터는 오프 전류가 평균 $1.20E-12 \text{ A}/\mu\text{m}$ 이고, 표준 편차가 $4.10E-13 \text{ A}/\mu\text{m}$ 일 수 있다.

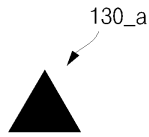
<187> 더불어, 상기와 같은 방법에 의해 형성된 박막 트랜지스터들에 전기적으로 연결된 유기 전계 발광 소자들 역시 패널의 크기가 커진다고 해도 휘도가 균일해진다.

<188> 이상에서 설명한 것은 본 발명에 따른 유기 전계 발광 표시 장치 및 그 제조 방법을 실시하기 위한 하나의 실시

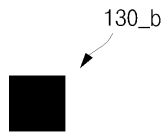
도면2



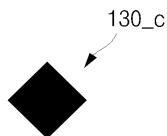
도면3a



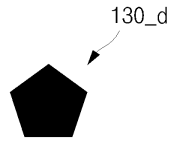
도면3b



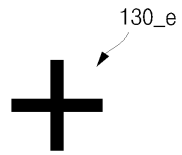
도면3c



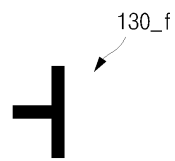
도면3d



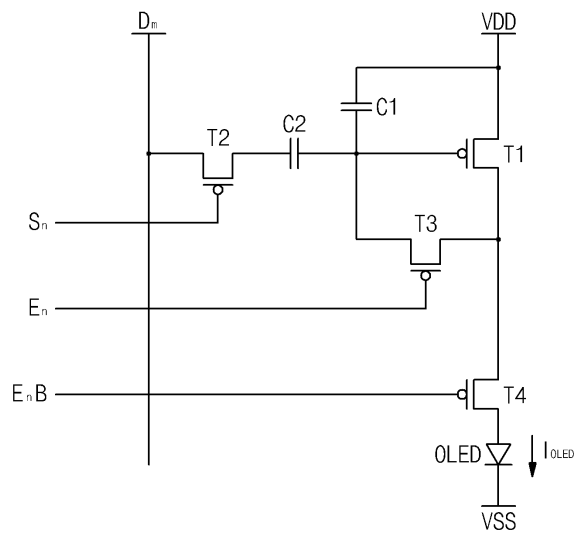
도면3e



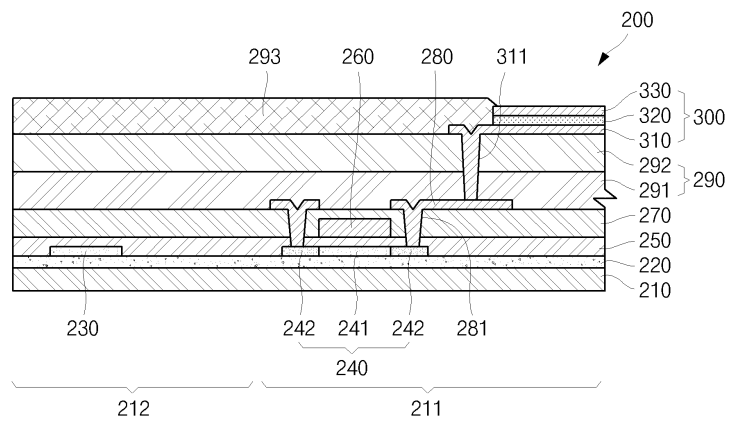
도면3f



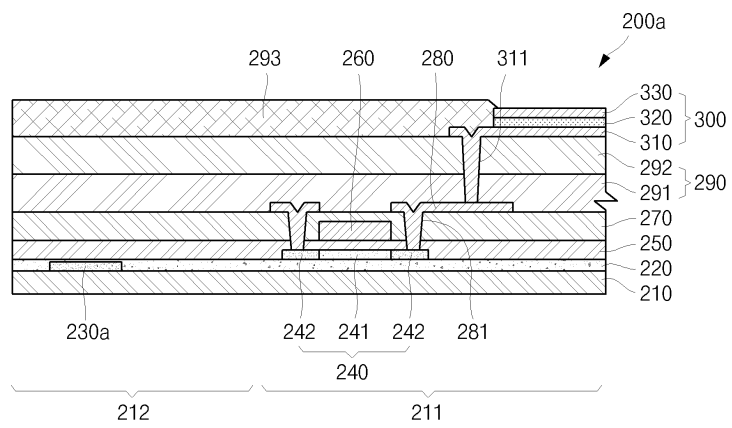
도면4



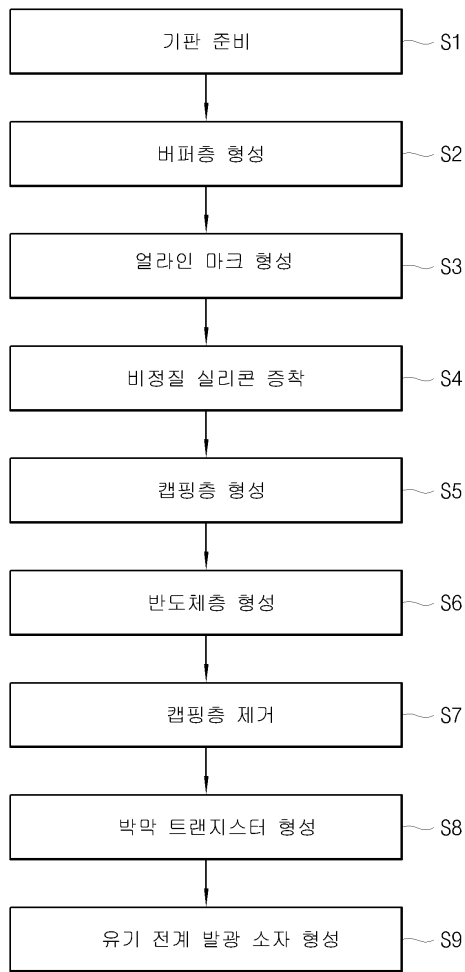
도면5a



도면5b



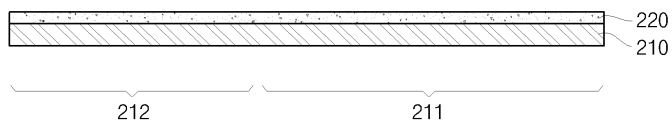
도면6



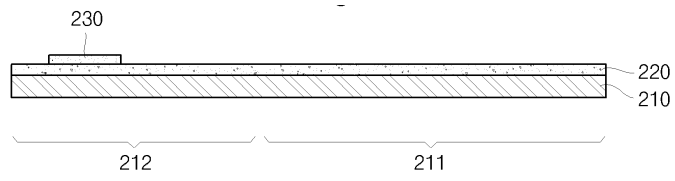
도면7a



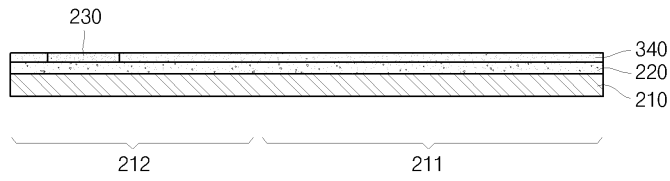
도면7b



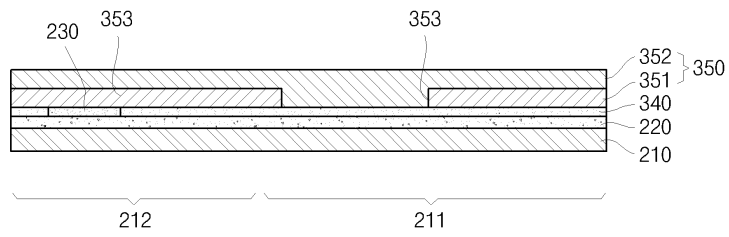
도면7c



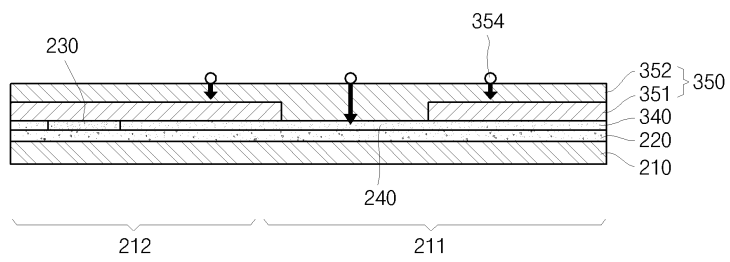
도면7d



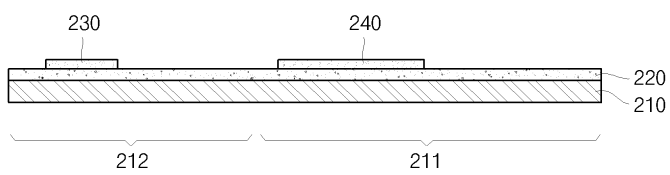
도면7e



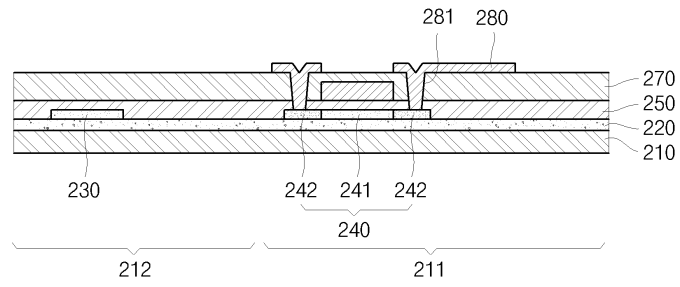
도면7f



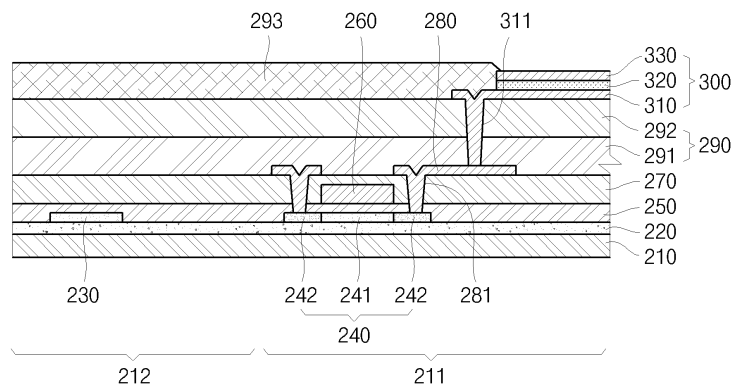
도면7g



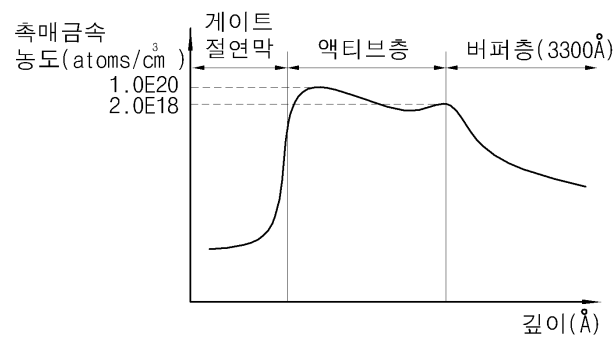
도면7h



도면7i



도면8



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100788545B1	公开(公告)日	2007-12-26
申请号	KR1020060138321	申请日	2006-12-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YANG TAE HOON 양태훈 SEO JIN WOOK 서진욱 PARK BYOUNG KEON 박병건 LEE KI YONG 이기용 JUNG SEI HWAN 정세환		
发明人	양태훈 서진욱 박병건 이기용 정세환		
IPC分类号	H05B33/10		
CPC分类号	G09G2300/0852 H01L27/1285 G09G2300/0861 H01L21/02532 G09G3/3233 H01L27/1296 H01L21/02672 H01L21/02488 G09G2300/0819 H01L2251/566		
外部链接	Espacenet		

摘要(译)

本发明涉及一种有机发光显示装置和制造方法，以解决其技术问题还精确地控制在形成结晶过程的多晶硅的位置以在非显示区域中的对准标记，以及活性的最佳特性的方法它是形成的层。用于此目的的本发明是在显示区域和非显示区域，其在基板和对准标记，和在形成于整个基板的同时，这是在缓冲层上形成，其中所述催化剂金属是与剩余的缓冲层和所述基板的非显示区域和兼容的衬底区域的显示形成在对应于有源层的栅极绝缘膜上的栅电极，形成在栅电极上的层间绝缘膜，以及形成在有源层上的层间绝缘膜，和电在形成于源/漏电极和所述绝缘膜和形成在连接在所述源极/漏极电极上的绝缘膜的同时，它公开了一种有机发光显示装置，包括有机电致发光器件电连接到所述源/漏电极。

