



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년07월13일
H05B 33/26 (2006.01)	(11) 등록번호	10-0739652
H05B 33/02 (2006.01)	(24) 등록일자	2007년07월09일

(21) 출원번호	10-2006-0111164	(65) 공개번호
(22) 출원일자	2006년11월10일	(43) 공개일자
심사청구일자	2006년11월10일	

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	성동영 경기 용인시 기흥구 공세동 428-5 이근수 경기 용인시 기흥구 공세동 428-5
(74) 대리인	팬코리아특허법인

(56) 선행기술조사문헌	
KR1020040060103 A	KR1020070024810 A

심사관 : 추장희

전체 청구항 수 : 총 15 항

(54) 유기 전계 발광 표시장치 및 이의 제조 방법

(57) 요약

구동 회로 기관 상에 형성되는 반도체층, 상기 반도체층을 덮는 게이트 절연막, 상기 반도체 영역과 중첩되어 상기 게이트 절연막 상에 제1 방향으로 형성되며 게이트 배선에 연결되는 제1 공통 전원 라인, 상기 제1 공통 전원 라인을 덮는 층간 절연막, 상기 제1 공통 전원 라인과 교차하는 제2 방향으로 상기 층간 절연막 상에 형성되는 데이터 라인, 상기 데이터 라인과 평행한 제2 방향으로 상기 층간 절연막 상에 형성되며 소스/드레인 전극에 전기적으로 연결되는 제2 공통 전원 라인, 및 제1 화소 전극과 제2 화소 전극 및 이 전극들 사이에 배치되는 유기막을 구비하는 유기 전계 발광 소자를 포함하는 유기 전계 발광 표시장치를 제공한다. 본 발명의 실시예에 의하면, 본 발명의 실시예에 의하면, 상기 제1 공통 전원 라인은 상기 제2 방향을 따라 일정한 피치로 복수개 형성되는 홀 패턴들과, 홀 패턴들 사이에 구비되는 브릿지를 포함하는 레이저 리페어부를 상기 데이터 라인과의 교차 영역에 구비한다.

대표도

도 4

특허청구의 범위

청구항 1.

구동 회로 기관 상에 형성되는 반도체층;

상기 반도체층을 덮는 게이트 절연막;

상기 반도체 영역과 중첩되어 상기 게이트 절연막 상에 제1 방향으로 형성되며, 게이트 배선에 연결되는 제1 공통 전원 라인;

상기 제1 공통 전원 라인을 덮는 층간 절연막;

상기 제1 공통 전원 라인과 교차하는 제2 방향으로 상기 층간 절연막 상에 형성되는 데이터 라인;

상기 데이터 라인과 평행한 제2 방향으로 상기 층간 절연막 상에 형성되며, 소스/드레인 전극에 전기적으로 연결되는 제2 공통 전원 라인; 및

제1 화소 전극과 제2 화소 전극 및 이 전극들 사이에 배치되는 유기막을 구비하는 유기 전계 발광 소자

를 포함하며,

상기 제1 공통 전원 라인은 상기 데이터 라인과 교차 영역에 레이저 리페어부를 구비하는 유기 전계 발광 표시장치.

청구항 2.

제 1항에 있어서,

상기 레이저 리페어부는 상기 제2 방향을 따라 일정한 피치로 복수개 형성되는 홀 패턴들과, 홀 패턴들 사이에 구비되는 브릿지를 포함하는 유기 전계 발광 표시장치.

청구항 3.

제 2항에 있어서,

상기 홀 패턴의 제1 방향 폭이 상기 데이터 라인의 제1 방향 폭보다 크게 형성되는 유기 전계 발광 표시장치.

청구항 4.

제 3항에 있어서,

상기 브릿지의 제2 방향 폭이 상기 홀 패턴의 제2 방향 폭보다 크게 형성되는 유기 전계 발광 표시장치.

청구항 5.

제 3항에 있어서,

상기 브릿지의 제2 방향 폭이 상기 홀 패턴의 제2 방향 폭보다 작게 형성되는 유기 전계 발광 표시장치.

청구항 6.

제 2항에 있어서,

상기 홀 패턴의 제1 방향 폭이 상기 데이터 라인의 제1 방향 폭보다 작게 형성되는 유기 전계 발광 표시장치.

청구항 7.

제 6항에 있어서,

상기 브릿지의 제2 방향 폭이 상기 홀 패턴의 제2 방향 폭보다 크게 형성되는 유기 전계 발광 표시장치.

청구항 8.

제 6항에 있어서,

상기 브릿지의 제2 방향 폭이 상기 홀 패턴의 제2 방향 폭보다 작게 형성되는 유기 전계 발광 표시장치.

청구항 9.

구동 회로 기판 상에 반도체층을 형성하는 단계;

상기 반도체층을 덮는 게이트 절연막을 형성하는 단계;

상기 반도체 영역과 중첩되도록 상기 게이트 절연막 상에 제1 방향으로 제1 공통 전원 라인을 형성하는 단계;

상기 제1 공통 전원 라인을 덮는 층간 절연막을 형성하는 단계;

상기 제1 공통 전원 라인과 교차하는 제2 방향으로 상기 층간 절연막 상에 데이터 라인 및 제2 공통 전원 라인을 형성하는 단계

를 포함하며,

상기 제1 공통 전원 라인을 형성하는 단계에서는 상기 제2 방향을 따라 일정한 피치로 복수개 형성되는 홀 패턴들과, 홀 패턴들 사이에 구비되는 브릿지를 포함하는 레이저 리페어부를 상기 데이터 라인과의 교차 영역에 형성하는 유기 전계 발광 표시장치의 제조 방법.

청구항 10.

제 9항에 있어서,

상기 홀 패턴의 제1 방향 폭을 상기 데이터 라인의 제1 방향 폭보다 크게 형성하는 유기 전계 발광 표시장치의 제조 방법.

청구항 11.

제 10항에 있어서,

상기 브릿지의 제2 방향 폭을 상기 홀 패턴의 제2 방향 폭보다 크게 형성하는 유기 전계 발광 표시장치의 제조 방법.

청구항 12.

제 10항에 있어서,

상기 브릿지의 제2 방향 폭을 상기 홀 패턴의 제2 방향 폭보다 작게 형성하는 유기 전계 발광 표시장치의 제조 방법.

청구항 13.

제 9항에 있어서,

상기 홀 패턴의 제1 방향 폭을 상기 데이터 라인의 제1 방향 폭보다 작게 형성하는 유기 전계 발광 표시장치의 제조 방법.

청구항 14.

제 13항에 있어서,

상기 브릿지의 제2 방향 폭을 상기 홀 패턴의 제2 방향 폭보다 크게 형성하는 유기 전계 발광 표시장치의 제조 방법.

청구항 15.

제 13항에 있어서,

상기 브릿지의 제2 방향 폭을 상기 홀 패턴의 제2 방향 폭보다 작게 형성하는 유기 전계 발광 표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시장치 및 이의 제조 방법에 관한 것으로서, 보다 상세하게는 상부 및 하부에 적층 형성된 배선들간의 쇼트로 인해 발생된 암점 또는 암수직선을 효과적으로 리페어할 수 있는 유기 전계 발광 표시장치 및 이의 제조 방법에 관한 것이다.

최근, 음극선관의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(LCD: Liquid Crystal Display), 전계 방출 표시장치(FED: Field Emission Display), 플라즈마 표시장치(PDP: Plasma Display Panel) 및 유기 전계 발광 표시장치(Organic Light Emitting Diode Display Device) 등이 있다.

이 중에서 상기 유기 전계 발광 표시장치는 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광형 표시 소자로서, N×M 개의 유기 발광 소자들을 전압 구동 또는 전류 구동하여 영상을 표현할 수 있도록 되어 있다.

상기 유기 발광 소자는 다이오드 특성을 가져서 유기 발광 다이오드(Organic Light Emitting Diode)라고도 불리며, 이는 정공 주입 전극인 애노드 전극과, 발광층인 유기 박막과 전자 주입 전극인 캐소드 전극의 구조로 이루어져, 각 전극으로부터 각각 정공과 전자를 유기박막 내부로 주입시켜 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

통상적으로, 상기한 유기 전계 발광 표시장치는 구동 회로부가 형성된 구동 회로 기판을 포함한다. 구동 회로 기판에는 버퍼막이 제공되며, 버퍼막 위에는 복수의 박막 트랜지스터(이하, 'TFT'라 한다)들을 포함하는 구동 회로부가 형성된다.

상기 구동 회로부는 한 개의 유기 발광 셀을 구성하는 3개(적색, 녹색, 청색)의 서브 픽셀(sub pixel)에 대해 적어도 2개의 TFT를 각각 구비한다.

상기 2개의 TFT중 하나인 제1 TFT는 복수의 유기 발광 셀들 중에서 발광시키고자 하는 소자를 선택하는 작용을 하는 스위칭 TFT로 작용하고, 다른 하나인 제2 TFT는 선택된 유기 발광 셀의 발광층을 발광시키기 위한 구동 전원을 인가하는 구동 TFT로 작용한다.

통상적으로, 상기한 TFT는 소스 영역과 드레인 영역 및 채널 영역이 형성된 반도체층과, 반도체층을 덮는 게이트 절연막과, 상기 반도체 영역에 인입되며 게이트 배선에 연결되는 제1 공통 전원 라인(ELVDD)과, 제1 공통 전원 라인을 덮는 층간 절연막과, 상기 게이트 배선과 교차하는 방향으로 상기 층간 절연막 상에 형성되는 데이터 라인과, 데이터 라인과 평행한 방향으로 인접 배치되며 소스/드레인 전극에 전기적으로 연결되는 제2 공통 전원 라인을 포함한다.

그런데, 상기한 구성의 구동 회로부는 데이터 라인과 제1 공통 전원 라인이 층간 절연막을 사이에 두고 적층되어 있으므로, 파티클(particle)에 의해 서로간에 쇼트가 발생할 수 있다.

그리고, 상기와 같이 쇼트가 발생하는 경우에는 암점 또는 암수직선이 발생된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위한 것으로서, 그 목적은 상부 및 하부에 배치된 배선간에 쇼트가 발생하는 경우 레이저 리페어를 효과적으로 실시할 수 있는 유기 전계 발광 표시장치 및 이의 제조 방법을 제공하는 것이다.

발명의 구성

상기한 목적을 달성하기 위하여 본 발명은, 구동 회로 기판 상에 형성되는 반도체층, 상기 반도체층을 덮는 게이트 절연막, 상기 반도체 영역과 중첩되어 상기 게이트 절연막 상에 제1 방향으로 형성되며 게이트 배선에 연결되는 제1 공통 전원 라인, 상기 제1 공통 전원 라인을 덮는 층간 절연막, 상기 제1 공통 전원 라인과 교차하는 제2 방향으로 상기 층간 절연막 상에 형성되는 데이터 라인, 상기 데이터 라인과 평행한 제2 방향으로 상기 층간 절연막 상에 형성되며 소스/드레인 전극에 전기적으로 연결되는 제2 공통 전원 라인, 및 제1 화소 전극과 제2 화소 전극 및 이 전극들 사이에 배치되는 유기막을 구비하는 유기 전계 발광 소자를 포함하는 유기 전계 발광 표시장치를 제공한다.

본 발명의 실시예에 의하면, 상기 제1 공통 전원 라인은 상기 데이터 라인과 교차 영역에 레이저 리페어부를 구비한다.

상기 레이저 리페어부는 상기 제2 방향을 따라 일정한 피치로 복수개 형성되는 홀 패턴들과, 홀 패턴들 사이에 구비되는 브릿지를 포함할 수 있으며, 상기 홀 패턴의 제1 방향 폭은 상기 데이터 라인의 제1 방향 폭보다 크거나 작게 형성될 수 있다.

그리고, 상기 브릿지의 제2 방향 폭은 상기 홀 패턴의 제2 방향 폭보다 크거나 작게 형성될 수 있다.

본 발명의 실시예에 따른 유기 전계 발광 표시장치는 능동 매트릭스 방식으로 구동되는 표시장치로서, 구동 회로 기판 상에 구동 회로부 및 유기 전계 발광 소자가 구비된다.

상기 구동 회로부는 박막 트랜지스터, 스캔 라인, 데이터 라인, 공통 전원 라인, 저장 커패시터 등의 구성 요소를 포함할 수 있으며, 상기 유기 전계 발광 소자는 제1 화소 전극 및 제2 화소 전극을 포함할 수 있다.

상기 제1 화소 전극은 정공을 주입하는 기능을 가지며, 제1 도전성 투명 전극으로 형성된다. 또한, 상기 제1 화소 전극은 유기 전계 발광 소자의 발광 방향에 따라 도전성 반사막을 추가적으로 포함할 수 있다.

상기 도전성 반사막은 상기 유기 전계 발광 소자에서 발생하는 빛을 반사시키거나, 상기 도전성 투명 전극 사이에서 일함수(Work function) 또는 전기 전도도(Electrical Conductivity)를 향상시키기 위한 것으로, 통상적으로, 알루미늄(Al) 혹은 알루미늄 합금(Al-alloy), 은(Ag) 혹은 은 합금(Ag-alloy), 금(Au) 혹은 금합금(Au-alloy) 중 어느 한 재료로 구성될 수 있다.

그리고, 상기 도전성 반사막 상에 추가적으로 제2 도전성 투명 전극을 형성할 수 있다. 상기 제2 도전성 투명 전극은 상기 도전성 반사막의 금속 산화를 억제하며, 추가적으로 정공 주입층과 상기 도전성 반사막의 일함수를 향상시키는 기능을 할 수 있다.

상기 제1 도전성 투명 전극과 제2 도전성 투명 전극은 ITO(Indium Thin Oxide), IZO(Indium Zinc Oxide) 등으로 형성될 수 있다.

유기 전계 발광 소자는 상기 제1 화소 전극과 제2 화소 전극 사이에 유기막을 더 형성할 수 있으며, 유기막을 형성하는 유기 재료의 분자량에 따라 저분자 유기 전계 발광 소자(Small Molecule OLED)와 고분자 유기 전계 발광 소자(Polymer OLED)로 구분되어 진다.

이 중에서 상기 저분자 유기 전계 발광 소자는 진공 열증착 방식과 기상 증착 방식 및 레이저 열전사 방식(LITI; Laser Induced Thermal Imaging) 중 어느 한 방식에 의해 제조할 수 있다.

실제로 저분자 유기 전계 발광 소자에 사용되는 유기막은 정공이나 전자 등의 캐리어를 발광층까지 효율적으로 전달시켜 주는 유기층이 발광층의 상하부에 적층된 다층 박막 구조로 이루어진다.

예를 들면, 상기 유기막은 유기 전계 발광 소자의 제1 화소 전극 상에 순차적으로 적층되는 정공 주입층, 정공 전달층, 발광층, 정공 차단층, 전자 전달층 및 전자 주입층 등의 다층 박막 구조로 이루어질 수 있다.

상기한 다층 박막 구조의 유기막을 형성하는 저분자 재료는 그 기능에 따라, 정공 주입 및 전달 재료, 정공 차단 재료, 전자 전달 재료, 발광 재료로 구분할 수 있다.

그리고, 발광 메커니즘에 따라서는 단일항 여기자에서 유래하는 형광 재료와 삼중항 여기자에서 유래하는 인광 재료로 구분할 수 있으며, 또한 발광색에 따라 청색, 적색, 황색, 주황색 발광 재료로 구분할 수 있다.

저분자 발광 재료는 기능적인 측면에서 호스트(Host) 재료와 도펀트(Dopant) 재료로 구분할 수 있으며, 분자 구조에 따른 분류를 곁해 유기계 호스트 재료, 유기 금속계 호스트 재료, 유기계 도펀트 재료, 유기 금속계 도펀트 재료로 구분할 수 있다.

일반적으로 상기 호스트 재료나 도펀트 재료는 이들 재료만으로도 빛을 낼 수 있다. 하지만, 이 경우에는 효율 및 휘도가 매우 낮고, 각각의 분자들끼리 근접하게 되면서 각 분자의 고유한 특성이 아닌 엑사이머(excimer) 특성이 함께 나타나기 때문에 바람직하지 않다.

물론, 상기 유기 전계 발광소자의 유기막 구조 및 제조 공정은 저분자 재료에 따라 상이하다.

한편, 상기 구동 회로부의 박막 트랜지스터는 결정질의 재료에 따라 무기 박막 트랜지스터와 유기 박막 트랜지스터로 구분될 수 있다.

상기 무기 박막 트랜지스터는 결정도에 따라, 비정질 박막 트랜지스터(a-Si TFT), 다정질 박막 트랜지스터(Poly-Si TFT), 및 상기 비정질 박막 트랜지스터의 결정질과 다정질 박막 트랜지스터의 결정질의 중간 정도로 형성되는 마이크로정질 트랜지스터로 구분될 수 있다.

상기 비정질 박막 트랜지스터는 전자 이동도가 낮고 신뢰성이 낮은 반면 별도의 결정화 공정이 필요 없이 박막트랜지스터를 형성할 수 있고, 기존 박막 액정 표시장치(TFT-LCD) 공정을 사용할 수 있는 장점이 있다.

그리고, 상기 다정질 박막 트랜지스터(Poly Si TFT)는 결정화에 필요한 추가 공정 및 장비가 필요한 반면, 상기 비정질 박막 트랜지스터에 비해 전자 이동도가 우수하고 신뢰성이 높은 장점이 있다.

그리고, 상기 마이크로 박막 정질 트랜지스터는 상기 비정질 박막 트랜지스터에 비해 전자 이동도가 높은 반면, 상기 다정질 박막 트랜지스터에 비해 추가 공정이 필요하지 않아 최근 연구 개발이 활발하게 진행되고 있다.

상기 유기 전계 발광 소자를 구성하는 제1 화소 전극, 유기막 및 제2 화소 전극의 구조는 상기 비정질 박막 트랜지스터와 상기 다정질 박막 트랜지스터에 따라 그 구조가 상이하다.

이하, 첨부도면을 참조하여 본 발명의 실시예를 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

이하의 실시예를 설명함에 있어서, 층, 막 등의 부분이 다른 부분의 "상에" 형성된다고 할 때, 이는 다른 부분의 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

도 1 내지 도 5는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 개략적인 구성을 나타내기 위한 도면으로서, 도 1은 구동 회로 기관 상에 반도체층이 형성된 상태를 나타내는 평면도이고, 도 2는 구동 회로 기관 상에 제1 공통 전원 라인이 형성된 상태를 나타내는 평면도이며, 도 3은 도 2의 "Ⅲ-Ⅲ"부분 단면도이다.

그리고, 도 4는 구동 회로 기관 상에 데이터 라인 및 제2 공통 전원 라인이 형성된 상태를 나타내는 평면도이며, 도 5는 도 4의 "V-V"부분 단면도이다.

구동 회로 기관(10) 상에는 버퍼막(20)이 형성되고, 버퍼막(20) 상에는 반도체층(20)이 형성된다. 상기 반도체층(20)은 소스 영역과 드레인 영역 및 채널 영역을 구비하는 다결정 실리콘층으로 이루어질 수 있다.

그리고, 상기 구동 회로 기관(10)으로는 투명한 재질의 글라스 기관 또는 불투명한 재질의 수지재 기관을 사용할 수 있으며, 휘어질 수 있을 정도의 얇은 금속재 기관도 사용이 가능하다.

상기한 반도체층(30) 상에는 게이트 절연막(40)이 형성되며, 게이트 절연막(40) 상에는 반도체층(30)과 중첩되도록 제1 공통 전원 라인(50)이 형성된다.

상기한 제1 공통 전원 라인(50)은 제1 방향(X-X'방향)으로 형성되며, 게이트 배선에 전기적으로 연결된다.

여기에서, 상기 제1 공통 전원 라인(50)은 레이저 리페어부(52)를 구비하는데, 본 발명의 실시예에서는 상기한 레이저 리페어부(52)가 제2 방향(Y-Y'방향)을 따라 일정한 피치로 복수개 형성되는 홀 패턴(52a)들과, 홀 패턴(52a)들 사이에 구비되는 브릿지(52b)를 포함한다.

상기 홀 패턴(52a)은 제1 방향 폭(W1)이 상기 데이터 라인(60)의 제1 방향 폭(W2)보다 크게 형성될 수 있다. 그리고, 상기 브릿지(52b)의 제2 방향 폭(W3)은 상기 홀 패턴(52a)의 제2 방향 폭(W4)보다 작게 형성될 수 있다.

물론, 도시하지는 않았지만 상기 브릿지(52b)의 제2 방향 폭(W3)이 상기 홀 패턴(52a)의 제2 방향 폭(W4)보다 크게 형성될 수도 있다.

또한, 상기 홀 패턴(52a)은 제1 방향 폭(W1)이 상기 데이터 라인(60)의 제1 방향 폭(W2)보다 작게 형성될 수 있으며, 이 경우에도 상기 브릿지(52b)의 제2 방향 폭(W3)은 상기 홀 패턴(52a)의 제2 방향 폭(W4)보다 크게 형성되거나 작게 형성될 수 있다.

그리고, 상기 제1 공통 전원 라인(50) 상에는 층간 절연막(70)이 형성된다.

이때, 상기 층간 절연막(70)은 홀 패턴(52a)들로 인해 노출된 게이트 절연막(40) 상에도 형성되며, 층간 절연막(70) 상에는 데이터 라인(60) 및 제2 공통 전원 라인(80)이 제2 방향(Y-Y'방향)으로 형성된다.

상기 제2 공통 전원 라인(80)은 도시하지 않은 소스/드레인 전극에 전기적으로 연결될 수 있다.

그리고, 도시하지는 않았지만, 상기한 구동 회로부 상에는 유기 전계 발광 소자가 형성된다.

이러한 구성의 유기 전계 발광 표시장치에 의하면, 상기 제1 공통 전원 라인(50)이 홀 패턴(52a)들을 구비하고 있으므로, 제1 공통 전원 라인(50)과 데이터 라인(60)이 중첩하는 면적이 상기 홀 패턴(52a)들의 면적을 합한 만큼 종래에 비해 감소된다.

따라서, 파티클로 인해 제1 공통 전원 라인(50)과 데이터 라인(60)이 쇼트될 가능성을 줄일 수 있다.

그리고, 상기 파티클이 브릿지(52b) 상에 잔류하여 이 파티클로 인해 제1 공통 전원 라인(50)과 데이터 라인(60)이 쇼트된 경우에는 레이저를 이용하여 상기 브릿지(52b)를 단선시킴으로써, 암점 또는 암수직선이 발생되는 것을 리페어할 수 있다.

상기한 구성의 유기 전계 발광 표시장치는 다음의 제조 방법에 따라 제조할 수 있다.

먼저, 구동 회로 기판(10)의 버퍼막(20) 상에 반도체층(30)을 형성한다. 여기에서, 상기 반도체층(30)은 비정질 실리콘막을 형성한 후 결정화를 실시하여 폴리실리콘막을 형성하고, 폴리실리콘막을 패터닝한 후, 이온 주입 공정을 실시하는 것에 따라 형성할 수 있다.

이러한 방법에 의하면, 소스 영역과 드레인 영역 및 이 영역들 사이의 채널 영역을 갖는 반도체층(30)을 형성할 수 있다.

반도체층(30)을 형성한 후에는 게이트 절연막(40)을 형성하고, 복수의 홀 패턴(52a)들 및 브릿지(52b)로 이루어진 레이저 리페어부(52)를 구비하는 형상으로 제1 공통 전원 라인(50)을 게이트 절연막(40) 상에 형성한다.

이때, 상기 제1 공통 전원 라인(50)은 상기 반도체층(30)과 중첩되도록 제1 방향(X-X'방향)으로 형성할 수 있다.

그리고, 상기 홀 패턴(52a)은 제1 방향 폭(W1)이 상기 데이터 라인(60)의 제1 방향 폭(W2)보다 크게 형성하거나 작게 형성할 수 있으며, 상기 브릿지(52b)의 제2 방향 폭(W3)은 상기 홀 패턴(52a)의 제2 방향 폭(W4)보다 작게 형성하거나 크게 형성할 수 있다.

이어서, 상기 제1 공통 전원 라인(50)을 덮는 층간 절연막(70)을 형성하고, 상기 제1 공통 전원 라인(50)과 교차하는 제2 방향(Y-Y'방향)으로 상기 층간 절연막(70) 상에 데이터 라인(60) 및 제2 공통 전원 라인(80)을 형성한다.

이상을 통해 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

발명의 효과

이상에서 설명한 바와 같이 본 발명의 실시예에 따른 유기 전계 발광 표시장치는 제1 공통 전원 라인이 데이터 라인이 교차하는 영역에 레이저 리페어부를 구비하고 있다. 또한, 상기 레이저 리페어부를 복수의 홀 패턴과 브릿지로 구성하고 있다.

따라서, 제1 공통 전원 라인과 데이터 라인의 중첩 면적이 상기 홀 패턴의 면적만큼 감소되므로, 상기 중첩 면적 상에 존재하는 파티클로 인한 쇼트 불량을 줄일 수 있다.

또한, 브릿지 상에 존재하는 파티클로 인해 암점 또는 암수직선이 발생되는 경우에는 레이저를 이용하여 브릿지를 단선시킴으로써 리페어가 가능하게 된다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 전계 발광 표시장치에 있어서, 구동 회로 기관 상에 반도체층이 형성된 상태를 나타내는 평면도이다.

도 2는 도 1의 구동 회로 기관 상에 제1 공통 전원 라인이 형성된 상태를 나타내는 평면도이다.

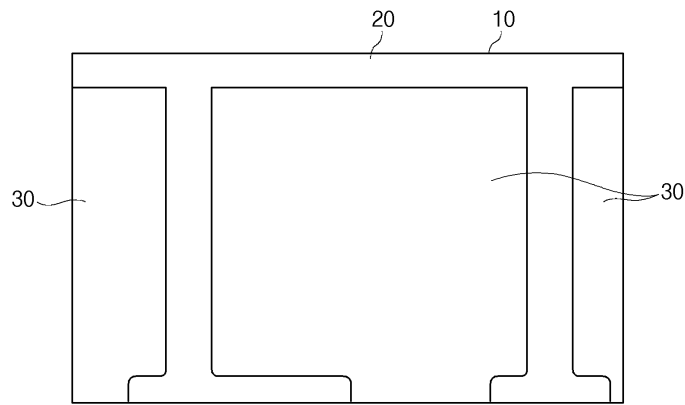
도 3은 도 2의 "III-III"부분 단면도이다.

도 4는 도 1의 구동 회로 기관 상에 데이터 라인 및 제2 공통 전원 라인이 형성된 상태를 나타내는 평면도이다.

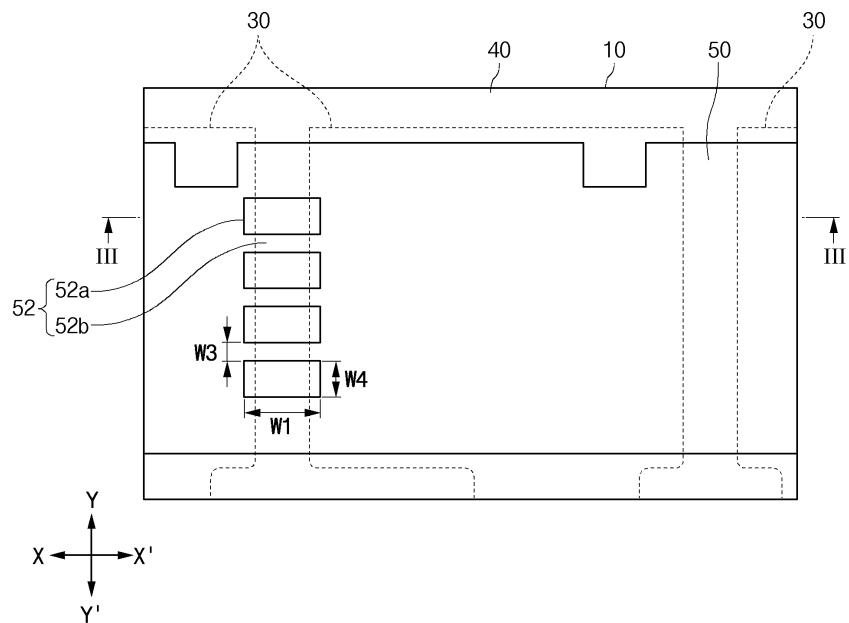
도 5는 도 4의 "V-V"부분 단면도이다.

도면

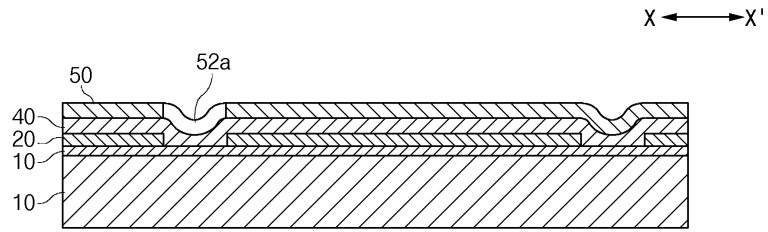
도면1



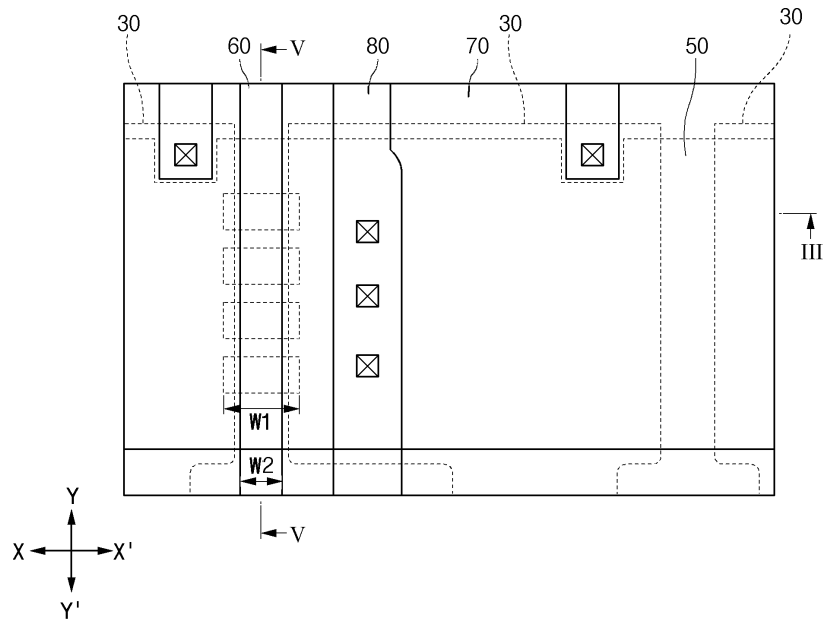
도면2



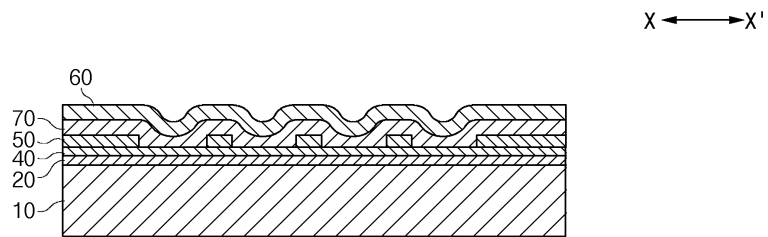
도면3



도면4



도면5



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100739652B1	公开(公告)日	2007-07-09
申请号	KR1020060111164	申请日	2006-11-10
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SUNG DONG YOUNG 성동영 LEE KEUN SOO 이근수		
发明人	성동영 이근수		
IPC分类号	H05B33/26 H05B33/02		
CPC分类号	G09G3/3225 G09G2330/08 H01L27/3276 H01L51/56 H01L2251/568		
外部链接	Espacenet		

摘要(译)

提供一种有机发光二极管显示装置及其制造方法，以通过减小第一公共电压线和数据线的重叠面积来减少由于存在于重叠区域上的颗粒引起的短路故障。在驱动电路板上形成半导体层。栅极绝缘体覆盖半导体层。第一公共电压线（50）沿第一方向形成在栅极绝缘体上并与半导体层重叠，并连接到栅极线。层间绝缘膜（70）覆盖第一公共电压线。数据线（60）沿着与第一公共电压线交叉的第二方向形成在层间绝缘膜上。第二公共电压线（80）沿着第二方向与数据线平行地形成在层间绝缘膜上，并且电连接到源/漏电极。有机发光二极管包括第一像素电极，第二像素电极和布置在第一和第二像素电极之间的有机膜。第一公共电压线包括与数据线交叉区域上的激光修复部分。

