



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0053769
(43) 공개일자 2012년05월29일

(51) 국제특허분류(Int. Cl.)

H01L 51/56 (2006.01)

(21) 출원번호 10-2010-0115055

(22) 출원일자 2010년11월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조기술

경상북도 구미시 옥계동 국가산업단지 제4단지
17-1-2BL 구미옥계 e-편한세상 105동 1905호

서성모

경기도 수원시 영통구 봉영로1744번길 11, 황골
마을벽산아파트 224동 701호 (영통동)

(74) 대리인

허용록

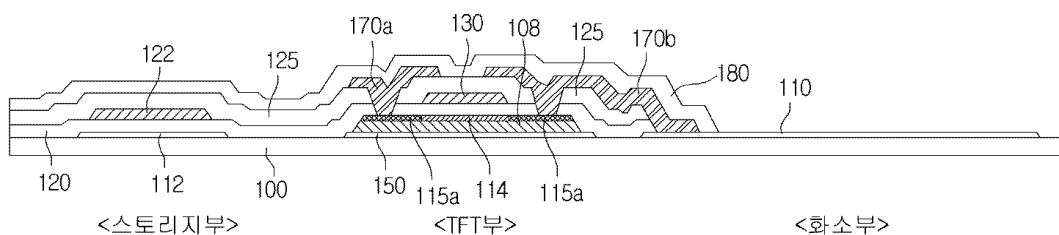
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 유기전계발광표시장치 및 그 제조방법을 개시한다. 개시된 본 발명의 유기전계발광표시장치 제조방법은, 기판 상에 제 1 금속막, 버퍼층 및 반도체층을 순차적으로 형성하는 단계; 상기 제 1 금속막, 버퍼층 및 반도체층이 형성된 기판 상에 포토리소그라피 공정과 식각 공정에 따라 제 1 스토리지 전극, 액티브층 및 화소 전극을 동시에 형성하는 단계; 상기 제 1 스토리지 전극, 액티브층 및 화소 전극이 형성된 기판 상에 게이트 절연막을 형성하고, 계속해서 제 2 금속막을 형성한 다음, 포토리소그라피 공정과 식각 공정을 진행하여 상기 액티브층과 대응되는 게이트 절연막 상에 게이트 전극과 상기 제 1 스토리지 전극과 대응되는 게이트 절연막 상에 제 2 스토리지 전극을 형성하는 단계; 상기 게이트 전극이 형성된 기판 상에 이온 주입 공정을 진행하여 상기 액티브층의 양측 가장자리 영역에 오믹콘택층을 형성하는 단계; 상기 게이트 전극이 형성된 기판 상에 층간절연막을 형성한 다음, 상기 오믹콘택층과 대응되는 영역에 콘택홀을 형성하는 단계; 상기 콘택홀이 형성된 기판 상에 제 3 금속막을 형성한 다음 포토리소그라피 공정 및 식각 공정을 진행하여 소스 전극, 드레인 전극 및 데이터 라인을 형성하는 단계; 및 상기 소스 전극과 드레인 전극이 형성된 기판 상에 보호막을 형성한 다음, 콘택홀 공정을 진행하여 상기 화소 전극 상부의 보호막을 제거하여 노출하는 단계를 포함한다.

대표도



특허청구의 범위

청구항 1

기관 상에 제 1 금속막, 버퍼층 및 반도체층을 순차적으로 형성하는 단계;

상기 제 1 금속막, 버퍼층 및 반도체층이 형성된 기관 상에 포토리소그래피 공정과 식각 공정에 따라 제 1 스토리지 전극, 액티브층 및 화소 전극을 동시에 형성하는 단계;

상기 제 1 스토리지 전극, 액티브층 및 화소 전극이 형성된 기관 상에 게이트 절연막을 형성하고, 계속해서 제 2 금속막을 형성한 다음, 포토리소그래피 공정과 식각 공정을 진행하여 상기 액티브층과 대응되는 게이트 절연막 상에 게이트 전극과 상기 제 1 스토리지 전극과 대응되는 게이트 절연막 상에 제 2 스토리지 전극을 형성하는 단계;

상기 게이트 전극이 형성된 기관 상에 이온 주입 공정을 진행하여 상기 액티브층의 양측 가장자리 영역에 오믹콘택층을 형성하는 단계;

상기 게이트 전극이 형성된 기관 상에 층간절연막을 형성한 다음, 상기 오믹콘택층과 대응되는 영역에 콘택홀을 형성하는 단계;

상기 콘택홀이 형성된 기관 상에 제 3 금속막을 형성한 다음 포토리소그래피 공정 및 식각 공정을 진행하여 소스 전극, 드레인 전극 및 데이터 라인을 형성하는 단계; 및

상기 소스 전극과 드레인 전극이 형성된 기관 상에 보호막을 형성한 다음, 콘택홀 공정을 진행하여 상기 화소 전극 상부의 보호막을 제거하여 노출하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 2

제1항에 있어서, 상기 제 1 스토리지 전극 및 화소 전극을 형성하는 공정은,

상기 기관 상에 감광막을 형성한 다음, 하프톤 마스크 또는 회절 마스크를 이용하여 상기 액티브층이 형성될 영역에 제 1 감광막패턴을 형성하고, 상기 제 1 스토리지 전극과 화소 전극이 형성될 영역에 제 2 감광막패턴을 형성하는 단계;

상기 제 1 및 제 2 감광막패턴을 마스크로 식각 공정을 진행하여, 상기 제 1 스토리지 전극, 액티브층 및 화소 전극을 형성하는 단계; 및

상기 제 1 스토리지 전극과 화소 전극이 형성된 기관 상에 에칭 공정을 진행하여 액티브층 상부에 제 3 감광막패턴을 남겨두고, 이를 마스크로 하여 상기 제 1 스토리지 전극 및 화소 전극 상에 적층된 버퍼층패턴 및 반도체층패턴을 제거하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 3

제2항에 있어서, 상기 제 1 감광막패턴은 상기 제 2 감광막패턴보다 두께가 두꺼운 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 4

제1항에 있어서, 상기 제 2 금속막은 AlNd, Mo Ti, W 중 어느 한 금속, 또는 둘 이상의 금속이나 합금 (Ti/AlTi, Cu/MoTi, Mo/AlNd, MoTi/Cu/MoTi, ITO/Cu/MoTi)으로 선택되는 금속막인 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 5

제1항에 있어서, 상기 제 3 금속막은 Al, Mo, Cr, Cu, Al 합금, Mo 합금, Cu 합금의 단일층 또는 이중층 구조를 갖는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 6

제1항에 있어서, 상기 드레인 전극과 화소 전극은 직접 접촉되는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 7

제1항에 있어서, 상기 반도체층을 형성하는 단계는,

상기 기판 상에 제 1 금속막, 버퍼층 및 비정질 실리콘막을 형성하는 단계와,

상기 비정질 실리콘막을 결정화하여 폴리실리콘막을 형성하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 8

기판;

상기 기판 상에 형성된 제 1 스토리지 전극, 액티브층 및 화소 전극;

상기 제 1 스토리지전극 상부에 게이트 절연막을 사이에 두고 형성된 제 2 스토리지 전극과, 상기 액티브층 상부에 게이트 절연막을 사이에 두고 형성된 게이트 전극;

상기 게이트 전극이 형성된 기판 상에 층간절연막을 사이에 두고 상기 액티브층의 오믹콘택층과 전기적으로 연결되어 있는 소스 전극과 드레인 전극; 및

상기 소스 전극과 드레인 전극이 형성된 기판 상에 형성된 보호막을 포함하고,

상기 드레인 전극과 화소 전극은 직접 접촉되며, 상기 액티브층과 기판 사이에는 절연층패턴과 금속막패턴이 적층 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제8항에 있어서, 상기 게이트 전극과 제 2 스토리지 전극은 AlNd, Mo Ti, W 중 어느 한 금속, 또는 둘 이상의 금속이나 합금(Ti/AlTi, Cu/MoTi, Mo/AlNd, MoTi/Cu/MoTi, ITO/Cu/MoTi)으로 선택되는 금속인 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제8항에 있어서, 상기 소스 전극과 드레인 전극은 Al, Mo, Cr, Cu, Al 합금, Mo 합금, Cu 합금의 단일층 또는 이중층 구조를 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제8항에 있어서, 상기 제 1 스토리지 전극과 화소 전극은 투명성 도전물질인 ITO, ITZO 및 IZO 중 어느 하나의 물질로 형성된 것을 특징으로 하는 유기전계발광표시장치.

명세서

기술분야

[0001] 본 발명은 공정을 단순화한 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 평판표시장치로는 액정표시장치(Liquid Crystal Display : "LCD"), 전계방출표시장치(Field Emission Display : "FED"), 플라즈마 디스플레이 패널(Plasma Display Panel : "PDP") 및 유기전계발광표시장치(Organic Light Emitting Display Device) 등이 있다.

[0003] PDP는 구조와 제조공정이 비교적 단순하기 때문에 대화면에 가장 유리하지만 발광효율과 휘도가 낮고 소비전력이 큰 단점이 있다. LCD는 반도체공정을 이용하기 때문에 대화면화가 어렵고 백라이트 유닛으로 인하여 소비전력이 크다. 또한, LCD는 편광필터, 프리즘시트, 확산판 등의 광학 소자들에 의해 광손실이 많고 시야각이 좁은 단점이 있다. 이에 비하여, 유기전계발광표시장치는 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 유기전계발광표시장치는 100~200V의 높은 전압을 필요로 하는 무기전계발광표시장치에 비해 5~20V 정도의 낮은 전압으로 구동됨으로써 직류 저전압 구동이 가능하다. 또한, 유기전계발광표시장치는 넓은 시야각, 고속응답성, 고 콘트라스트비(Contrast Ratio) 등의 뛰어난 특성이 있으므로 그래픽 디스플레이의 픽셀(pixel), 텔레비전 영상 디스플레이나 표면 광원(Surface Light Source)의 픽셀로서 사용될 수 있으며, 얇고 가벼울 뿐만 아니라 색감이 좋아 차세대 평면 디스플레이에 적합한 소자이다.

[0005] 이러한 유기전계발광표시장치를 구동하는 방식은 수동 매트릭스형(Passive Matrix type)과 능동 매트릭스형(Active Matrix type)으로 나눌 수 있다.

[0006] 수동 매트릭스형 유기전계발광표시장치는 그 구성이 단순하여 제조방법 또한 단순하나 높은 소비전력과 표시소자의 대면적화에 어려움이 있으며, 배선의 수가 증가하면 할수록 개구율이 저하되는 단점이 있다.

[0007] 반면 능동 매트릭스형 유기전계발광표시장치는 높은 발광효율과 고화질 구현의 장점이 있다.

[0008] 도 1은 능동 매트릭스형 유기전계발광표시장치의 화소를 간략하게 나타내는 회로도이다.

[0009] 도 1을 참조하면, 능동 매트릭스형 유기전계발광표시장치는 유기 발광 다이오드(Organic Light Emitting Diode : OLED), 다수의 박막 트랜지스터(Thin Film Transistor : TFT) 및 스토리지 캐패시터(Cst)를 구비한다.

[0010] TFT는 OLED를 제어하는 구동 TFT(DR_TFT)와 구동 TFT(DR_TFT)를 제어하는 스위칭 TFT(SW_TFT)를 포함한다. OLED, 스위칭 TFT(SW_TFT), 구동 TFT(DR_TFT) 및 스토리지 캐패시터(Cst)는 모두 동일한 평면상에 형성된다. 즉, 기판 상의 동일층에 모든 소자가 형성된다.

[0011] 능동 매트릭스형 유기전계발광표시장치의 구동을 설명하면, 먼저 게이트 라인(GL)을 통해 스캔 신호(Scan)가 공급되면, 스위칭 TFT(SW_TFT)가 턴-온(Turn On)되어 구동 TFT(DR_TFT)의 게이트 전극에 데이터 라인(DL)으로부터 공급되는 데이터 신호(Data)가 공급된다. 데이터 신호(Data)에 의해 턴-온된 구동 TFT(DR_TFT)는 일측단으로 공급되는 고전위 구동전압(VDD)과 타측단으로 공급되는 저 전위 구동전압(Vss)을 통해 OLED를 구동시킨다. 스토리지 캐패시터(Cst)는 스위칭 TFT(SW_TFT)를 통해 공급된 데이터 신호(data)와 고전위 구동전압(VDD) 사이에 캐패시터를 형성하여 스위칭 TFT(SW_TFT)가 턴-오프된 이후에도 구동 TFT(DR_TFT)가 턴-온 상태를 안정적으로 유지할 수 있도록 한다.

[0012] 이러한 능동 매트릭스형 유기전계발광표시장치는 TFT의 액티브층 형성 공정, 스토리지 형성 공정, 게이트 전극 형성 공정, 콘택홀 형성 공정, 소스/드레인 전극 형성 공정, 보호막 형성 공정, 화소전극 형성 공정 및 배크/스페이서 형성 공정 등 7~9 마스크 공정을 진행하기 때문에 공정이 복잡하고 생산성이 낮은 단점이 있다.

발명의 내용

해결하려는 과제

- [0013] 본 발명은, 스토리지 전극과 화소 전극을 동시에 형성하여 마스크 공정 수를 줄인 유기전계발광표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.
- [0014] 또한, 본 발명은, 스토리지 전극을 금속으로 형성하여 도핑 공정을 제거한 유기전계발광표시장치 및 그 제조방법을 제공하는데 다른 목적이 있다.

과제의 해결 수단

- [0015] 상기와 같은 과제를 해결하기 위한 본 발명의 유기전계발광표시장치 제조방법은, 기판 상에 제 1 금속막, 버퍼층 및 반도체층을 순차적으로 형성하는 단계; 상기 제 1 금속막, 버퍼층 및 반도체층이 형성된 기판 상에 포토리소그래피 공정과 식각 공정에 따라 제 1 스토리지 전극, 액티브층 및 화소 전극을 동시에 형성하는 단계; 상기 제 1 스토리지 전극, 액티브층 및 화소 전극이 형성된 기판 상에 게이트 절연막을 형성하고, 계속해서 제 2 금속막을 형성한 다음, 포토리소그래피 공정과 식각 공정을 진행하여 상기 액티브층과 대응되는 게이트 절연막 상에 게이트 전극과 상기 제 1 스토리지 전극과 대응되는 게이트 절연막 상에 제 2 스토리지 전극을 형성하는 단계; 상기 게이트 전극이 형성된 기판 상에 이온 주입 공정을 진행하여 상기 액티브층의 양측 가장자리 영역에 오믹콘택층을 형성하는 단계; 상기 게이트 전극이 형성된 기판 상에 층간절연막을 형성한 다음, 상기 오믹콘택층과 대응되는 영역에 콘택홀을 형성하는 단계; 상기 콘택홀이 형성된 기판 상에 제 3 금속막을 형성한 다음 포토리소그래피 공정 및 식각 공정을 진행하여 소스 전극, 드레인 전극 및 데이터 라인을 형성하는 단계; 및 상기 소스 전극과 드레인 전극이 형성된 기판 상에 보호막을 형성한 다음, 콘택홀 공정을 진행하여 상기 화소 전극 상부의 보호막을 제거하여 노출하는 단계를 포함한다.
- [0016] 또한, 본 발명의 유기전계발광표시장치는, 기판; 상기 기판 상에 형성된 제 1 스토리지 전극, 액티브층 및 화소 전극; 상기 제 1 스토리지전극 상부에 게이트 절연막을 사이에 두고 형성된 제 2 스토리지 전극과, 상기 액티브층 상부에 게이트 절연막을 사이에 두고 형성된 게이트 전극; 상기 게이트 전극이 형성된 기판 상에 층간절연막을 사이에 두고 상기 액티브층의 오믹콘택층과 전기적으로 연결되어 있는 소스 전극과 드레인 전극; 및 상기 소스 전극과 드레인 전극이 형성된 기판 상에 형성된 보호막을 포함하고, 상기 드레인 전극과 화소 전극은 직접 콘택되며, 상기 액티브층과 기판 사이에는 절연층패턴과 금속막패턴이 적층 형성된 것을 특징으로 한다.

발명의 효과

- [0017] 본 발명의 유기전계발광표시장치는, 스토리지 전극과 화소 전극을 동시에 형성하여 마스크 공정 수를 줄인 효과가 있다.
- [0018] 또한, 본 발명의 유기전계발광표시장치는, 스토리지 전극을 금속으로 형성하여 도핑 공정을 제거한 효과가 있다.

도면의 간단한 설명

- [0019] 도 1은 능동 매트릭스형 유기전계발광표시장치의 화소를 간략하게 나타내는 회로도이다.
- 도 2a 내지 도 2h는 본 발명에 따른 유기전계발광표시장치의 제조공정을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하

설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- [0021] 아래 설명은 유기전계발광표시장치에 적용되는 어레이 기판을 중심으로 설명하고 있지만, 액정표시장치의 어레이 기판에도 동일하게 적용할 수 있는 것이다.
- [0022] 도 2a 내지 도 2h는 본 발명에 따른 유기전계발광표시장치의 제조공정을 도시한 도면이다.
- [0023] 아래 도면과 설명은 본 발명의 유기전계발광표시장치의 화소 중 TFT와 스토리지 영역 및 화소전극의 제조 공정 단계를 설명한 것이다.
- [0024] 도 2a 내지 도 2h를 참조하면, 투명성 절연기판(100) 상에 금속막(101)과 버퍼층(102) 및 반도체층(103)을 순차적으로 형성한다.
- [0025] 상기 금속막(101)은 투명성 도전물질로써, ITO, ITZO 및 IZO 중 어느 하나의 물질일 수 있다. 상기 버퍼층(102)은 SiO₂ 계열의 절연막 또는 SiNx 계열의 절연막을 사용할 수 있고, 상기 반도체층(103)은 비정질 실리콘막을 형성한 후, 열처리 공정에 의해 폴리실리콘막으로 결정화한다.
- [0026] 즉, 상기 절연기판(100) 상에 금속막(101), 버퍼층(102) 및 비정질 실리콘막을 연속하여 형성한 다음, 상기 비정질 실리콘막에 대해 결정화 공정을 진행하여 반도체층(103)을 형성한다.
- [0027] 그런 다음, 상기 절연기판(100)의 전면에 감광막을 형성한 다음, 하프톤 마스크 또는 회절 마스크를 이용하여 두께가 서로 다른 제 1 감광막패턴(200a)과 제 2 감광막패턴(200b)을 상기 반도체층(103) 상에 형성한다.
- [0028] TFT부에 형성되는 제 1 감광막패턴(200a)은 화소부와 스토리지부 영역에 형성되는 제 2 감광막패턴(200b)보다 두껍게 형성한다. 이는 1차적으로 반도체층(103), 버퍼층(102) 및 금속막(101)을 식각한 다음, 추가적으로 TFT의 액티브층을 형성하기 위해 반도체층(103)을 식각 해야 하기 때문이다.
- [0029] 상기과 같이, 제 1 감광막패턴(200a)과 제 2 감광막패턴(200b)이 절연기판(100) 상에 형성되면, 도 2b에 도시한 바와 같이, 상기 제 1 감광막패턴(200a)과 제 2 감광막패턴(200b)을 마스크로 하여 식각 공정을 진행한다.
- [0030] 상기 반도체층(103)은 건식각 공정을 진행하고, 동일 챔버 내에서 습식각 공정을 진행하여 버퍼층(102)과 금속막(101)을 식각한다.
- [0031] 식각 공정을 통해, 스토리지부 영역에는 제 1 스토리지 전극(112)이 형성되고, 상기 제 1 스토리지 전극(112) 상에는 버퍼층패턴(102a)과 반도체층패턴(103a)들이 적층되어 있다.
- [0032] 또한, TFT부 영역에는 건식각과 습식각 공정을 통해 상기 제 1 감광막패턴(200a) 하측에 액티브층(114)과 절연층패턴(108) 및 금속막패턴(150)이 형성된다. 즉, 본 발명에서는 액티브층(114) 하측에 절연층패턴(108)과 금속막패턴(150)이 적층되어 있다.
- [0033] 또한, 화소부 영역에는 절연기판(100) 상에 화소전극(110)이 형성되고, 상기 화소전극(110) 상에는 버퍼층패턴(102a)과 반도체층패턴(103a)이 적층되어 있다. 즉, 본 발명에서는 화소전극(110)과 제 1 스토리지 전극(112)이 절연기판(100) 상에 형성된다.
- [0034] 상기과 같이, 절연기판(100) 상에 제 1 스토리지 전극(112), 액티브층(114) 및 화소전극(110)이 형성되면, 도 2c에 도시한 바와 같이, 에싱(ashing) 공정과 식각 공정을 진행한다.
- [0035] 에싱 공정에 의해 두께가 상대적으로 얇았던 제 2 감광막패턴(200b)은 제거되고, 제 1 감광막패턴(200a)의 두께가 줄어들어 상기 액티브층(114) 상에는 제 3 감광막패턴(200c)이 형성된다.
- [0036] 그런 다음, 상기 제 3 감광막패턴(200c)을 마스크로 하여 TFT의 액티브층(114)의 폭이 되도록 추가 식각 공정을 진행하는데, 이때, 제 1 스토리지 전극(112)과 화소전극(110) 상에 적층되어 있는 버퍼층패턴(102a)과 반도체층패턴(103a)들은 식각되어 제거된다.
- [0037] 따라서, 상기 절연기판(100) 상에 형성된 제 1 스토리지 전극(112)과 화소전극(110)은 외부로 완전히 노출된다.
- [0038] 상기과 같이, 식각 공정이 완료되면 도 2d에 도시한 바와 같이, 스트립(Strip) 공정을 진행하여 액티브층(114) 상에 존재하는 제 3 감광막패턴(200c)을 제거한다.

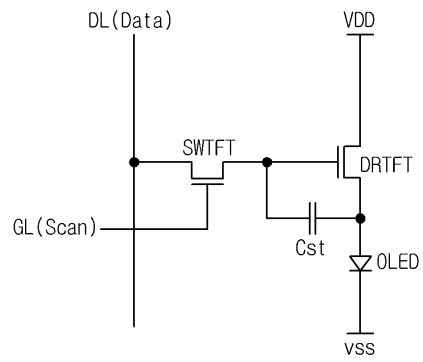
- [0039] 그런 다음, 도 2e에 도시한 바와 같이, 절연기관(100)의 전 영역에 게이트 절연막(120)을 형성하고, 이후 Al, AlNd, Mo Ti, W 중 어느 한 금속, 또는 둘 이상의 금속이나 합금(Ti/AlTi, Cu/MoTi, Mo/AlNd, MoTi/Cu/MoTi, IT0/Cu/MoTi)으로 선택되는 금속막을 상기 게이트 절연막(120) 상에 형성한 다음, 포토리소그래피 공정 및 식각 공정을 진행한다.
- [0040] 식각 공정에 의해 상기 제 1 스토리지 전극(112)과 대응되는 게이트 절연막(120) 상에는 제 2 스토리지 전극(122)이 형성되고, 상기 액티브층(114)과 대응되는 게이트 절연막(120) 상에는 게이트 전극(130)을 형성한다.
- [0041] 상기와 같이, 게이트 전극(130)이 형성되면, 상기 게이트 전극(130)을 마스크로 하여 상기 액티브층(114)의 양측 가장자리 영역에 이온 주입 공정을 진행하여 오믹콘택층(115a)을 형성한다.
- [0042] 상기 오믹콘택층(115a)은 이후 형성될 소스/드레인 전극과 콘택되는 위치에 형성된다.
- [0043] 상기와 같이, 게이트 전극(130)이 절연기관(100) 상에 형성되면, 도 2f에 도시한 바와 같이, 절연기관(100) 전 영역에 층간절연막(125)을 형성한다. 상기 층간절연막(125)이 절연기관(100) 상에 형성되면, 포토리소그래피 공정에 따라 상기 오믹콘택층(115a)과 대응되는 영역에 콘택홀을 형성한다.
- [0044] 따라서, 상기 액티브층(114)의 양측 가장자리에 형성되어 있는 오믹콘택층(115a)은 외부로 노출된다. 또한, 상기 콘택홀 공정에서는 화소부에 형성되는 게이트 절연막(120)과 층간절연막(125)을 모두 제거하여 화소 전극(110)이 노출되도록 한다.
- [0045] 상기와 같이, 콘택홀 공정이 완료되면 도 2g에 도시한 바와 같이, 절연기관(100)의 전 영역에 Al, Mo, Cr, Cu, Al 합금, Mo 합금, Cu 합금 등 금속의 단일층 또는 이중층 구조를 갖는 금속막을 스퍼터링 공정으로 형성한다.
- [0046] 그런 다음, 포토리소그래피 공정과 습식 식각 공정을 진행하여 소스 전극(170a)과 드레인 전극(170b) 및 데이터 라인(미도시)을 형성한다.
- [0047] 이때, 화소부에서는 드레인 전극(170b)이 화소 전극(110)과 직접 콘택된다.
- [0048] 상기와 같이, 소스 및 드레인 전극(170a, 170b)이 절연기관(100) 상에 형성되면, 도 2h에 도시한 바와 같이, 절연기관(100)의 전 영역 상에 보호막(180)을 형성한다.
- [0049] 그런 다음, 콘택홀 공정을 진행하여 화소부에 형성된 보호막(180)을 제거한다. 상기와 같이, 화소부의 화소 전극(110)이 외부로 노출되면, 계속해서 발광층과 전극층을 형성하여 발광다이오드를 형성할 수 있다.
- [0050] 또한, 적, 녹, 청색 유기발광층이 상부기관에 형성될 경우에는 유기발광층을 포함하는 유기 발광 다이오드의 전극과 박막 트랜지스터의 드레인 전극(170b)과의 전기적 콘택을 위해 상기 드레인 전극(170b) 상의 보호막(180)에 콘택홀을 형성할 수 있다.
- [0051] 상부 기관 상에 유기 발광 다이오드가 형성될 경우에는 도전성 스페이서를 이용하여 드레인 전극(170b)과 상부 기관의 유기 발광 다이오드의 전극을 전기적으로 연결할 수 있다.
- [0052] 이와 같이, 본 발명에서는 스토리지 전극을 금속으로 형성하여 화소전극과 동시에 패터닝되도록 함으로써, 마스크 공정 수를 저감한 효과가 있다.
- [0053] 또한, 종래 기술에서는 스토리지 전극이 도핑된 반도체층으로 형성되어, 별도의 도핑 공정을 진행해야 했지만, 본 발명에서는 금속을 이용하여 스토리지 전극을 형성함으로써, 도핑 공정을 제거한 효과가 있다.

부호의 설명

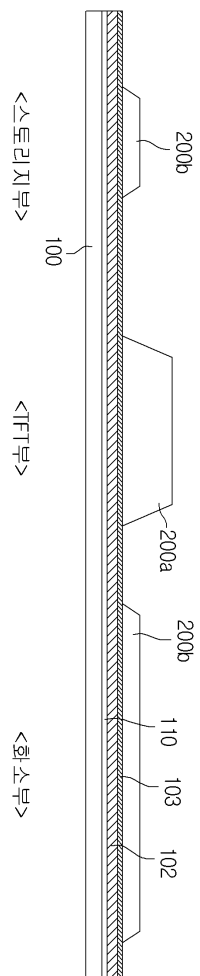
- [0054]
- | | |
|------------------|--------------|
| 100: 절연기관 | 110: 화소 전극 |
| 112: 제 1 스토리지 전극 | 114: 액티브층 |
| 122: 제 2 스토리지 전극 | 130: 게이트 전극 |
| 170a: 소스 전극 | 170b: 드레인 전극 |

도면

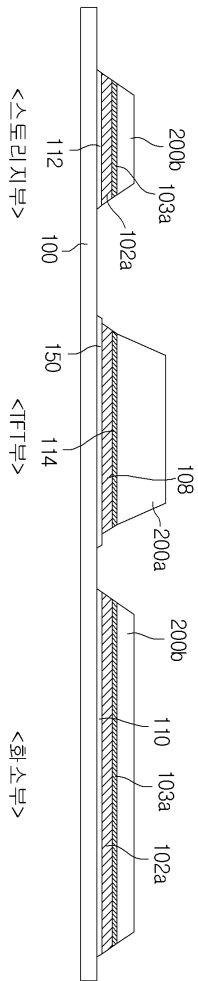
도면1



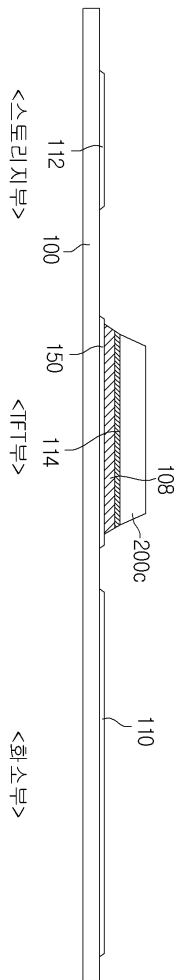
도면2a



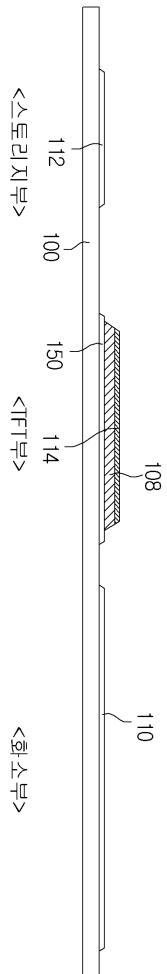
도면2b



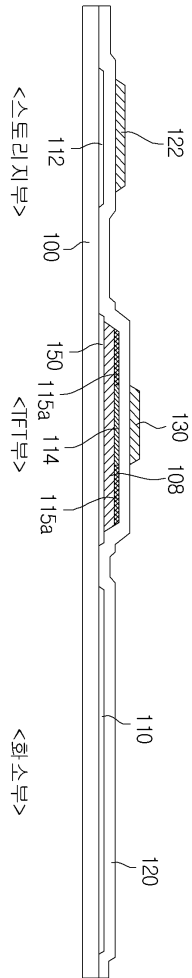
도면2c



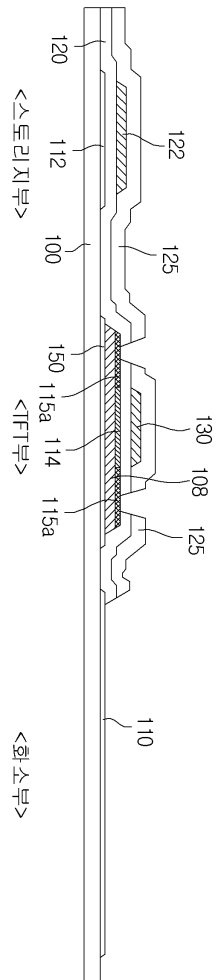
도면2d



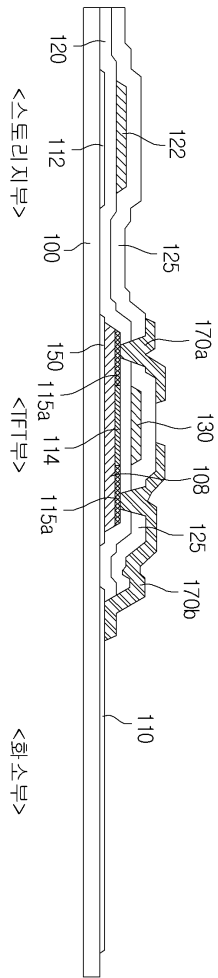
도면2e



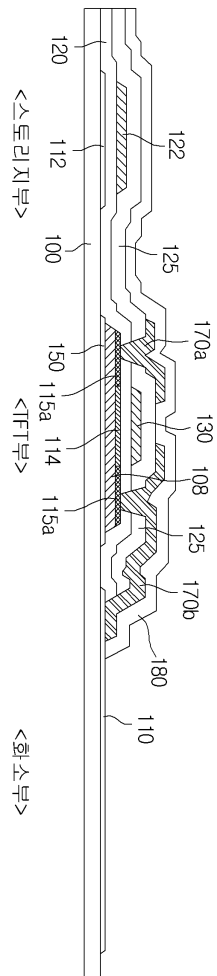
도면2f



도면2g



도면2h



专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020120053769A	公开(公告)日	2012-05-29
申请号	KR1020100115055	申请日	2010-11-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO KI SUL 조기술 SEO SEONG MOH 서성모		
发明人	조기술 서성모		
IPC分类号	H01L51/56 H01L27/12		
CPC分类号	H01L51/56 H01L27/1259 H01L27/1288 H01L2227/323		
其他公开文献	KR101750562B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机电致发光显示器件及其制造方法，通过将存储电极形成金属来消除掺杂，并减少掩模工艺的数量。组成：在第一个基板上形成栅极绝缘层同时形成存储电极，有源层（114）和像素电极。在基板上形成第二金属膜。欧姆接触层（115a）形成在有源层的两个边缘区域上。在形成有栅电极（130）的基板上形成层间绝缘膜之后，在对应于欧姆接触层的区域中形成接触孔。在基板上形成第三金属膜之后形成源电极，漏电极和数据线。COPYRIGHT KIPO 2012

