



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0042525
(43) 공개일자 2012년05월03일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01)

(21) 출원번호 10-2010-0104242

(22) 출원일자 2010년10월25일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

최보경

경기도 용인시 기흥구 삼성2로 95 (농서동)

조규식

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

리엔특특허법인

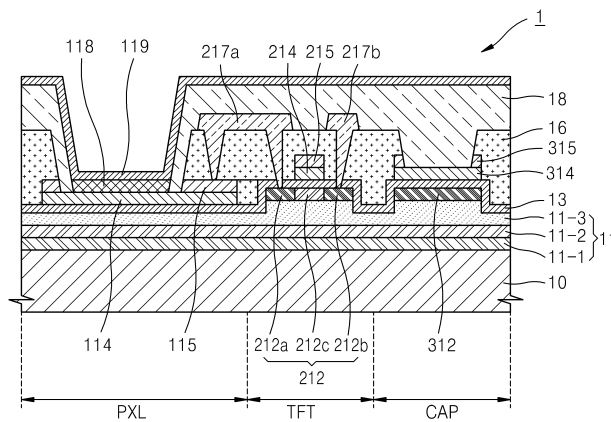
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 유기 발광 디스플레이 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 기판 상에 배치되고, 굴절률이 다른 복수의 절연막을 포함하고, 상기 복수의 절연막 중 적어도 하나는 동일면상에서 두께가 다르게 형성된 버퍼층; 상기 버퍼층의 두께가 두꺼운 영역에 형성된 박막트랜지스터의 활성층; 상기 버퍼층의 두께가 얇은 영역에 형성된 화소 전극; 게이트 절연막을 사이에 두고 상기 활성층 상에 형성된 박막트랜지스터의 게이트 전극과, 상기 활성층에 접속된 박막트랜지스터의 소스 및 드레인 전극; 상기 화소 전극 상에 형성된 발광층; 및 상기 발광층을 사이에 두고, 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 디스플레이 장치를 제공한다.

대표도 - 도9



(72) 발명자

문상호

경기도 용인시 기흥구 삼성2로 95 (농서동)

최준후

경기도 용인시 기흥구 삼성2로 95 (농서동)

유춘기

경기도 용인시 기흥구 삼성2로 95 (농서동)

박선

경기도 용인시 기흥구 삼성2로 95 (농서동)

박종현

경기도 용인시 기흥구 삼성2로 95 (농서동)

이윤규

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기관 상에 배치되고, 굴절률이 다른 복수의 절연막을 포함하고, 상기 복수의 절연막 중 적어도 하나는 동일면상에서 두께가 다르게 형성된 버퍼층;

상기 버퍼층의 두께가 두꺼운 영역에 형성된 박막트랜지스터의 활성층;

상기 버퍼층의 두께가 얇은 영역에 형성된 화소 전극;

게이트 절연막을 사이에 두고 상기 활성층 상에 형성된 박막트랜지스터의 게이트 전극과, 상기 활성층에 접속된 박막트랜지스터의 소스 및 드레인 전극;

상기 화소 전극 상에 형성된 발광층; 및

상기 발광층을 사이에 두고, 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 복수의 절연막 중 두께가 다르게 형성된 막은 상기 버퍼층의 최상층 막인 유기 발광 디스플레이 장치.

청구항 3

제 2 항에 있어서,

상기 버퍼층의 최상층 막은 상기 최상층 하부 막보다 수소 함량이 작은 유기 발광 디스플레이 장치.

청구항 4

제 3 항에 있어서,

상기 활성층은 다결정 실리콘을 포함하고,

상기 버퍼층의 최상층 하부막은 상기 다결정 실리콘의 결함 사이트에 충전되어 상기 결함을 치유하는 유기 발광 디스플레이 장치.

청구항 5

제 3 항에 있어서,

상기 버퍼층의 최상층 막, 및 상기 최상층 하부 막은 각각 실리콘 옥사이드 및 실리콘 나이트라이드 인 유기 발광디스플레이 장치.

청구항 6

제 1 항에 있어서,

상기 버퍼층의 두께가 두꺼운 영역의 단부와 상기 활성층의 식각면의 단부의 형상이 동일한 유기 발광 디스플레이 장치.

청구항 7

제 1 항에 있어서,

상기 복수의 절연막은 서로 인접한 막의 굴절률이 다른 유기 발광 디스플레이 장치.

청구항 8

제 1 항에 있어서,

상기 게이트 절연막은 굴절률이 다른 복수의 막을 포함하는 유기 발광 디스플레이 장치.

청구항 9

제 8 항에 있어서,

상기 게이트 절연막의 복수의 막 중 상기 활성층에 접촉하는 막은 상기 활성층에 접촉하지 않는 다른 막보다 수소 함량이 작은 유기 발광 디스플레이 장치.

청구항 10

제 8 항에 있어서,

상기 활성층은 다결정 실리콘을 포함하고,

상기 활성층에 접촉하지 않는 막은 상기 다결정 실리콘의 결함 사이트에 충전되어 상기 결함을 치유하는 유기 발광 디스플레이 장치.

청구항 11

제 8 항에 있어서,

상기 게이트 절연막의 복수의 막 중 상기 활성층에 접촉하는 막 및 상기 활성층에 접촉하지 않은 막은 각각 실리콘 옥사이드 및 실리콘 나이트라이드인 유기 발광 디스플레이 장치.

청구항 12

제 1 항에 있어서,

상기 화소 전극은 투명 전극이고, 상기 대향 전극은 반사 전극인 유기 발광 디스플레이 장치.

청구항 13

제 1 항에 있어서,

상기 활성층과 동일층에 형성되고 상기 버퍼층의 두께가 두꺼운 영역에 형성된 커패시터의 하부 전극과, 상기 게이트 전극과 동일층에 형성된 커패시터의 상부 전극을 더 포함하는 유기 발광 디스플레이 장치.

청구항 14

제 13 항에 있어서,

상기 하부 전극의 단부와 상기 버퍼층의 두께가 두꺼운 영역의 단부의 식각면의 형상이 동일한 유기 발광 디스플레이 장치.

청구항 15

제 13 항에 있어서,

상기 하부 전극은 다결정 실리콘을 포함하고, 상기 게이트 절연막의 복수의 막 중 상기 하부 전극에 접촉하는 막은 상기 하부 전극에 접촉하지 않는 다른 막보다 수소 함량이 작은 유기 발광 디스플레이 장치.

청구항 16

제 15 항에 있어서,

상기 하부 전극에 접촉하는 막 및 상기 하부 전극에 접촉하지 않은 막은 각각 실리콘 옥사이드 및 실리콘 나이트라이드인 유기 발광 디스플레이 장치.

청구항 17

기판 상에 굴절률이 다른 복수의 절연막을 포함하는 버퍼층을 형성함;

상기 버퍼층 상에 반도체층을 형성한 후 상기 반도체층을 패터닝하여 활성층을 형성하고, 상기 활성층이 형성되

는 영역의 버퍼층의 두께를 상기 활성층이 형성되지 않는 영역의 두께보다 두껍게 형성함;

상기 활성층을 덮도록 게이트 절연막을 형성하고, 상기 게이트 절연막 상의 상기 버퍼층의 두께가 얇은 영역에 화소 전극을 형성하고, 상기 게이트 절연막을 사이에 두고 상기 활성층 상에 게이트 전극을 형성함;

층간 절연막을 형성하고, 상기 층간 절연막에 상기 활성층 및 화소 전극의 일부가 노출되도록 개구를 형성함;

상기 활성층에 접속하는 소스 전극 및 드레인 전극을 형성함; 및

상기 소스 전극 및 드레인 전극을 덮고, 상기 화소 전극을 노출시키는 개구를 갖는 화소 정의막을 형성함;을 포함하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 기판 상에 굴절률이 다른 복수의 절연막을 포함하는 버퍼층을 형성할 시, 상기 버퍼층의 최상층의 막은 다른 막보다 더 두껍게 형성하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 버퍼층의 최상층 막의 두께를 동일면상에서 다르게 형성하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 20

제 19 항에 있어서,

상기 활성층을 가림 마스크로 이용하여 버퍼층의 두께를 다르게 식각하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 21

제 17 항에 있어서,

상기 활성층 형성 시, 비정질 실리콘을 결정화하는 공정이 함께 수반되는 유기 발광 디스플레이 장치의 제조 방법.

청구항 22

제 17 항에 있어서,

상기 게이트 절연막은 굴절률이 다른 복수의 막으로 형성되는 유기 발광 디스플레이 장치의 제조 방법.

청구항 23

제 17 항에 있어서,

상기 활성층과 동일층에 상기 활성층과 동일 물질을 포함하는 커패시터 하부 전극을 동시에 형성하고, 상기 게이트 전극과 동일층에 상기 게이트 전극과 동일 물질을 포함하는 커패시터 상부 전극을 형성하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 24

제 23 항에 있어서,

상기 하부 전극을 가림 마스크로 이용하여 상기 버퍼층의 두께를 다르게 식각하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 25

제 23 항에 있어서,

상기 소스 전극 및 드레인 전극 형성 시, 상기 상부 전극의 일부를 제거하고, 상기 하부 전극에 이온 불순물을

도평하는 유기 발광 디스플레이 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 디스플레이 장치는 경량 박형이 가능할 뿐만 아니라, 넓은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 디스플레이 장치로서 주목 받고 있다.

[0003] 한편, 풀 컬러(full color)를 구현하는 유기 발광 디스플레이 장치의 경우, 색이 다른 각 화소(예를 들어, 적색, 녹색, 청색 화소)의 유기 발광층에서 사출되는 각 파장의 광학 길이를 변화시키는 광 공진 구조가 채용되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 광 특성 및 소자 특성이 우수하고, 제조 공정이 단순한 유기 발광 디스플레이 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 일 측면에 의하면, 기판 상에 배치되고, 굴절률이 다른 복수의 절연막을 포함하고, 상기 복수의 절연막 중 적어도 하나는 동일면상에서 두께가 다르게 형성된 버퍼층; 상기 버퍼층의 두께가 두꺼운 영역에 형성된 박막트랜지스터의 활성층; 상기 버퍼층의 두께가 얇은 영역에 형성된 화소 전극; 게이트 절연막을 사이에 두고 상기 활성층 상에 형성된 박막트랜지스터의 게이트 전극과, 상기 활성층에 접촉된 박막트랜지스터의 소스 및 드레인 전극; 상기 화소 전극 상에 형성된 발광층; 및 상기 발광층을 사이에 두고, 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 디스플레이 장치를 제공한다.

[0006] 본 발명의 다른 특징에 의하면, 상기 복수의 절연막 중 두께가 다르게 형성된 막은 상기 버퍼층의 최상층 막일 수 있다.

[0007] 본 발명의 또 다른 특징에 의하면, 상기 버퍼층의 최상층 막은 상기 최상층 하부 막보다 수소 함량이 작을 수 있다.

[0008] 본 발명의 또 다른 특징에 의하면, 상기 활성층은 다결정 실리콘을 포함하고, 상기 버퍼층의 최상층 하부막은 상기 다결정 실리콘의 결함 사이트에 충전되어 상기 결함을 치유할 수 있다.

[0009] 본 발명의 또 다른 특징에 의하면, 상기 버퍼층의 최상층 막, 및 상기 최상층 하부 막은 각각 실리콘 옥사이드 및 실리콘 나이트라이드 일 수 있다.

[0010] 본 발명의 또 다른 특징에 의하면, 상기 버퍼층의 두께가 두꺼운 영역의 단부와 상기 활성층의 식각면의 단부의 형상이 동일할 수 있다.

[0011] 본 발명의 또 다른 특징에 의하면, 상기 복수의 절연막은 서로 인접한 막의 굴절률이 다를 수 있다.

[0012] 본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막은 굴절률이 다른 복수의 막을 포함할 수 있다.

[0013] 본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막의 복수의 막 중 상기 활성층에 접촉하는 막은 상기 활성층에 접촉하지 않는 다른 막보다 수소 함량이 작을 수 있다.

[0014] 본 발명의 또 다른 특징에 의하면, 상기 활성층은 다결정 실리콘을 포함하고, 상기 활성층에 접촉하지 않는 막은 상기 다결정 실리콘의 결함 사이트에 충전되어 상기 결함을 치유할 수 있다.

[0015] 본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막의 복수의 막 중 상기 활성층에 접촉하는 막 및 상기 활성층에 접촉하지 않는 막은 각각 실리콘 옥사이드 및 실리콘 나이트라이드일 수 있다.

- [0016] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극은 투명 전극이고, 상기 대향 전극은 반사 전극일 수 있다.
- [0017] 본 발명의 또 다른 특징에 의하면, 상기 활성층과 동일층에 형성되고 상기 버퍼층의 두께가 두꺼운 영역에 형성된 커패시터의 하부 전극과, 상기 게이트 전극과 동일층에 형성된 커패시터의 상부 전극을 더 포함할 수 있다.
- [0018] 본 발명의 또 다른 특징에 의하면, 상기 하부 전극의 단부와 상기 버퍼층의 두께가 두꺼운 영역의 단부의 식각면의 형상이 동일할 수 있다.
- [0019] 본 발명의 또 다른 특징에 의하면, 상기 하부 전극은 다결정 실리콘을 포함하고, 상기 게이트 절연막의 복수의 막 중 상기 하부 전극에 접촉하는 막은 상기 하부 전극에 접촉하지 않는 다른 막보다 수소 함량이 작을 수 있다.
- [0020] 본 발명의 또 다른 특징에 의하면, 상기 하부 전극에 접촉하는 막 및 상기 하부 전극에 접촉하지 않은 막은 각각 실리콘 옥사이드 및 실리콘 나이트라이드일 수 있다.
- [0021] 본 발명의 다른 측면에 의하면, 기판 상에 굴절률이 다른 복수의 절연막을 포함하는 버퍼층을 형성함; 상기 버퍼층 상에 반도체층을 형성한 후 상기 반도체층을 패터닝하여 활성층을 형성하고, 상기 활성층이 형성되는 영역의 버퍼층의 두께를 상기 활성층이 형성되지 않는 영역의 두께보다 두껍게 형성함; 상기 활성층을 덮도록 게이트 절연막을 형성하고, 상기 게이트 절연막 상의 상기 버퍼층의 두께가 얇은 영역에 화소 전극을 형성하고, 상기 게이트 절연막 사이에 두고 상기 활성층 상에 게이트 전극을 형성함; 층간 절연막을 형성하고, 상기 층간 절연막에 상기 활성층 및 화소 전극의 일부가 노출되도록 개구를 형성함; 상기 활성층에 접속하는 소스 전극 및 드레인 전극을 형성함; 및 상기 소스 전극 및 드레인 전극을 덮고, 상기 화소 전극을 노출시키는 개구를 갖는 화소 정의막을 형성함;을 포함하는 유기 발광 디스플레이 장치의 제조 방법을 제공한다.
- [0022] 본 발명의 다른 특징에 의하면, 상기 기판 상에 굴절률이 다른 복수의 절연막을 포함하는 버퍼층을 형성할 시, 상기 버퍼층의 최상층의 막은 다른 막보다 더 두껍게 형성할 수 있다.
- [0023] 본 발명의 또 다른 특징에 의하면, 상기 버퍼층의 최상층 막의 두께를 동일면상에서 다르게 형성할 수 있다.
- [0024] 본 발명의 또 다른 특징에 의하면, 상기 활성층을 가림 마스크로 이용하여 버퍼층의 두께를 다르게 식각할 수 있다.
- [0025] 본 발명의 또 다른 특징에 의하면, 상기 활성층 형성 시, 비정질 실리콘을 결정화하는 공정이 함께 수반될 수 있다.
- [0026] 본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막은 굴절률이 다른 복수의 막으로 형성될 수 있다.
- [0027] 본 발명의 또 다른 특징에 의하면, 상기 활성층과 동일층에 상기 활성층과 동일 물질을 포함하는 커패시터 하부 전극을 동시에 형성하고, 상기 게이트 전극과 동일층에 상기 게이트 전극과 동일 물질을 포함하는 커패시터 상부 전극을 형성할 수 있다.
- [0028] 본 발명의 또 다른 특징에 의하면, 상기 하부 전극을 가림 마스크로 이용하여 상기 버퍼층의 두께를 다르게 식각할 수 있다.
- [0029] 본 발명의 또 다른 특징에 의하면, 상기 소스 전극 및 드레인 전극 형성 시, 상기 상부 전극의 일부를 제거하고, 상기 하부 전극에 이온 불순물을 도핑할 수 있다.

발명의 효과

- [0030] 상기와 같은 본 발명에 따른 유기 발광 디스플레이 장치는 화소 전극 및 활성층 하부의 버퍼층의 두께를 화소 영역과 트랜지스터 영역 별로 다르게 형성함으로써, 공진 효과에 의한 색재현율 및 결정립 경계의 결함 치유에 따른 소자 특성을 향상할 수 있다.
- [0031] 또한, 활성층 패터를 위한 마스크 공정에서, 별도의 마스크 공정추가 없이 버퍼층을 식각함으로써 제조 공정을 단순화시킬 수 있다.

도면의 간단한 설명

- [0032] 도 1 내지 8은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 제조 과정을 개략적으로 도시한 단면도들이다.

도 9는 상기 제조 방법에 의해 형성된 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.

도 10은 본 발명의 다른 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0034] 먼저, 도 1 내지 8을 참조하여, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(1) 및 그 제조 방법을 설명한다.
- [0035] 도 1 내지 8은 본 실시예에 따른 유기 발광 디스플레이 장치(1)의 제조 과정을 개략적으로 도시한 단면도이고, 도 9는 상기 제조 방법에 의해 형성된 유기 발광 디스플레이 장치(1)를 개략적으로 도시한 단면도이다.
- [0036] 도 1을 참조하면, 기판(10) 상에 굴절률이 다른 복수의 절연막(11-1, 11-2, 11-3)을 포함하는 버퍼층(11) 및 반도체층(12)이 순차로 형성된다.
- [0037] 기판(10)은 빛이 투과할 수 있는 투명 재질의 글라스재나 플라스틱재로 형성될 수 있다.
- [0038] 기판(10) 상에는 굴절률이 다른 복수의 절연막(11-1, 11-2, 11-3)이 순차로 형성되어 버퍼층(11)이 형성된다. 도 1에는 버퍼층(11)으로 3층의 막이 형성된 것으로 도시되어 있으나, 이는 일 예시 일뿐 본 발명은 이에 한정되지 않는다. 즉, 굴절률이 다른 최소 두 개 이상의 막이 형성될 수 있다.
- [0039] 복수의 절연막(11-1, 11-2, 11-3) 중 최상층 막(11-3)의 두께를 최상층 하부의 막(11-1, 11-2) 두께보다 더 두껍게 형성할 수 있다. 이는 후술하겠지만, 최상층 막(11-3)을 식각하여 동일면상에서 화소 영역(PXL), 트랜지스터 영역(TFT), 및 커패시터 영역(CAP) 별로 두께를 다르게 형성하기 위함이다.
- [0040] 이러한 버퍼층(11)은 전체적으로 기판(10)으로부터 불순 원소의 침투를 방지하며 기판(10) 표면을 평탄화한다.
- [0041] 또한, 버퍼층(11)은 굴절률이 다른 복수의 절연막(11-1, 11-2, 11-3)으로 형성됨으로써, 발광층(118, 도 9참조)에서 방출된 빛이 기판(10)으로 투과할 시, 공진효과를 극대화하는 절연브래그반사(Dielectric Bragg Reflector: DBR) 역할을 함으로써 색 재현율을 향상시킬 수 있다. 이때 복수의 절연막(11-1, 11-2, 11-3)은 모두 굴절률이 다를 필요는 없으며, 인접한 절연막끼리의 굴절률이 서로 다른 것으로 족하다.
- [0042] 또한, 버퍼층(11)은 반도체층(12)이 패터닝 되어 형성될 박막트랜지스터의 활성층(212, 도 3참조)의 전기적 특성에 관련된다. 이에 관하여는 후술한다.
- [0043] 상기와 같은 역할을 수행하기 위하여 버퍼층(11)을 형성하는 복수의 절연막(11-1, 11-2, 11-3)은 다양한 물질로 형성될 수 있다. 일례로, 상기 버퍼층(11)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드 등으로 형성될 수 있다.
- [0044] 버퍼층(11) 상에 반도체층(12)을 형성한다. 버퍼층(11) 및 반도체층(12)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0045] 반도체층(12)은 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly silicon)일 수 있다. 이때, 다결정 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0046] 도 2를 참조하면, 반도체층(12) 상에 포토레지스터(P)를 도포하고, 광차단부(M11) 및 광투과부(M12)를 구비한 제1 포토마스크(M1)를 이용한 제1 마스크 공정을 실시한다.
- [0047] 상기 도면에는 상세히 도시되지 않았으나, 노광장치(미도시)로 제1 포토마스크(M1)에 노광 후, 현상(developing) 및 식각(etching) 공정을 거친다.
- [0048] 도 3을 참조하면, 제1 포토마스크 공정의 결과로 반도체층(12)은 식각되어 박막 트랜지스터의 활성층(212), 및 커패시터의 하부 전극(312)으로 패터닝된다.
- [0049] 이때, 활성층(212) 및 하부 전극(312) 상에 잔존하는 포토레지스터(P')와, 상기 활성층(212) 및 하부 전극(31

2)을 가림 마스크로 하여 버퍼층(11)의 최상층 막(11-3)을 두께가 다르게 식각한다. 즉, 활성층(212)에 직접 접촉한 버퍼층(11)의 최상층 막(11-3)과, 하부 전극(312)에 직접 접촉한 버퍼층(11)의 최상층 막(11-3)의 두께(d2)가 화소 영역(PXL)의 최상층 막(11-3)의 두께(d1)보다 두껍게 되도록 형성한다.

- [0050] 한편, 활성층(212)을 형성하는 반도체층이 다결정 실리콘일 경우, 고해상도 디스플레이 구현이 가능하다. 이는 다결정 실리콘이 비정질 실리콘보다 캐리어(carrier) 이동도가 높기 때문이다. 그러나, 다결정 실리콘은 결정립 경계(crystal grain boundary)에 땀글링 본드(dangling bond)와 같은 불완전한 결함(defect)이 있으며, 이 결함은 박막트랜지스터의 문턱 전압(V_{th})과 같은 소자의 전기적 특성을 저하시킨다. 이러한 결함은 활성층의 결함 사이트(defect site)에 수소가 제공됨으로써 치유될 수 있다.
- [0051] 상기와 같은 문제를 해결하기 위하여, 본 실시예에 따른 유기 발광 디스플레이 장치(1)에서는, 활성층(212)과 하부 전극(312) 하부에 위치하는 버퍼층(11)을 형성하는 복수의 절연막(11-1, 11-2, 11-3) 중 적어도 하나의 막에 수소 함량이 높은 절연막이 제공된다. 그러나, 수소 함량이 높은 절연막은 활성층(212) 및 하부전극(312)과 직접 접촉하는 막에는 형성되지 않는다. 본 실시예에서는 버퍼층(11)의 최상층 막(11-3)보다 그 하부막(11-2)의 수소 함량이 높다. 예컨대, 최상층 막(11-3)은 실리콘 옥사이드로 형성되고, 하부막(11-2)은 실리콘 나이트라이드로 구비된다.
- [0052] 실리콘 나이트라이드와 같이 수소 함량이 높은 물질은 다결정 실리콘의 결함 사이트를 치유하여 문턱 전압을 낮출 수 있으나, 반면 불순물이 많고 다공성(porous)이기 때문에 활성층(212)에 직접 접촉할 경우 문턱 전압의 안정성에 악영향을 끼칠 수 있다. 따라서, 실리콘 나이트라이드와 활성층(212) 사이에 보호막이 필요하며, 보호막으로 실리콘 나이트라이드보다 수소 함량이 작은 실리콘 옥사이드를 사용할 수 있다. 이와 같은 보호막은 적절한 두께로 형성되어야 하며, 적어도 1000 Å 이상의 두께로 형성되어야 보호막으로서의 역할을 할 수 있다.
- [0053] 실험예로, 동일 조건에서 버퍼층(11) 최상층 막(11-3)을 두께가 각각 700 Å 및 3000 Å의 실리콘 옥사이드로 형성하고, 그 하부에 실리콘 나이트라이드를 형성하여 문턱전압의 변화량을 측정하였을 때, 실리콘 옥사이드의 두께가 두꺼운 쪽이 얇은 쪽보다 문턱전압의 변화량이 2배 정도 감소하였고, 이로써 소자 특성이 안정됨을 확인할 수 있었다.
- [0054] 상술한 바와 같이 본 실시예에서는, 실리콘 옥사이드를 포함하는 버퍼층(11)의 최상층 막(11-3)의 두께를 트랜지스터 영역(TFT)과 커패시터 영역(CAP)에서는 두껍게 형성하고, DBR 역할이 필요한 화소 영역(PXL)에서는 최상층 막(11-3)의 두께를 얇게 형성함으로써, 디스플레이 장치의 색재현율 문제와 소자의 전기적 특성 문제를 일거에 해결할 수 있다.
- [0055] 상기와 같이 최상층 막(11-3)의 두께를 활성층(212)과 하부 전극(312)을 가림 마스크로 이용하여 식각하기 때문에, 최상층 막(11-3)을 식각하는데 별도의 마스크 공정이 추가되지 않는다. 또한, 최상층 막(11-3)과 활성층(212), 및 최상층 막(11-3)과 하부 전극(312)의 식각면의 단부 형상이 동일하게 형성된다.
- [0056] 버퍼층(11)에 대한 식각 공정 후, 활성층(212) 및 하부 전극(312) 상에 잔존하는 포토레지스터(P')는 스트리핑(striping) 또는 에싱(ashing) 등과 같은 일련의 공정에 의해 제거된다.
- [0057] 한편, 본 실시예에서는 버퍼층(11)의 최상층 막(11-3)을 식각하여 두께를 조절하였지만, 본 발명은 이에 한정되지 않는다. 즉, 필요에 따라 최상층 막(11-3)이 아닌 막을 식각하여 버퍼층(11)의 두께를 조절할 수 있다. 다만, 이 경우, 활성층(212)과 하부 전극(312)을 형성하기 전에 버퍼층(11)을 식각하여야 하므로, 별도의 마스크 공정이 추가될 수 있다.
- [0058] 도 4는 본 실시예에 따른 유기 발광 디스플레이 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0059] 도 4를 참조하면, 도 3의 제1마스크 공정의 결과물 상에 게이트 절연막(13)이 적층되고, 게이트 절연막(13) 상에 투명도전물 및 금속을 포함하는 층들(미도시)이 순차로 적층된 후, 투명도전물 및 금속을 포함하는 층들이 동시에 패터닝된다.
- [0060] 패터닝 결과, 게이트 절연막(13) 상의 화소 영역(PXL)에는 투명도전물을 포함하는 제1화소 전극(114) 및 금속을 포함하는 제2화소 전극(115) 차례로 형성된다. 즉, 버퍼층(11)의 최상층 막(11-3)의 두께가 얇은 영역에 제1 및 제2화소 전극(114, 115)이 형성된다. 또한, 트랜지스터 영역(TFT)에는 투명도전물을 포함하는 제1게이트 전극(214) 및 금속을 포함하는 제2게이트 전극(215) 차례로 형성되며, 커패시터 영역(CAP)에는 투명도전물을 포함하는 커패시터 제1상부 전극(314) 및 금속을 포함하는 제2상부 전극(315)이 동시에 형성된다.

- [0061] 게이트 절연막(13)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드에서 선택된 하나 이상의 물질을 포함할 수 있으며, 게이트 절연막(13)은 커패시터의 유전막 역할을 한다.
- [0062] 제1화소 전극(114), 제1게이트 전극(214) 및 커패시터 제1상부 전극(314)은 동일한 투명도전물로 형성된다. 투명도전물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0063] 제2화소 전극(115), 제2게이트 전극(215), 및 제2 상부 전극(315)은 동일한 금속 재료로 형성되며, 상기 투명도전물과 식각률이 다른 금속으로 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0064] 상기와 같은 구조물 위에 이온 불순물이 도핑된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm² 이상의 농도로 박막 트랜지스터의 활성층(212)을 타겟으로 하여 도핑(D1)한다.
- [0065] 이때, 제1 및 제2게이트 전극(214, 215)을 셀프 얼라인(self align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑함으로써 활성층(212)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 제1 및 제2게이트 전극(214, 215)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0066] 도 5는 본 실시예에 따른 유기 발광 디스플레이 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0067] 도 5를 참조하면, 도 4의 제2마스크 공정의 결과물 상에 층간 절연막(16)이 적층되고, 층간 절연막(16)을 패터닝하여 제1 및 제2 화소 전극(114, 115)을 노출키는 제1, 및 제2콘택홀(C1, C2), 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시키는 제3 및 제4콘택홀(C3, C4), 커패시터의 제1 및 제2상부 전극(314, 315)을 노출시키는 제5콘택홀(C5)이 형성된다.
- [0068] 도 6 및 도 7은 본 실시예에 따른 유기 발광 디스플레이 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도들이다.
- [0069] 도 6을 참조하면, 도 5의 제3마스크 공정의 결과물 상에 소스 및 드레인 전극의 재료가 되는 금속층(17)을 형성하고, 금속층(17) 상에 포토레지스터(P)를 순차로 형성한다. 그리고, 광차단부(M41) 및 광투과부(M42)를 구비한 제4 포토마스크(M4)를 이용한 제4 마스크 공정을 실시한다.
- [0070] 도 7을 참조하면, 층간 절연막(16) 상에 소스 및 드레인 전극(217a, 217b)이 형성된다. 소스 및 드레인 전극(217a, 217b)을 형성하는 금속은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0071] 소스 및 드레인 전극(217a, 217b) 형성 시, 제2화소 전극(115)과 제2상부 전극(315)이 함께 식각된다. 이때, 소스 및 드레인 전극(217a, 217b)을 형성하는 금속과, 제2화소 전극(115) 및 제2상부 전극(315)을 형성하는 금속이 동일 재료일 경우에는 동일한 식각액을 이용한 한번의 식각 공정으로 소스 및 드레인 전극(217a, 217b)을 패터닝할 수 있다. 만약, 소스 및 드레인 전극(217a, 217b)을 형성하는 금속과, 제2화소 전극(115) 및 제2상부 전극(315)을 형성하는 금속이 서로 다른 재료일 경우에는, 1차 식각액으로 소스 및 드레인 전극(217a, 217b)을 형성하는 금속을 식각하여 드레인 전극(217a, 217b) 패터를 형성하고, 2차 식각액으로 제2화소 전극(115) 및 제2상부 전극(315)을 제거한다.
- [0072] 상술한 식각 공정 후, 커패시터 하부 전극(312)을 타겟으로 하여 이온 불순물이 도핑된다. 커패시터는 도핑전 MOS(Metal Oxide Semiconductor) CAP 구조이나, 도핑후 MOS CAP 구조보다 정전용량이 큰 MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화 시킬 수 있다. 따라서, MIM CAP 구조는 MOS CAP 구조보다 작은 면적으로도 동일한 정전용량을 구현할 수 있으므로, 커패시터의 면적을 줄일 수 있는 마진이 높아지는 만큼, 제1화소 전극(114)을 크게 형성하여 개구율을 높일 수 있다.
- [0073] 도 8은 본 실시예에 따른 유기 발광 디스플레이 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도

이다.

- [0074] 도 8을 참조하면, 도 7의 제4마스크 공정의 결과물 상에 절연층(18)이 적층되고, 절연층(18)을 패터닝하여 제1화소 전극(114)의 상부를 노출시키는 개구(C6)가 형성된다.
- [0075] 상기 개구(C4)는 발광 영역을 정의해주는 역할 외에, 제1화소 전극(114)의 가장자리와 대향 전극(119, 도 9 참조) 사이의 간격을 넓혀, 제1화소 전극(114)의 가장자리에서 전계가 집중되는 현상을 방지함으로써 제1화소 전극(114)과 대향 전극(119)의 단락을 방지하는 역할을 한다.
- [0076] 도 9는 상기 제조 방법에 의해 형성된 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.
- [0077] 도 9를 참조하면, 제1화소 전극(114) 상에 발광층(118)이 형성된다. 발광층(118)은 저분자 유기물 또는 고분자 유기물일 수 있다. 발광층(118)이 저분자 유기물일 경우, 발광층(118)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0078] 한편, 발광층(118)이 고분자 유기물일 경우, 발광층(118) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0079] 발광층(118) 상에는 공통 전극으로 대향 전극(119)이 증착된다. 본 실시예에 따른 유기 발광 디스플레이 장치(1)의 경우, 제1화소 전극(114)은 애노드로 사용되고, 대향 전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0080] 대향 전극(119)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [0081] 대향 전극(119)이 반사 전극으로 구비됨으로써, 발광층(118)에서 방출된 빛은 대향 전극(119)에 반사되어 투명 도전물로 구성된 제1화소 전극(114)을 투과하여 기관(10) 측으로 방출된다. 이때, 전술한 것과 같이, 제1화소 전극(114) 하부에 형성된 굴절률이 다른 복수의 절연막(11-1, 11-2, 11-3)을 구비한 버퍼층(11)은 DBR 역할을 함으로써 공진 구조를 형성한다.
- [0082] 한편, 공진 효과를 극대화 하기 위해서 DBR 역할을 하는 복수의 절연막(11-1, 11-2, 11-3)의 각각의 두께는 최대 700Å을 넘지 않는 것이 좋다. 그러나, 전술하였다시피, 다결정 실리콘으로 형성된 활성층(212) 및 하부 전극(312)의 소자 특성을 향상시키기 위하여 수소 함량이 높은 실리콘 나이트라이드가 활성층(212) 및 하부 전극(312)과 직접 접촉하지 않는 막(11-2)에 형성되고, 이에 대한 보호막으로 트랜지스터 영역(TFT)과 커패시터 영역(CAP)에서 활성층(212)과 하부 전극(312)에 직접 접촉하는 최상층 막(11-3)에 수소 함량이 적은 실리콘 옥사이드의 두께를 적어도 1000Å 이상 두껍게 형성하여야 한다. 따라서 본 실시예와 같이, 화소 영역(PXL)과 트랜지스터 영역(TFT) 및 커패시터 영역(CAP)의 두께를 다르게 형성함으로써, 버퍼층(11)은 디스플레이 장치의 DBR 역할 및 보호층 역할을 할 수 있다. 이로써 디스플레이 장치의 색재현율 문제와 소자의 전기적 특성 문제를 일거에 해결할 수 있다.
- [0083] 도 10은 본 발명의 다른 실시예에 따른 유기 발광 디스플레이 장치(2)를 개략적으로 도시한 단면도이다. 이하, 전술한 실시예와의 차이점을 중심으로 설명한다.
- [0084] 도 10을 참조하면, 기관(10) 상에 복수의 절연막(11-1, 11-2, 11-3)을 포함하는 버퍼층(11)이 형성되고, 버퍼층(11)의 최상층 막(11-3)의 두께는 트랜지스터 영역(TFT) 및 커패시터 영역(CAP)에서는 두껍고, 화소 영역(PXL)에서는 얇게 형성된다. 화소 영역(PXL)에서는 적어도 700Å 이하의 두께로 형성되는 것이 바람직하며, 트랜지스터 영역(TFT) 및 커패시터 영역(CAP)에서는 적어도 1000Å 이상의 두께로 형성되는 것이 바람직하다.
- [0085] 버퍼층의 최상층 막(11-3) 위에 활성층(312)과 커패시터 하부 전극(312)이 형성되고, 이를 덮도록 복수의 막(13-1, 13-2)을 포함하는 게이트 절연막(13)이 형성된다.

[0086] 본 실시예에서 게이트 절연막(13)은 굴절률이 다른 복수의 막(13-1, 13-2)을 포함한다. 이로써 제1 화소 전극(114) 하부에 굴절률이 다른 복수의 막(13-1, 13-2)을 포함하는 게이트 절연막(13) 및 굴절률이 다른 복수의 막(11-1, 11-2, 11-3)을 포함하는 버퍼층(11)이 함께 구비됨으로써, 공진 구조의 DBR 역할이 추가됨으로써 색재현율을 더욱 향상시킬 수 있다.

[0087] 한편, 상기 도면에는 게이트 절연막(13)으로 2층의 막이 형성된 것으로 도시되어 있으나 본 발명은 이에 한정되지 않는다. 그러나, 게이트 절연막(13)의 두께가 너무 두꺼울 경우 채널을 형성하기 어렵고, 게이트 절연막(13)은 커패시터의 유전막 역할을 하기 때문에, 게이트 절연막(13)의 두께가 너무 두꺼워지면 정전용량이 감소할 수 있으므로, 게이트 절연막(13)의 전체 두께는 너무 두껍게 형성하지 않는 것이 바람직하다.

[0088] 본 실시예에서 게이트 절연막(13) 중 활성층(212)에 접촉하는 막(13-1)은 상기 활성층(212)에 접촉하지 않는 막(13-2)보다 수소 함량이 작도록 형성한다. 예컨대 활성층(212)에 직접 접촉하는 막(13-1)은 실리콘 옥사이드로, 활성층(212)에 직접 접촉하지 않는 막(13-2)은 실리콘 나이트라이드로 형성함으로써, 실리콘 나이트라이드는 다결정 실리콘으로 형성된 활성층(212)의 결함을 치유하고, 실리콘 옥사이드는 실리콘 나이트라이드에 대한 보호막 역할을 할 수 있다.

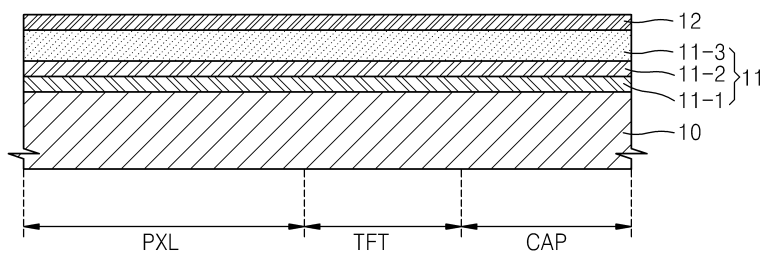
[0089] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

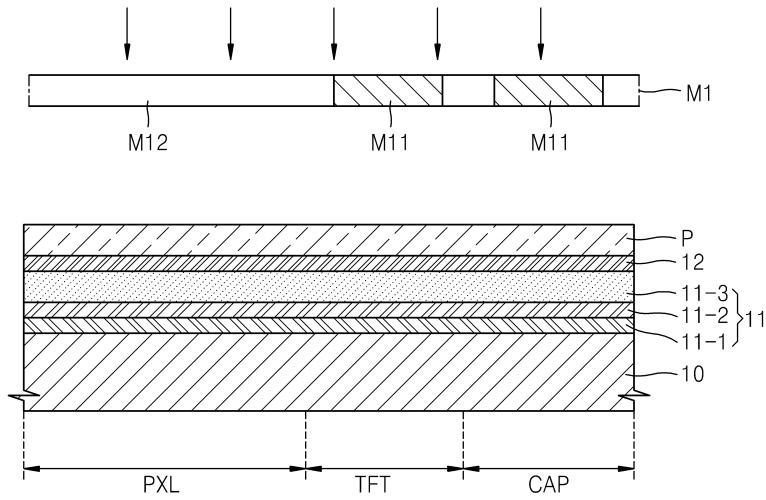
- [0090] 1, 2: 유기 발광 디스플레이 장치 10: 기판
 11: 버퍼층 12: 반도체층
 13: 게이트 절연막 16: 층간 절연막
 114: 제1 화소 전극 115: 제2 화소 전극
 118: 발광층 119: 대향 전극
 212: 활성층 214: 제1 게이트 전극
 215: 제2 게이트 전극 217a, 217b: 소스/드레인 전극
 312: 하부 전극 314: 제1 상부 전극
 315: 제2 상부 전극 PXL: 화소 영역
 TFT: 트랜지스터 영역 CAP: 커패시터 영역

도면

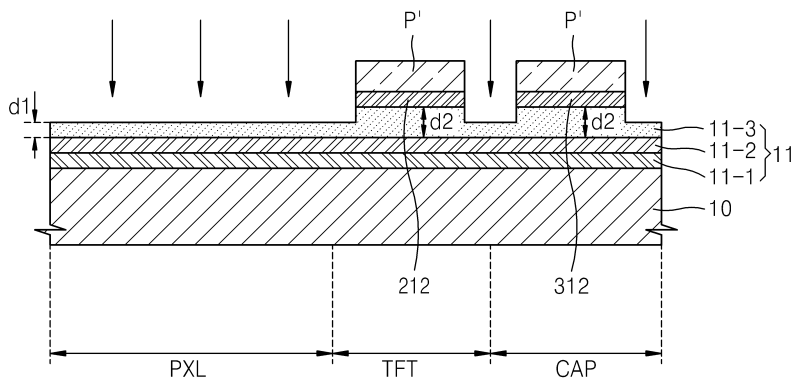
도면1



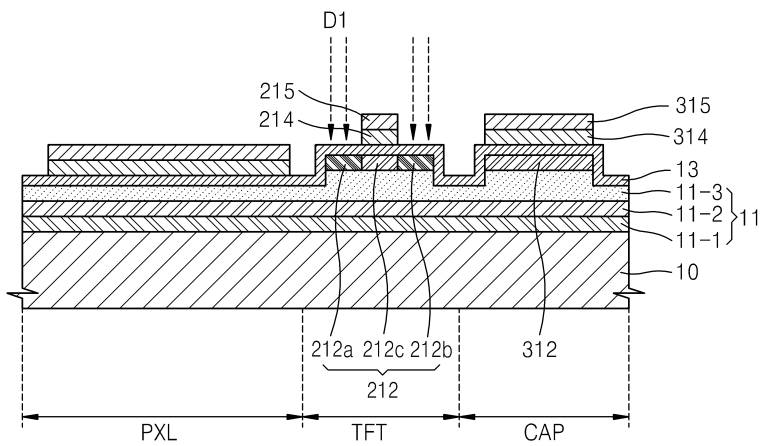
도면2



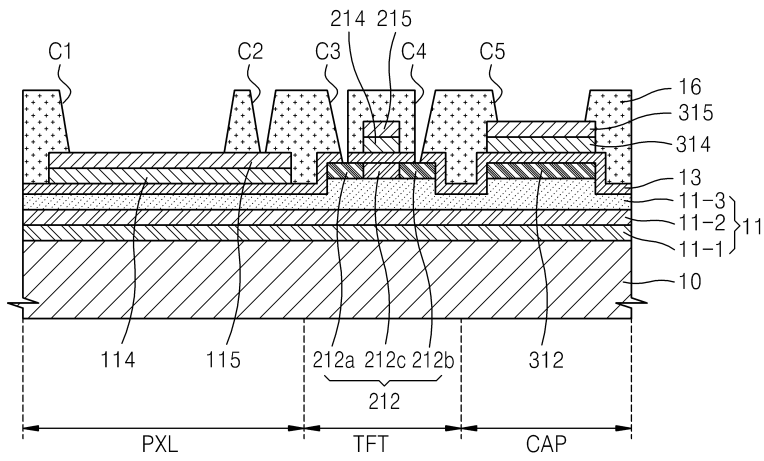
도면3



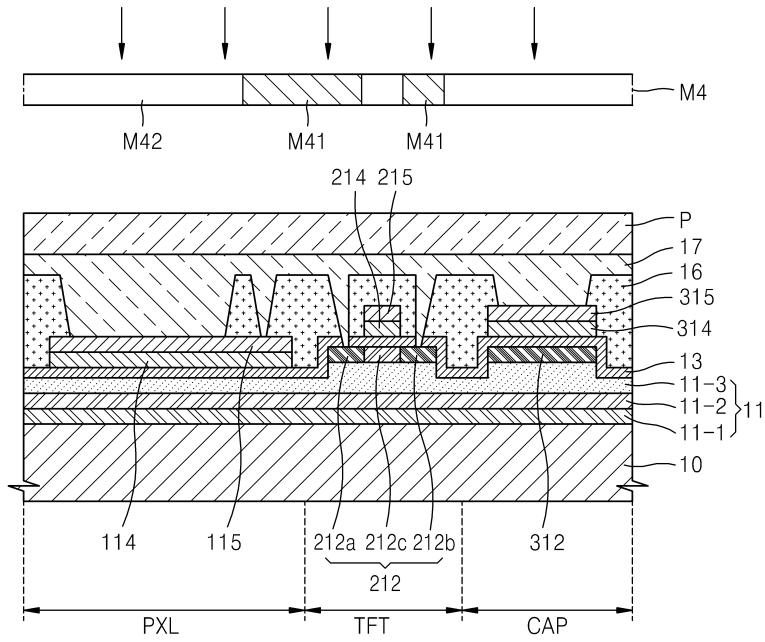
도면4



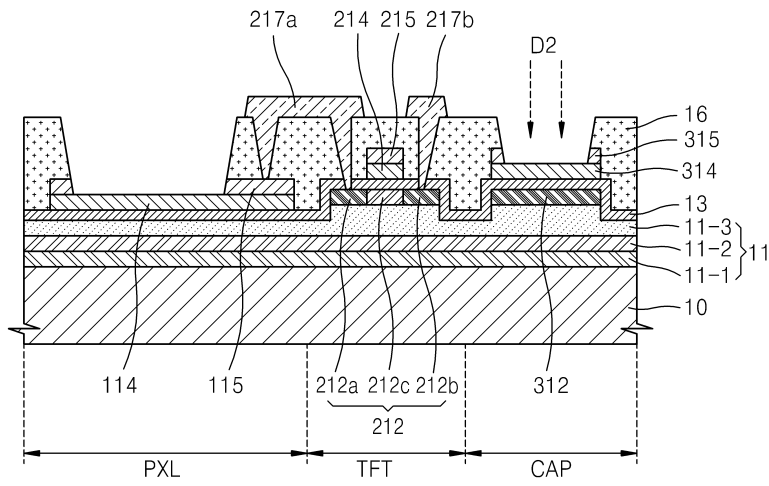
도면5



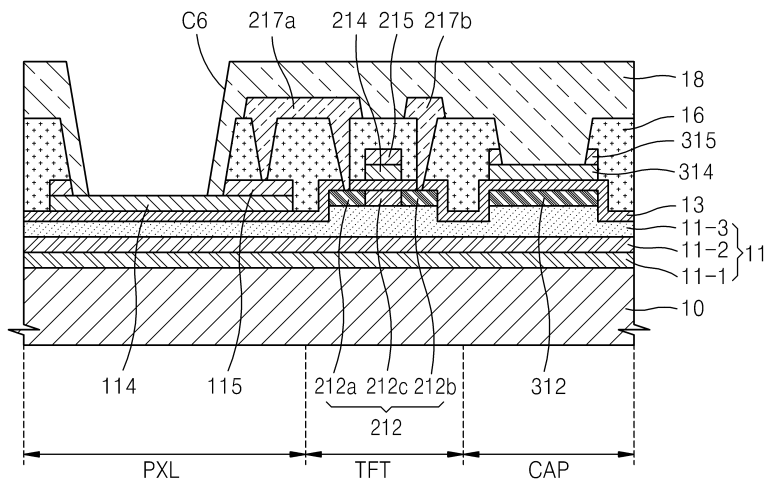
도면6



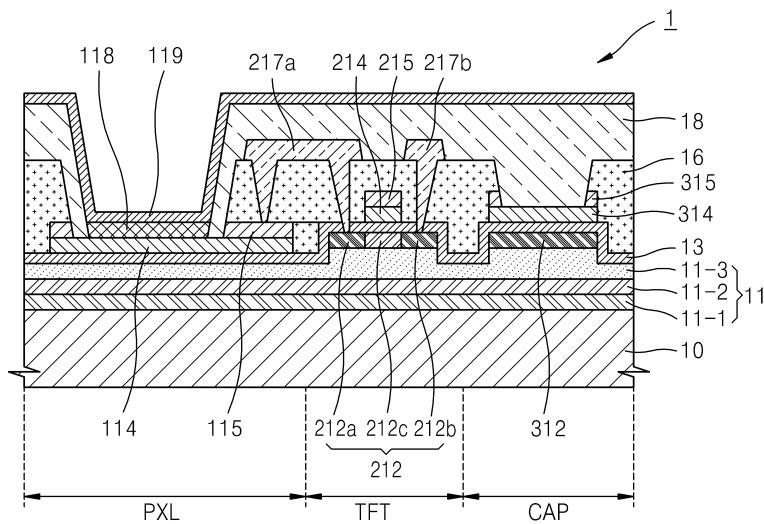
도면7



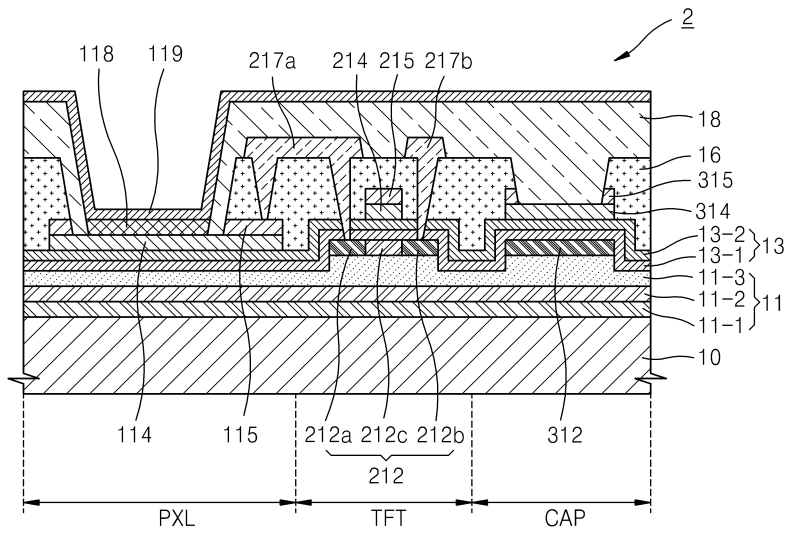
도면8



도면9



도면10



专利名称(译)	标题 : OLED显示装置及其制造方法		
公开(公告)号	KR1020120042525A	公开(公告)日	2012-05-03
申请号	KR1020100104242	申请日	2010-10-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI BO KYUNG 최보경 CHO KYU SIK 조규식 MOON SANG HO 문상호 CHOI JOON HOO 최준후 YOU CHUN GI 유춘기 PARK SUN 박선 PARK JONG HYUN 박종현 LEE YUL KYU 이율규		
发明人	최보경 조규식 문상호 최준후 유춘기 박선 박종현 이율규		
IPC分类号	H01L51/52		
CPC分类号	H01L27/3241 H01L27/3262 H01L27/3265 H01L27/3258 H01L51/5265 H01L27/1255 H01L27/1288 H01L29/4908		
其他公开文献	KR101782557B1		
外部链接	Espacenet		

摘要(译)

用途 : 提供一种有机发光显示装置及其制造方法, 以通过蚀刻缓冲层来简化制造工艺, 而无需为有源层图案添加单独的掩模工艺。
 组成 : 包括多个缓冲层的缓冲层 (11) 绝缘膜 (11-1,11-2,11-3) 形成在基板 (10) 上。薄膜晶体管的有源层 (212) 形成在缓冲层的厚区域上。像素电极 (114) 形成在缓冲层的薄区域上。薄膜晶体管的栅电极 (214) 形成在有源层上, 同时在栅电极和有源层之间放置栅极绝缘膜。在像素电极上形成发光层 (118)。对电极 (119) 布置成面对像素电极, 同时将发光层放置在对电极和像素电极之间。

