



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0080885  
(43) 공개일자 2011년07월13일

(51) Int. Cl.

H01L 51/50 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2010-0001313

(22) 출원일자 2010년01월07일

심사청구일자 2010년01월07일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

최천기

경기도 용인시 기흥구 농서동 산24

임기주

경기도 용인시 기흥구 농서동 산24

양희원

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

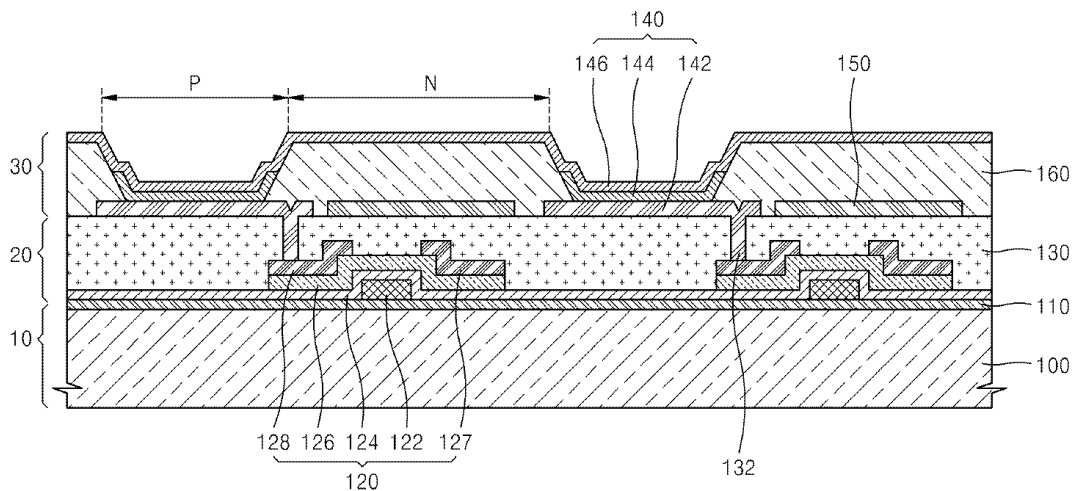
전체 청구항 수 : 총 20 항

(54) 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은, 박막 트랜지스터의 활성층의 열화를 방지할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공한다. 본 발명의 일실시예에 따른 유기 발광 표시 장치는, 기판; 기판 상에 형성되고, 활성층을 포함하는 박막 트랜지스터들; 박막 트랜지스터들을 덮는 평탄화층; 평탄화층 상에 위치하고, 박막 트랜지스터들과 전기적으로 연결된 제1 전극; 및 활성층을 덮도록 평탄화층 상에 위치한 이온 차단층;을 포함한다.

대표도



**특허청구의 범위**

**청구항 1**

기관;

상기 기관 상에 형성되고, 활성층을 포함하는 박막 트랜지스터들;

상기 박막 트랜지스터들을 덮는 평탄화층;

상기 평탄화층 상에 위치하고, 상기 박막 트랜지스터들과 전기적으로 연결된 제1 전극; 및

상기 활성층을 덮도록 상기 평탄화층 상에 위치한 이온 차단층;

을 포함하는 유기 발광 표시 장치.

**청구항 2**

제 1 항에 있어서, 상기 활성층은 산화물 반도체 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 3**

제 2 항에 있어서, 상기 산화물 반도체 물질은 아연 산화물(ZnO), 주석 산화물(SnO), 갈륨-인듐-아연 산화물(Ga-In-Zn-O), 인듐-아연 산화물(In-Zn-O), 및 인듐-주석 산화물(In-Sn-O)을 포함하는 군에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 4**

제 3 항에 있어서, 상기 산화물 반도체 물질은 알루미늄(Al), 니켈(Ni), 구리(Cu), 탄탈륨(Ta), hafnium(Hf) 및 티타늄(Ti)을 포함하는 군에서 선택된 적어도 어느 하나가 도핑된 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 5**

제 1 항에 있어서, 상기 활성층은 다결정 실리콘을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 6**

제 1 항에 있어서, 상기 이온 차단층은 상기 박막 트랜지스터들에 각각 대응하여 위치하도록 분리된 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 7**

제 1 항에 있어서, 상기 이온 차단층은 일체형으로 형성된 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 8**

제 1 항에 있어서, 상기 제1 전극과 상기 이온 차단층은 서로 절연된 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 9**

제 1 항에 있어서, 상기 제1 전극과 상기 이온 차단층은 서로 동일 평면 상에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 10**

제 1 항에 있어서, 상기 제1 전극과 상기 이온 차단층은 동일한 물질로 형성된 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 11**

제 1 항에 있어서, 상기 제1 전극과 상기 이온 차단층은 서로 다른 물질로 형성된 것을 특징으로 하는 유기 발

광 표시 장치.

**청구항 12**

제 1 항에 있어서, 상기 이온 차단층은 도전물을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 13**

제 1 항에 있어서, 상기 이온 차단층과 전기적으로 연결된 접지를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 14**

제 1 항에 있어서,

상기 박막 트랜지스터들은 기판 상에 게이트 전극이 위치하고, 상기 게이트 전극 상에 상기 활성층이 위치한 하층 게이트 구조(bottom gate structure)로 구성된 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 15**

화소 영역과 비화소 영역을 포함하는 기판;

상기 기판의 상기 비화소 영역 상에 형성되고, 활성층을 포함하는 박막 트랜지스터들;

상기 기판의 상기 화소 영역 상에 위치하고, 상기 박막 트랜지스터들과 전기적으로 연결된 제1 전극; 및

상기 활성층을 덮도록 상기 비화소 영역 상에 위치한 이온 차단층;

을 포함하는 유기 발광 표시 장치.

**청구항 16**

기판 상에 활성층을 포함하는 복수의 박막 트랜지스터들을 형성하는 단계;

상기 박막 트랜지스터 상에 상기 박막 트랜지스터들을 덮도록 평탄화층을 형성하는 단계;

상기 평탄화층 상에 제1 전극 및 이온 차단층을 형성하는 단계;

상기 이온 차단층을 덮고 제1 전극의 일부 영역을 노출하는 화소 정의층을 형성하는 단계; 및

상기 제1 전극 상에 유기 물질층 및 제2 전극을 형성하여 단위 화소를 형성하는 단계;

를 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 17**

제 16 항에 있어서, 상기 제1 전극 및 상기 이온 차단층을 형성하는 단계는,

상기 평탄화층 상에 도전층을 형성하는 단계;

상기 도전층 상에 제1 마스크 패턴을 형성하는 단계; 및

상기 제1 마스크 패턴을 식각 마스크로 이용하여 상기 도전층의 일부 영역을 제거하여, 상기 제1 전극 및 상기 이온 차단층을 동시에 형성하는 단계;

를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 18**

제 16 항에 있어서, 상기 제1 전극 및 상기 이온 차단층을 형성하는 단계는,

상기 평탄화층 상에 상기 이온 차단층이 형성되는 영역을 덮고 상기 제1 전극이 형성되는 영역을 노출하는 제2 마스크 패턴을 형성하는 단계;

상기 제2 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 제1 전극을 형성하는 단계;

상기 제2 마스크 패턴을 제거하는 단계;

상기 평탄화층 상에 상기 제1 전극을 덮고 상기 이온 차단층이 형성되는 영역을 노출하는 제3 마스크 패턴을 형성하는 단계;

상기 제3 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 이온 차단층을 형성하는 단계; 및

상기 제3 마스크 패턴을 제거하는 단계;

를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 19**

제 16 항에 있어서, 상기 제1 전극 및 상기 이온 차단층을 형성하는 단계는,

상기 평탄화층 상에 상기 제1 전극이 형성되는 영역을 덮고 상기 이온 차단층이 형성되는 영역을 노출하는 제4 마스크 패턴을 형성하는 단계;

상기 제4 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 이온 차단층을 형성하는 단계;

상기 제4 마스크 패턴을 제거하는 단계;

상기 평탄화층 상에 상기 이온 차단층을 덮고 상기 제1 전극이 형성되는 영역을 노출하는 제5 마스크 패턴을 형성하는 단계;

상기 제5 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 제1 전극을 형성하는 단계; 및

상기 제5 마스크 패턴을 제거하는 단계;

를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 20**

제 16 항에 있어서, 상기 제1 전극 및 상기 이온 차단층을 형성하는 단계는,

상기 평탄화층 상에 상기 제1 전극이 형성되는 영역 및 상기 이온 차단층이 형성되는 영역을 노출하는 제6 마스크 패턴을 형성하는 단계;

상기 제6 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 제1 전극 및 상기 이온 차단층을 동시에 형성하는 단계; 및

상기 제6 마스크 패턴을 제거하는 단계;

를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는, 박막 트랜지스터의 활성층의 열화를 방지할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 디스플레이 장치들 중, 유기 발광 표시 장치는 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가지고 있어 차세대 디스플레이 장치로서 주목을 받고 있다. 유기 발광 표시 장치는 애노드 전극과 캐소드 전극 사이에 유기물로 이루어진 발광층을 갖는 표시 장치이다. 능동 매트릭스 유기 발광 표시 장치(AMOLED)에 포함된 트랜지스터의 활성층은 결정질 실리콘, 비정질 실리콘, 유기 반도체, 또는 산화물 반도체 등이 사용될 수 있다. 특히 산화물 반도체는 비정질 실리콘에 비하여 전자 이동도가 높고, 투명하고, 저온에서 공정이 가능한 장점을 가진다. 그러나 산화물 반도체를 이용한 산화물 박막 트랜지스터는 외부 환경의 변화에 민감하게 반응하기 때문에, 제조 공정 중에 열화될 우려가 있다.

**발명의 내용**

**해결하려는 과제**

- [0003] 본 발명이 이루고자 하는 기술적 과제는, 박막 트랜지스터의 활성층의 열화를 방지할 수 있는 유기 발광 표시 장치를 제공하는 것이다.
- [0004] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 박막 트랜지스터의 활성층의 열화를 방지할 수 있는 유기 발광 표시 장치의 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

- [0005] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는, 기판; 상기 기판 상에 형성되고, 활성층을 포함하는 박막 트랜지스터들; 상기 박막 트랜지스터들을 덮는 평탄화층; 상기 평탄화층 상에 위치하고, 상기 박막 트랜지스터들과 전기적으로 연결된 제1 전극; 및 상기 활성층을 덮도록 상기 평탄화층 상에 위치한 이온 차단층;을 포함한다.
- [0006] 본 발명의 일부 실시예들에 있어서, 상기 활성층은 산화물 반도체 물질을 포함할 수 있다. 또한, 상기 산화물 반도체 물질은 아연 산화물(ZnO), 주석 산화물(SnO), 갈륨-인듐-아연 산화물(Ga-In-Zn-O), 인듐-아연 산화물(In-Zn-O), 및 인듐-주석 산화물(In-Sn-O)을 포함하는 군에서 선택된 적어도 어느 하나를 포함할 수 있다. 또한, 상기 산화물 반도체 물질은 알루미늄(Al), 니켈(Ni), 구리(Cu), 탄탈륨(Ta), 하프늄(Hf) 및 티타늄(Ti)을 포함하는 군에서 선택된 적어도 어느 하나가 도핑될 수 있다. 또한, 상기 활성층은 다결정 실리콘을 포함할 수 있다.
- [0007] 본 발명의 일부 실시예들에 있어서, 상기 이온 차단층은 상기 박막 트랜지스터들에 각각 대응하여 위치하도록 분리될 수 있다. 또한, 상기 이온 차단층은 일체형으로 형성될 수 있다.
- [0008] 본 발명의 일부 실시예들에 있어서, 상기 제1 전극과 상기 이온 차단층은 서로 절연될 수 있다. 또한, 상기 제1 전극과 상기 이온 차단층은 서로 동일 평면 상에 위치할 수 있다. 또한, 상기 제1 전극과 상기 이온 차단층은 동일한 물질로 형성될 수 있다. 또한, 상기 제1 전극과 상기 이온 차단층은 서로 다른 물질로 형성될 수 있다. 또한, 상기 이온 차단층은 도전물을 포함할 수 있다.
- [0009] 본 발명의 일부 실시예들에 있어서, 상기 유기 발광 표시 장치는 상기 이온 차단층과 전기적으로 연결된 접지를 더 포함하는 수 있다.
- [0010] 본 발명의 일부 실시예들에 있어서, 상기 박막 트랜지스터들은 기판 상에 게이트 전극이 위치하고, 상기 게이트 전극 상에 상기 활성층이 위치한 하측 게이트 구조(bottom gate structure)로 구성될 수 있다.
- [0011] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는, 화소 영역과 비화소 영역을 포함하는 기판; 상기 기판의 상기 비화소 영역 상에 형성되고, 활성층을 포함하는 박막 트랜지스터들; 상기 기판의 상기 화소 영역 상에 위치하고, 상기 박막 트랜지스터들과 전기적으로 연결된 제1 전극; 및 상기 활성층을 덮도록 상기 비화소 영역 상에 위치한 이온 차단층;을 포함한다.
- [0012] 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치의 제조 방법은, 기판 상에 활성층을 포함하는 복수의 박막 트랜지스터들을 형성하는 단계; 상기 박막 트랜지스터 상에 상기 박막 트랜지스터들을 덮도록 평탄화층을 형성하는 단계; 상기 평탄화층 상에 제1 전극 및 이온 차단층을 형성하는 단계; 상기 이온 차단층을 덮고 제1 전극의 일부 영역을 노출하는 화소 정의층을 형성하는 단계; 및 상기 제1 전극 상에 유기 물질층 및 제2 전극을 형성하여 단위 화소를 형성하는 단계;를 포함한다.
- [0013] 본 발명의 일부 실시예들에 있어서, 상기 제1 전극 및 상기 이온 차단층을 형성하는 단계는, 상기 평탄화층 상에 도전층을 형성하는 단계; 상기 도전층 상에 제1 마스크 패턴을 형성하는 단계; 및 상기 제1 마스크 패턴을 식각 마스크로 이용하여 상기 도전층의 일부 영역을 제거하여, 상기 제1 전극 및 상기 이온 차단층을 동시에 형성하는 단계;를 더 포함할 수 있다.
- [0014] 본 발명의 일부 실시예들에 있어서, 상기 제1 전극 및 상기 이온 차단층을 형성하는 단계는, 상기 평탄화층 상에 상기 이온 차단층이 형성되는 영역을 덮고 상기 제1 전극이 형성되는 영역을 노출하는 제2 마스크 패턴을 형성하는 단계; 상기 제2 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 제1 전극을 형성하는 단계; 상기 제2 마스크 패턴을 제거하는 단계; 상기 평탄화층 상에 상기 제1 전극을 덮고 상기 이온 차단층이 형성되는 영역을 노출하는 제3 마스크 패턴을 형성하는 단계; 상기 제3 마스크 패턴에 의하여 노출된 상기 평탄화층 상에

상기 이온 차단층을 형성하는 단계; 및 상기 제3 마스크 패턴을 제거하는 단계;를 더 포함할 수 있다.

[0015] 본 발명의 일부 실시예들에 있어서, 상기 제1 전극 및 상기 이온 차단층을 형성하는 단계는, 상기 평탄화층 상에 상기 제1 전극이 형성되는 영역을 덮고 상기 이온 차단층이 형성되는 영역을 노출하는 제4 마스크 패턴을 형성하는 단계; 상기 제4 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 이온 차단층을 형성하는 단계; 상기 제4 마스크 패턴을 제거하는 단계; 상기 평탄화층 상에 상기 이온 차단층을 덮고 상기 제1 전극이 형성되는 영역을 노출하는 제5 마스크 패턴을 형성하는 단계; 상기 제5 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 제1 전극을 형성하는 단계; 및 상기 제5 마스크 패턴을 제거하는 단계;를 더 포함할 수 있다.

[0016] 본 발명의 일부 실시예들에 있어서, 상기 제1 전극 및 상기 이온 차단층을 형성하는 단계는, 상기 평탄화층 상에 상기 제1 전극이 형성되는 영역 및 상기 이온 차단층이 형성되는 영역을 노출하는 제6 마스크 패턴을 형성하는 단계; 상기 제6 마스크 패턴에 의하여 노출된 상기 평탄화층 상에 상기 제1 전극 및 상기 이온 차단층을 동시에 형성하는 단계; 및 상기 제6 마스크 패턴을 제거하는 단계;를 더 포함할 수 있다.

**발명의 효과**

[0017] 본 발명의 유기 발광 표시 장치는, 박막 트랜지스터를 덮는 이온 차단층을 형성함으로써, 박막 트랜지스터의 활성층을 외부로부터 인입되는 이온으로부터 보호할 수 있다.

**도면의 간단한 설명**

[0018] 도 1은 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치를 도시하는 단면도이다.  
 도 2는 도 1의 II 영역의 확대 단면도이다.  
 도 3a 및 도 3b는 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치의 상면도들이다.  
 도 4a 내지 도 4f는 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 공정 단계에 따라 도시한 단면도들이다.  
 도 5a 내지 도 5c는 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 공정 단계에 따라 도시한 단면도들이다.  
 도 6a 내지 도 6c는 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 공정 단계에 따라 도시한 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.

[0020] 도 1은 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치(1)를 도시하는 단면도이다. 도 2는 도 1의 II 영역의 확대 단면도이다.

[0021] 도 1을 참조하면, 유기 발광 표시 장치(1)는 기저부(10), 기저부(10) 상에 형성된 소자부(20), 소자부(20) 상에 형성된 표시부(30), 및 소자부(20)와 표시부(30)를 봉지하는 봉지부(40)를 포함한다.

[0022] 도 2를 참조하면, 도 1의 유기 발광 표시 장치(1)의 기저부(10), 소자부(20) 및 표시부(30)가 개략적으로 도시되어 있다. 기저부(10)는 기판(100)을 포함한다. 소자부(20)는 기판(100) 상에 형성된 박막 트랜지스터(120)를 포함한다. 표시부(30)는 광을 발광하는 화소 영역(P)과 비화소 영역(N)을 포함한다. 화소 영역(P)은 광이 발광되는 영역이고, 제1 전극(142), 유기 물질층(144), 및 제2 전극(146)으로 구성된 단위 화소들(140)을 포함한다. 비화소 영역(N)은 상기 단위 화소(140) 사이의 영역이고, 박막 트랜지스터(120)에 위치하는 영역일 수 있고, 화소 정의층(160)을 포함한다.

[0023] 기판(100)은 투명한 물질 또는 불투명한 물질로서 구성될 수 있다. 예를 들어 화상이 기판(100)을 향하는 방향으로 구현되는 배면 발광형 유기 발광 표시 장치 또는 양면 발광형 유기 발광 표시 장치인 경우에는 기판(100)

은 투명한 물질로 구성되어야 한다. 그러나 화상이 기관(100)에 대항하는 방향으로 구현되는 전면 발광형 유기 발광 표시 장치인 경우에는 기관(100)은 불투명한 물질로 구성될 수 있다. 기관(100)은 실리콘 산화물(SiO<sub>2</sub>)을 포함하는 투명한 유리 물질 또는 투명한 플라스틱 물질로 형성될 수도 있다. 예를 들어, 기관(100)은 폴리에테르술폰(polyethersulphone, PES), 폴리아크릴레이트(polyacrylate, PAR), 폴리에테르 이미드(polyetherimide, PEI), 폴리에틸렌 나프탈레이트(polyethylenen naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethyleneterephthalate, PET), 폴리페닐렌 설파이드(polyphenylene sulfide, PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(polycarbonate, PC), 셀룰로오스 트리 아세테이트(cellulose tri-acetate, TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate, CAP)로 이루어진 그룹으로부터 선택되는 유기물과 같은 플라스틱 물질을 포함할 수 있다. 또한, 기관(100)은 금속 물질로 형성될 수 있다. 예를 들어, 기관(100)은 탄소(C), 철(Fe), 크롬(Cr), 망간(Mn), 니켈(Ni), 티타늄(Ti), 몰리브덴(Mo), 스테인레스 스틸(Stainless steel), 인바(Invar) 합금, 인코넬(Inconel) 합금 및 코바(Kovar) 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다. 또한, 기관(100)은 금속 호일(metal foil)로 형성할 수 있다. 상술한 바와 같은 기관(100)을 형성하는 물질은 예시적이며, 본 발명은 이에 한정되는 것은 아니다.

[0024] 또한, 기관(100)은 그 상에 버퍼층(110)을 선택적으로(optionally) 더 포함할 수 있다. 버퍼층(110)은 기관(100)을 평탄하게 하고, 불순물 원소가 기관(100) 내로 침투하는 것을 방지할 수 있다. 버퍼층(110)은 무기물 및/또는 유기물을 사용하여 형성할 수 있다. 상기 무기물은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiNx), 실리콘 산질화물(SiON), 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>), 티타늄 산화물(TiO<sub>2</sub>), 탄탈륨 산화물(Ta<sub>2</sub>O<sub>5</sub>), 하프늄 산화물(HfO<sub>2</sub>), 지르코늄 산화물(ZrO<sub>2</sub>), 바륨-스트로늄 티타늄 산화물(BST), 납-지르코늄-티타늄 산화물(PZT) 및 이들의 조합을 포함할 수 있다. 상기 유기물은 PMMA(poly methylmethacrylate), PS(polystyrene), 페놀계 고분자, 아크릴계 고분자, 폴리이미드(polyimide)와 같은 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자일렌계 고분자, 비닐알콜계 고분자, 파릴렌(parylene) 및 이들의 조합을 포함할 수 있다. 또한, 버퍼층(110)은 상기 무기물을 포함하는 무기 절연막과 상기 유기물을 포함하는 유기 절연막의 복합 적층체로도 형성할 수 있다. 버퍼층(110)은 화학기상증착법(chemical vapor deposition, CVD), 플라즈마 강화 화학기상증착법(plasma enhanced CVD, PECVD), 상압 CVD법(atmospheric pressure CVD, APCVD), 저압 CVD(low pressure CVD, LPCVD)법, 포토 CVD, HR(hydrogen radical) CVD, ECR-CVD(electron cyclotron resonance CVD) 등에 의하여 형성될 수 있다. 또한, 본 명세서에 개시되는 다른 어떠한 층들도 상술한 방법에 의하여 형성될 수 있다.

[0025] 기관(100)은 또는 버퍼층(110) 상에 복수의 박막 트랜지스터들(120)이 위치한다. 박막 트랜지스터(120)는 비화소 영역(N)에 위치할 수 있다. 또한, 도시되지는 않았지만 기관(100) 또는 버퍼층(110) 상에 복수의 캐패시터들(미도시)이 위치할 수 있다. 박막 트랜지스터들(120) 및 상기 캐패시터들은 표시부(30)와 전기적으로 연결되어 표시부(30)의 발광을 제어할 수 있다.

[0026] 박막 트랜지스터(120)는 게이트 전극(122), 게이트 절연층(124), 활성층(126), 소스 전극(127), 및 드레인 전극(128)을 포함한다. 박막 트랜지스터(120)는 게이트 전극(122) 상에 활성층(126)이 위치한 하측 게이트 구조(bottom gate structure)를 가질 수 있다. 그러나, 이는 예시적이며, 본 발명은 이에 한정되는 것은 아니다. 예를 들어, 박막 트랜지스터(120)는 활성층 상에 게이트 전극이 위치하는 상측 게이트 구조(top gate structure)를 가질 수 있다.

[0027] 기관(100) 또는 버퍼층(110) 상에 게이트 전극(122)이 위치한다. 게이트 전극(122)은 도전성을 가질 수 있다. 게이트 전극(122)은 금속을 포함할 수 있고, 예를 들어 알루미늄(Al), 크롬(Cr), 구리(Cu), 몰리브덴(Mo), 또는 텅스텐(W) 중에 적어도 어느 하나를 포함할 수 있다. 또한, 게이트 전극(122)은 도전성 폴리머를 포함할 수 있다. 도시되지는 않았지만, 게이트 전극(122)은 박막 트랜지스터(120)의 온/오프 신호를 인가하는 게이트 라인(미도시)과 전기적으로 연결될 수 있다.

[0028] 게이트 전극(122) 상에 게이트 전극(122)을 덮도록 게이트 절연층(124)이 위치한다. 게이트 절연층(124)은 게이트 전극(122)과 활성층(126)을 절연한다. 게이트 절연층(124)은 버퍼층(110)을 전체적으로 덮도록 형성되거나 또는 버퍼층(110)의 일부를 덮는 패턴 형상을 가질 수 있다. 게이트 절연층(124)은 무기물을 포함할 수 있고, 예를 들어 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiNx), 실리콘 산질화물(SiON), 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>), 티타늄 산화물(TiO<sub>2</sub>), 탄탈륨 산화물(Ta<sub>2</sub>O<sub>5</sub>), 하프늄 산화물(HfO<sub>2</sub>), 지르코늄 산화물(ZrO<sub>2</sub>), 바륨-스트로늄 티타늄 산화물(BST), 납-지르코늄-티타늄 산화물(PZT) 및 이들의 조합을 포함할 수 있다. 또한, 게이트 절연층(124)은

유기물을 포함할 수 있고, 예를 들어 PMMA(poly methylmethacrylate), PS(polystyrene), 페놀계 고분자, 아크릴계 고분자, 폴리이미드(polyimide)와 같은 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자일리렌계 고분자, 비닐알콜계 고분자, 파릴렌(parylene) 및 이들의 조합을 포함할 수 있다.

[0029] 게이트 절연층(124) 상에 활성층(126)이 위치한다. 활성층(126)은 게이트 전극(122)에 각각 대응하도록 위치한다. 활성층(126)은 n-형 또는 p-형 불순물이 도핑된 소스 영역과 드레인 영역 및 상기 소스 영역과 상기 드레인 영역을 연결하는 채널 영역을 포함할 수 있다. 통상적으로, 활성층(126)의 양단부에 상기 소스 영역과 상기 드레인 영역이 각각 위치하고, 중앙부에 상기 채널 영역이 위치한다. 활성층(126)은 반도체 물질을 포함할 수 있고, 예를 들어 다결정 실리콘 또는 산화물 반도체 물질을 포함할 수 있다. 활성층(126)이 다결정 실리콘인 경우에 있어서, 상기 다결정 실리콘은 직접 증착 방식에 의하여 형성될 수 있고, 예를 들어 화학기상증착법(CVD), 플라즈마 강화 화학기상증착법(PECVD), 상압 CVD법(APCVD), 저압 CVD(LPCVD)법, 포토 CVD, HR CVD, ECR-CVD 등의 방법을 이용하여 형성될 수 있다. 또한 상기 다결정 실리콘은 비정질 실리콘층을 증착한 후에 결정화하여 형성할 수 있고, 예를 들어, RTA(Lapid Thermal Annealing)공정, SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Annealing), 금속 유도 결정화법(Metal Induced Crystallization, MIC), 금속 유도 측면 결정화법(Metal Induced Lateral Crystallization, MILC), 연속 측면 고상화법(Sequential Lateral Solidification, SLS) 등에 의해 형성될 수 있다. 활성층(126)이 산화물 반도체 물질인 경우에 있어서, 상기 산화물 반도체 물질은 아연 산화물(ZnO), 주석 산화물(SnO), 갈륨-인듐-아연 산화물(Ga-In-Zn-O), 인듐-아연 산화물(In-Zn-O), 및 인듐-주석 산화물(In-Sn-O)을 포함하는 군에서 선택된 적어도 어느 하나일 수 있다. 또한, 상기 산화물 반도체 물질은 상술한 물질들에 알루미늄(Al), 니켈(Ni), 구리(Cu), 탄탈륨(Ta), 하프늄(Hf) 및 티타늄(Ti)을 포함하는 군에서 선택된 적어도 어느 하나가 도핑된 물질일 수 있다. 상기 산화물 반도체 물질은 비정질 실리콘에 비하여 높은 전자 이동도를 가지며, 투명하고 저온에서 제조하기 용이하다. 그러나, 상기 산화물 반도체는 외부 환경의 변화에 민감하게 반응하여 그 특성들이 열화될 우려가 있다. 특히, 유기 박막 표시 장치를 형성하는 공정을 수행하는 중에, 예를 들어 플라즈마 처리, 유기물 증착 등과 같은 공정을 수행하는 중에 그 특성들이 열화될 우려가 있고, 이에 따라 박막 트랜지스터(120)의 신뢰성을 저하시킬 우려가 있다.

[0030] 도시되지는 않았으나, 활성층(126) 상에 옴릭 접촉(ohmic contact)을 위한 옴릭 컨택층이 더 위치할 수 있다. 상기 옴릭 컨택층은 활성층(126)의 상측에 소정의 도전형을 갖는 불순물을 도핑하여 형성할 수 있다. 또한, 도시되지는 않았지만 활성층(126) 상에 실리콘 산화물 또는 실리콘 질화물 등과 같은 절연층으로 형성된 식각 저지막을 더 포함할 수 있다.

[0031] 활성층(126) 상에 소스 전극(127) 및 드레인 전극(128)이 위치한다. 소스 전극(127) 및 드레인 전극(128)은 서로 전기적으로 이격되어 위치하고, 채널의 기능을 수행하는 활성층(126)을 통하여 전기적으로 연결될 수 있다. 소스 전극(127) 및 드레인 전극(128)은 활성층(126)의 상기 소스 영역과 상기 드레인 영역에 각각 전기적으로 연결될 수 있다. 소스 전극(127) 및 드레인 전극(128)은 각각 도전성을 가지며, 예를 들어 구리(Cu), 은(Ag), 니켈(Ni), 또는 철(Fe)을 포함할 수 있다. 또한, 소스 전극(127) 및 드레인 전극(128)은 서로 동일한 물질을 포함하거나 또는 서로 다른 물질을 포함할 수 있다. 도시되지는 않았지만, 소스 전극(127)은 데이터 라인(미도시)과 전기적으로 연결될 수 있다. 또한, 드레인 전극(128)은 화소 영역(P)의 제1 전극(142)과 전기적으로 연결될 수 있다.

[0032] 박막 트랜지스터(120) 상에 박막 트랜지스터(120)을 덮도록 평탄화층(130)이 위치한다. 평탄화층(130)은 단일층 또는 다중층일 수 있다. 예를 들어, 평탄화층(130)은 실리콘 산화물 또는 실리콘 질화물 등을 포함하는 무기물층과 아크릴(acryl), 폴리 이미드(polyimide), BCB(Benzocyclobutene) 등을 포함하는 유기물의 적층된 다중층일 수 있다. 평탄화층(130)은 화학기상증착법(CVD), 플라즈마 강화 화학기상증착법(PECVD), 상압 CVD법(APCVD), 저압 CVD(LPCVD)법, 포토 CVD, HR CVD, ECR-CVD 등의 방법에 의하여 형성될 수 있다. 평탄화층(130) 내에는 드레인 전극(128)과 제1 전극(142)을 전기적으로 연결하는 플러그(132)를 포함할 수 있다.

[0033] 평탄화층(130) 상에 제1 전극(142) 및 이온 차단층(150)이 위치한다. 화소 영역(P)에 대응하여 제1 전극(142)이 위치하고, 비화소 영역(N)에 대응하여 이온 차단층(150)이 위치한다. 제1 전극(142)은 플러그(132)를 통하여 박막 트랜지스터(120)에 전기적으로 연결될 수 있다. 이온 차단층(150)은 활성층(126)을 덮도록 위치한다. 이온 차단층(150)은 접지(170, 도 3a 및 도 3b 참조)와 전기적으로 연결될 수 있고, 공정 중에 외부로부터 인입되는 이온들을 활성층(126)에 전달되지 않도록 방지할 수 있다. 따라서, 이온 차단층(150)에 의하여, 활성층(126)은 외부 환경의 영향 또는 제조 공정 중의 영향으로부터 보호할 수 있다. 또한, 제1 전극(142)과 이온 차단층(150)은 서로 전기적으로 절연될 수 있다. 제1 전극(142)과 이온 차단층(150)은 동일한 공정에서 형성될

수 있고, 또한 동일한 평면에 위치할 수 있다. 그러나, 이는 예시적이며, 본 발명은 이에 한정되는 것은 아니다. 예를 들어, 제1 전극(142)과 이온 차단층(150)은 다른 공정에서 각각 형성될 수 있고, 또한 서로 다른 평면에 위치할 수 있다.

[0034] 제1 전극(142)은 투명 전극으로 형성되거나 또는 반사 전극으로 형성될 수 있다. 제1 전극(142)이 투명 전극으로 형성되는 경우에는, 인듐-주석 산화물(ITO), 인듐-아연 산화물(IZO), 아연 산화물(ZnO) 또는 인듐 산화물( $In_2O_3$ )을 포함할 수 있다. 제1 전극(142)이 반사 전극으로 형성되는 경우에는, 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 니오븀(Nd), 이리듐(Ir), 크롬(Cr), 구리(Cu) 또는 이들의 화합물 등으로 형성된 반사막과, 상기 반사막 상에 위치하는 인듐-주석 산화물(ITO), 인듐-아연 산화물(IZO), 아연 산화물(ZnO) 또는 인듐 산화물( $In_2O_3$ )로 형성된 투명 전극층을 포함할 수 있다. 그러나, 이러한 물질은 예시적이며, 본 발명은 이에 한정되는 것은 아니다. 또한, 제1 전극(142)은 단일층(single layer) 또는 다중층(multilayer)으로 구성될 수 있다. 제1 전극(142)은 통상적인 증착 방법, 예를 들어 화학기상증착법(CVD), 또는 스퍼터링(sputtering) 등을 이용하여 증착된 후, 포토리소그래피법 등에 의해 패터닝되어 형성될 수 있다. 또한, 이온 차단층(150)은 제1 전극(142)을 구성하는 물질과 동일한 물질로 형성될 수 있거나, 또는 다른 물질을 포함할 수 있다.

[0035] 이온 차단층(150) 상에 이온 차단층(150)을 덮도록 화소 정의층(160, pixel definition layer, PDL)이 위치한다. 또한, 화소 정의층(160)은 제1 전극(142)의 적어도 일부를 노출할 수 있고, 노출된 제1 전극(142)은 상기 단위 화소(140)를 형성한다. 즉, 화소 정의층(160)은 단위 화소들(140)을 정의할 수 있다. 또한, 화소 정의층(160)은 제1 전극(142)과 제2 전극(146)의 단락을 방지하는 기능을 할 수 있다. 화소 정의층(160)은 절연물을 포함할 수 있고, 또한 투명하거나 불투명할 수 있다. 화소 정의층(160)은, 예를 들어 폴리이미드를 포함할 수 있고, 이는 예시적이며, 본 발명은 이에 한정되는 것은 아니다.

[0036] 제1 전극(142)에 대향하여 제2 전극(146)이 위치한다. 제2 전극(146)은 투명 전극 또는 반사형 전극으로 형성될 수 있다. 제2 전극(146)이 투명 전극으로 형성되는 경우에는, 금속, 예를 들어 리튬(Li), 칼슘(Ca), 불화 리튬/칼슘(LiF/Ca), 불화 리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 이들의 화합물이 제1 전극(142)을 향하도록 증착된 막과, 그 상에 인듐-주석 산화물(ITO), 인듐-아연 산화물(IZO), 아연 산화물(ZnO) 또는 인듐 산화물( $In_2O_3$ ) 등의 투명전극 형성용 물질로 형성된 보조 전극이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 구비될 때에는 리튬(Li), 칼슘(Ca), 불화 리튬/칼슘(LiF/Ca), 불화 리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 이들의 화합물을 전면 증착함으로써 구비될 수 있다. 제2 전극(146)은 통상적인 증착 방법, 예를 들어 화학기상증착법, 또는 스퍼터링 등을 이용하여 형성될 수 있다.

[0037] 제1 전극(142)과 제2 전극(146)의 위치는 예시적이며, 서로 반대로 위치할 수 있다. 예를 들어, 제1 전극(142)은 애노드(anode) 전극이고 제2 전극(146)은 캐소드(cathode) 전극일 수 있고, 또는 이와 반대일 수 있다. 제1 전극(142)은 상대적으로 일함수가 높은 물질로 형성될 수 있고, 반면 제2 전극(146)은 상대적으로 일함수가 낮은 물질로 형성될 수 있고, 또는 이와 반대일 수 있다. 또한, 제1 전극(142)은 각각의 단위 화소(140)의 영역에 대응되도록 패터닝될 수 있고, 제2 전극(146)은 전체 구조를 덮도록 형성될 수 있다. 즉, 제2 전극(146)은 화소 영역(P)과 비화소 영역(N)을 모두 덮도록 형성될 수 있다.

[0038] 제1 전극(142)과 제2 전극(146) 사이에는 유기 물질층(144)이 위치한다. 제1 전극(142)과 제2 전극(146) 사이에 전압을 인가하면 유기 물질층(144)은 광을 발광한다. 유기 물질층(144)은 포함되는 물질에 따라서 다른 색상을 가지는 광을 발광할 수 있다. 예를 들어, 유기 물질층(144)이 모두 동일한 하나의 색상을 가지는 광을 발광할 수 있고, 서로 다른 색상들, 예를 들어 적색, 청색 및 녹색을 각각 발광할 수 있다.

[0039] 유기 물질층(144)은 저분자 유기물을 이용하여 형성될 수 있다. 이러한 경우에는, 순차적으로 적층된 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transport layer, HTL), 유기 발광층(emission layer, EML), 전자 수송층(electron transport layer, ETL), 및 전자 주입층(electron injection layer, EIL)을 포함할 수 있고, 각각의 층들은 단일층이거나 또는 다중층일 수 있다. 또한, 유기 물질층(144)에 사용 가능한 유기 재료도 구리 프탈로시아닌(copper phthalocyanine: CuPc), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum: Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기물은 마스크들을 이용한 진공증착 등의 방법으로 형성될 수 있다. 또한, 유기 물질층(144)을 고분자 유기물을 이용하여 형성할 수

있다. 이러한 경우에는, 정공 수송층과 유기 발광층을 포함하는 구조를 가질 수 있다. 이 때, 상기 정공 수송층으로 PEDOT를 사용할 수 있고, 상기 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용할 수 있다. 유기 물질층(144)은 스핀 코팅법, LITI(Laser Induced Thermal Imaging)법, 잉크젯 프린팅법, 진공 증착법 등의 방법으로 형성될 수 있다.

[0040] 도 3a 및 도 3b는 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치(1)의 상면도들이다. 도 3a 및 도 3b는 도 2에 도시된 제1 전극(142)과 이온 차단층(150)의 배열에 대한 예들을 나타낸다.

[0041] 도 3a를 참조하면, 제1 전극(142)은 화소 영역(P)에 위치하고, 이온 차단층(150)은 비화소 영역(N)에 위치한다. 제1 전극(142)과 이온 차단층(150)은 예를 들어 화소 정의층(160)에 의하여 서로 이격될 수 있고, 이에 따라 서로 전기적으로 절연될 수 있다. 이온 차단층(150)은 박막 트랜지스터(120)를 덮도록 위치할 수 있고, 적어도 박막 트랜지스터(120)의 활성층(126)을 덮도록 위치할 수 있다. 이온 차단층(150)은 접지 배선(172)에 의하여 접지(170)와 전기적으로 연결될 수 있다. 이온 차단층(150)은 박막 트랜지스터들(120)에 각각 대응하여 위치하도록 분리될 수 있다. 도 3a에서는 이온 차단층(150)이 사각형으로 도시되어 있으나, 이는 예시적이며 다각형 또는 원형 등 여러 가지 형상을 가질 수 있다.

[0042] 도 3b를 참조하면, 제1 전극(142)은 화소 영역(P)에 위치하고, 이온 차단층(150)은 화소 영역(P) 및 비화소 영역(N)에 위치한다. 즉, 이온 차단층(150)은 제1 전극(142)이 형성된 영역을 제외한 영역에 형성될 수 있다. 제1 전극(142)과 이온 차단층(150)은 예를 들어 화소 정의층(160)에 의하여 서로 이격될 수 있고, 이에 따라 서로 전기적으로 절연될 수 있다. 이온 차단층(150)은 박막 트랜지스터(120)를 덮을 수 있고, 즉 박막 트랜지스터(120)의 활성층(126)을 덮도록 위치할 수 있다. 이온 차단층(150)은 일체형으로 형성될 수 있다. 이온 차단층(150)은 접지 배선(172)에 의하여 접지(170)와 전기적으로 연결될 수 있다.

[0043] 도 3a 및 도 3b에서는 제1 전극(142)에 대하여, 즉 하나의 단위 화소(140)에 대하여 각각 두 개의 박막 트랜지스터들(120)이 위치하도록 도시되어 있으나, 이는 예시적이며 더 많은 수, 예를 들어 3개 내지 5개 또는 그 이상의 박막 트랜지스터들(120)이 상기 하나의 단위 화소(140)에 대응하도록 위치할 수 있다.

[0044] 도 4a 내지 도 4f는 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치(1)의 제조 방법을 공정 단계에 따라 도시한 단면도들이다.

[0045] 도 4a를 참조하면, 기판(100)을 마련한다. 기판(100)은 그 상에 버퍼층(110)을 선택적으로 더 포함할 수 있다.

[0046] 도 4b를 참조하면, 기판(100)은 또는 버퍼층(110) 상에 복수의 박막 트랜지스터들(120)을 형성한다. 박막 트랜지스터(120)는 게이트 전극(122), 게이트 절연층(124), 활성층(126), 소스 전극(127), 및 드레인 전극(128)을 포함한다. 박막 트랜지스터(120)는 화학기상증착법(CVD), 플라즈마 강화 화학기상증착법(PECVD), 상압 CVD법(APCVD), 저압 CVD(LPCVD)법, 포토 CVD, HR CVD, ECR-CVD 등의 방법을 이용하여 형성될 수 있고, 또한 통상적인 포토 리소그래피 방법을 이용하여 형성할 수 있다. 활성층(126)은 반도체 물질을 포함할 수 있고, 예를 들어 다결정 실리콘 또는 산화물 반도체 물질을 포함할 수 있다.

[0047] 도 4c를 참조하면, 박막 트랜지스터(120) 상에 박막 트랜지스터(120)을 덮도록 평탄화층(130)을 형성한다. 평탄화층(130)은 화학기상증착법(CVD), 플라즈마 강화 화학기상증착법(PECVD), 상압 CVD법(APCVD), 저압 CVD(LPCVD)법, 포토 CVD, HR CVD, ECR-CVD 등의 방법에 의하여 형성될 수 있다. 이어서, 평탄화층(130)을 관통하고 드레인 전극(128)의 일부 영역을 노출하는 개구부(131)를 평탄화층(130)에 형성한다.

[0048] 도 4d를 참조하면, 도전물을 이용하여 평탄화층(130) 상에 도전층(133)을 형성한다. 이때에, 개구부(131)는 상기 도전물에 의하여 매립될 수 있고, 이에 따라 드레인 전극(128)과 전기적으로 연결되는 플러그(132)를 형성한다. 이어서, 도전층(133) 상에 제1 마스크 패턴(180)을 형성한다. 제1 마스크 패턴(180)은 포토레지스트 마스크 또는 하드 마스크일 수 있다.

[0049] 도 4e를 참조하면, 제1 마스크 패턴(180)을 식각 마스크로 이용하여 도전층(133)의 일부 영역을 제거하고, 이에 따라 제1 전극(142) 및 이온 차단층(150)을 형성한다. 제1 전극(142)과 이온 차단층(150)은 전기적으로 절연될 수 있다. 이온 차단층(150)은 박막 트랜지스터(120)를 덮으며, 적어도 활성층(126)을 덮도록 형성된다.

[0050] 도 4f를 참조하면, 이온 차단층(150)을 덮고 제1 전극(142)의 일부 영역을 노출하는 화소 정의층(160)을 형성한다. 화소 정의층(160)은 절연물을 포함할 수 있고, 예를 들어 폴리이미드를 포함할 수 있고, 또한 투명하거나 불투명할 수 있다. 화소 정의층(160)은 단위 화소들(140)을 정의할 수 있다. 이어서, 유기 물질층(144) 및 제2 전극(146)을 형성한다. 즉, 제1 전극(142), 유기 물질층(144) 및 제2 전극(146)을 포함하는 단위 화소(14

0)를 형성하고, 이에 따라 결과적으로, 도 2의 구조를 완성한다.

- [0051] 도 4a 내지 도 4f를 참조하여 상술한 실시예에 따른 제조 방법에서는, 평탄화층(130) 상에 도전층(133)을 먼저 형성한 후, 도전층(133)의 일부를 제거하여 제1 전극(142)과 이온 차단층(150)을 동시에 형성한다. 이러한 경우에는 제1 전극(142) 및 이온 차단층(150)은 동일한 물질을 포함할 수 있다.
- [0052] 도 5a 내지 도 5c은 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치(1)를 제조 방법을 공정 단계에 따라 도시한 단면도들이다. 본 실시예에 따른 제조 방법은 상술한 실시예의 도 4c에 후속하여 수행된다
- [0053] 도 5a를 참조하면, 도 4c에 도시된 구조 상에, 즉, 평탄화층(130) 상에 평탄화층(130)의 일부 영역을 노출하는 제2 마스크 패턴(181)을 형성한다. 제2 마스크 패턴(181)은 이온 차단층(150)이 형성되는 영역을 덮으며 제1 전극(142)이 형성되는 영역은 노출한다.
- [0054] 도 5b를 참조하면, 제2 마스크 패턴(181)에 의하여 노출된 평탄화층(130) 상에 도전층(미도시)을 형성하여 제1 전극(142)을 형성한다. 이때에 플러그(132)도 동시에 형성될 수 있다. 이어서 제2 마스크 패턴(181)을 제거한다.
- [0055] 도 5c를 참조하면, 평탄화층(130) 상에 평탄화층(130)의 일부 영역을 노출하고 제1 전극(142)을 덮는 제3 마스크 패턴(182)을 형성한다. 제3 마스크 패턴(182)은 이온 차단층(150)이 형성되는 영역을 노출한다. 이어서, 제3 마스크 패턴(182)에 의하여 노출된 평탄화층(130) 상에 도전층(미도시)을 형성하여 이온 차단층(150)을 형성한다. 이어서 제3 마스크 패턴(182)을 제거한다. 이에 따라 도 4e의 구조를 완성하고, 상술한 후속 공정을 진행한다.
- [0056] 도 5a 내지 도 5c를 참조하여 상술한 실시예에 따른 제조 방법에서는, 제2 및 제3 마스크 패턴들(181, 182)을 이용하여 평탄화층(130) 상에 제1 전극(142)을 먼저 형성하고 이어서 이온 차단층(150)을 형성한다. 이러한 경우에는 제1 전극(142) 및 이온 차단층(150)은 동일한 물질을 포함할 수 있고 또한 서로 다른 물질을 포함할 수 있다.
- [0057] 도 6a 내지 도 5c은 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치(1)를 제조 방법을 공정 단계에 따라 도시한 단면도들이다. 본 실시예에 따른 제조 방법은 상술한 실시예의 도 4c에 후속하여 수행된다
- [0058] 도 6a를 참조하면, 도 4c에 도시된 구조 상에, 즉, 평탄화층(130) 상에 평탄화층(130)의 일부 영역을 노출하는 제4 마스크 패턴(183)을 형성한다. 제4 마스크 패턴(183)은 제1 전극(142)이 형성되는 영역을 덮으며 이온 차단층(150)이 형성되는 영역은 노출한다.
- [0059] 도 6b를 참조하면, 제4 마스크 패턴(183)에 의하여 노출된 평탄화층(130) 상에 도전층(미도시)을 형성하여 이온 차단층(150)을 형성한다. 이어서 제4 마스크 패턴(183)을 제거한다.
- [0060] 도 6c를 참조하면, 평탄화층(130) 상에 평탄화층(130)의 일부 영역을 노출하고 이온 차단층(150)을 덮는 제5 마스크 패턴(184)을 형성한다. 제5 마스크 패턴(184)은 이온 차단층(150)이 형성되는 영역을 노출한다. 이어서, 제5 마스크 패턴(184)에 의하여 노출된 평탄화층(130) 상에 도전층(미도시)을 형성하여 제1 전극(142)을 형성한다. 이때에 플러그(132)도 동시에 형성될 수 있다. 이어서, 제5 마스크 패턴(184)을 제거한다. 이에 따라 도 4e의 구조를 완성하고, 상술한 후속 공정을 진행한다.
- [0061] 도 6a 내지 도 6c를 참조하여 상술한 실시예에 따른 제조 방법에서는, 제4 및 제5 마스크 패턴들(183, 184)을 이용하여 평탄화층(130) 상에 이온 차단층(150)을 먼저 형성하고 이어서 제1 전극(142)을 형성한다. 이러한 경우에는 제1 전극(142) 및 이온 차단층(150)은 동일한 물질을 포함할 수 있고 또한 서로 다른 물질을 포함할 수 있다.
- [0062] 도 7은 본 발명의 일부 실시예들에 따른 유기 발광 표시 장치(1)를 제조 방법을 공정 단계에 따라 도시한 단면도들이다. 본 실시예에 따른 제조 방법은 상술한 실시예의 도 4c에 후속하여 수행된다
- [0063] 도 7을 참조하면, 평탄화층(130)의 일부 영역을 노출하는 제6 마스크 패턴(185)을 형성한다. 제6 마스크 패턴(185)은 제1 전극(142) 및 이온 차단층(150)이 형성되는 영역을 노출한다. 제6 마스크 패턴(185)에 의하여 노출된 평탄화층(130) 상에 도전층(미도시)을 형성하여 제1 전극(142) 및 이온 차단층(150)을 동시에 형성한다. 이때에 플러그(132)도 동시에 형성될 수 있다. 이어서 제6 마스크 패턴(185)을 제거한다. 이러한 경우에는 제1 전극(142) 및 이온 차단층(150)은 동일한 물질을 포함할 수 있다. 이에 따라 도 4e의 구조를 완성하고, 상술한 후속 공정을 진행한다.

**산업상 이용가능성**

[0064] 본 발명은 박막 트랜지스터의 활성층의 열화를 방지할 수 있으며, 배면 발광형, 전면 발광형 및 양면 발광형 유기 발광 표시 장치에 이용 가능하다.

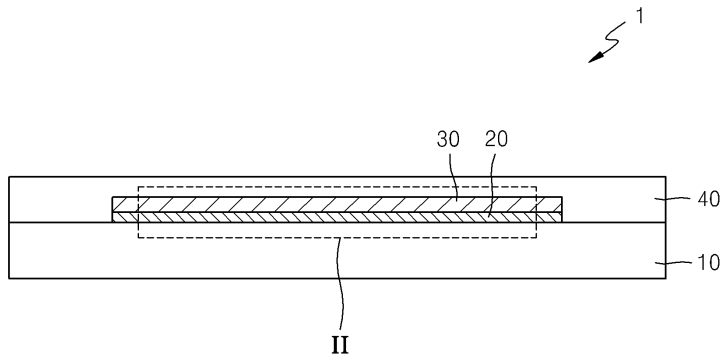
[0065] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

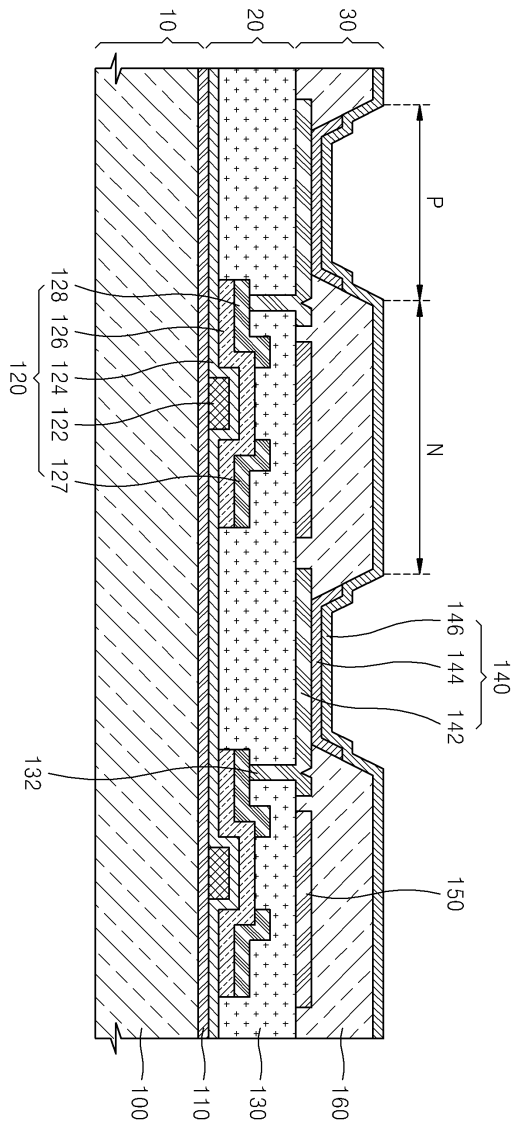
[0066] 1: 유기 발광 표시 장치, 10: 기저부, 20: 소자부, 30: 표시부,  
 40: 봉지부, 100: 기관, 110: 버퍼층, 120: 박막 트랜지스터,  
 122: 게이트 전극, 124: 게이트 절연층, 126: 활성층,  
 127: 소스 전극, 128: 드레인 전극, 130: 평탄화층, 131: 개구부,  
 133: 도전층, 140: 단위 화소, 142: 제1 전극, 144: 유기 물질층,  
 146: 제2 전극, 150: 이온 차단층, 160: 화소 정의층, 170: 접지,  
 180, 181, 182, 183, 184, 185: 마스크 패턴

**도면**

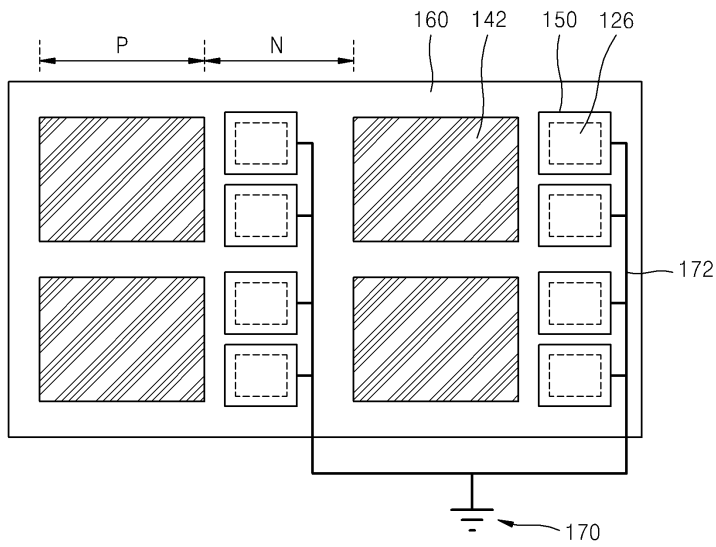
**도면1**



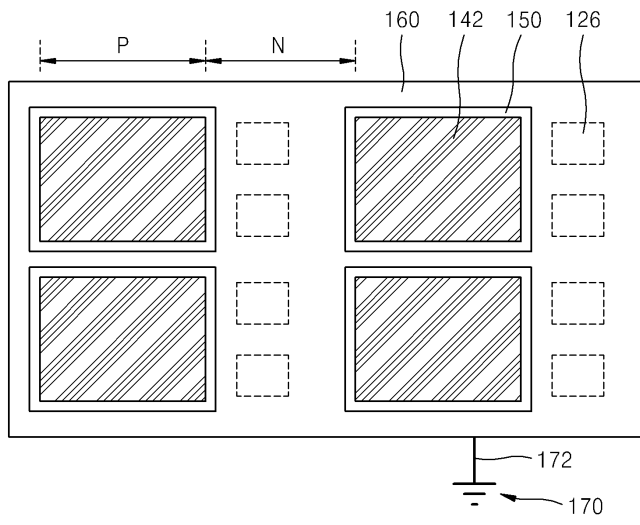
도면2



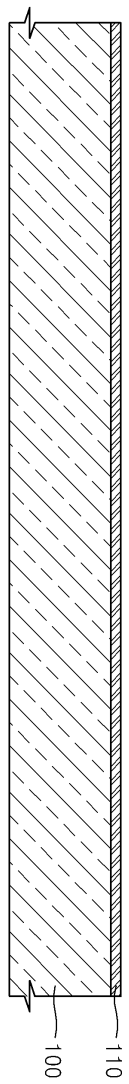
도면3a



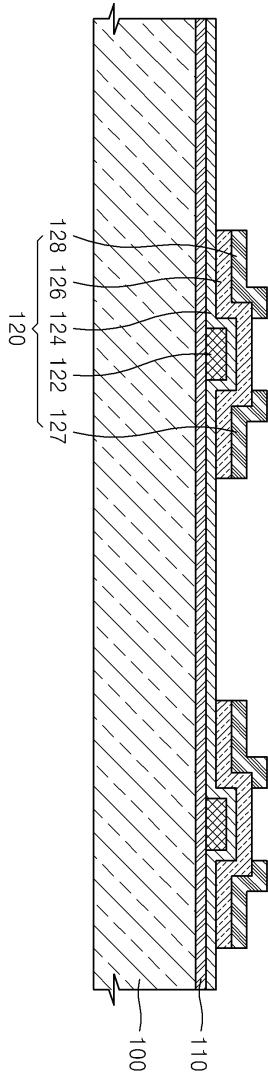
도면3b



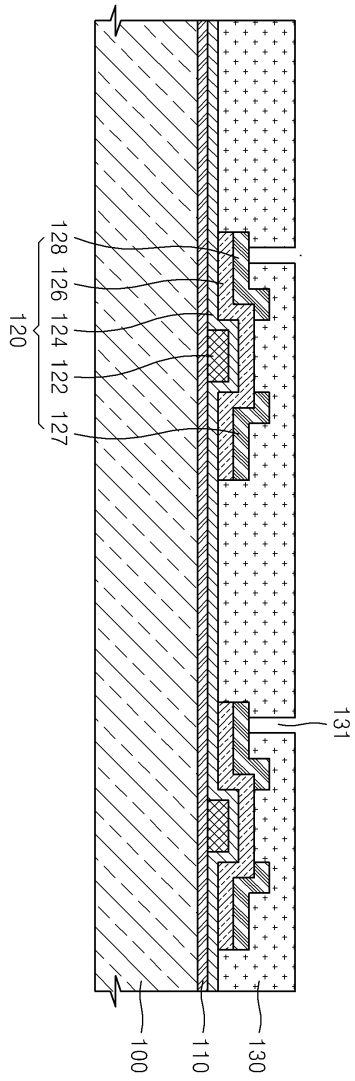
도면4a



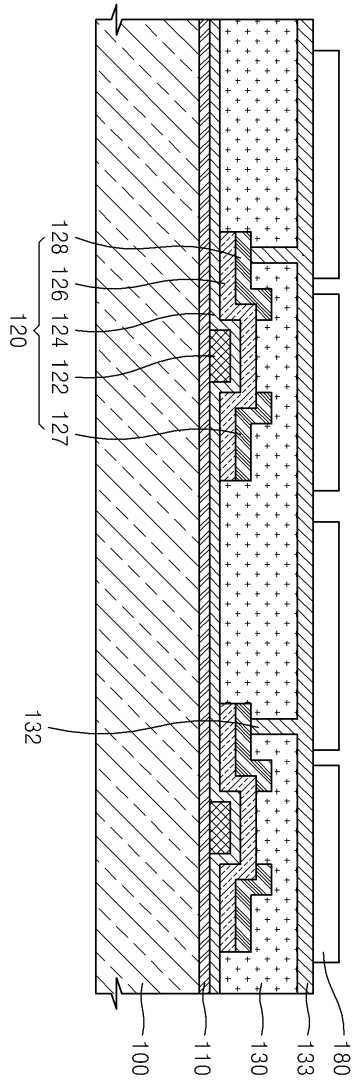
도면4b



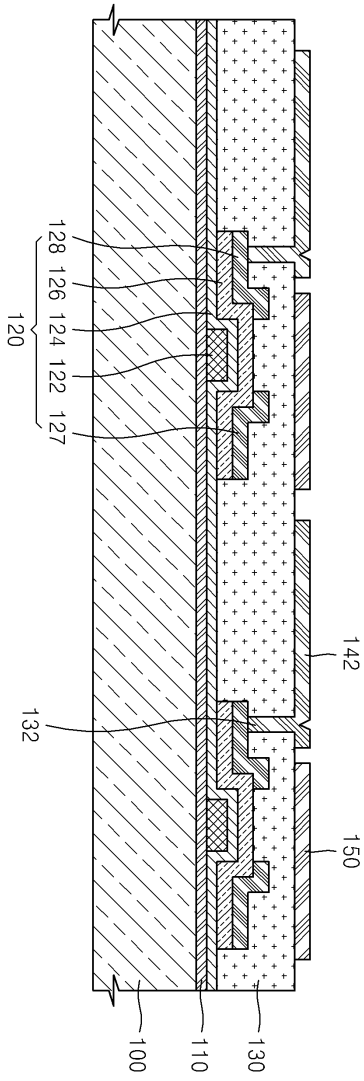
도면4c



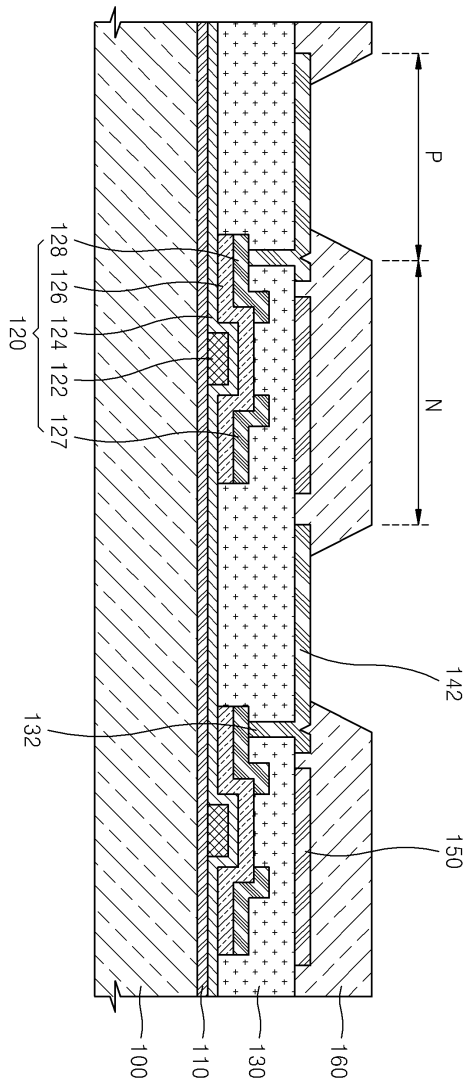
도면4d



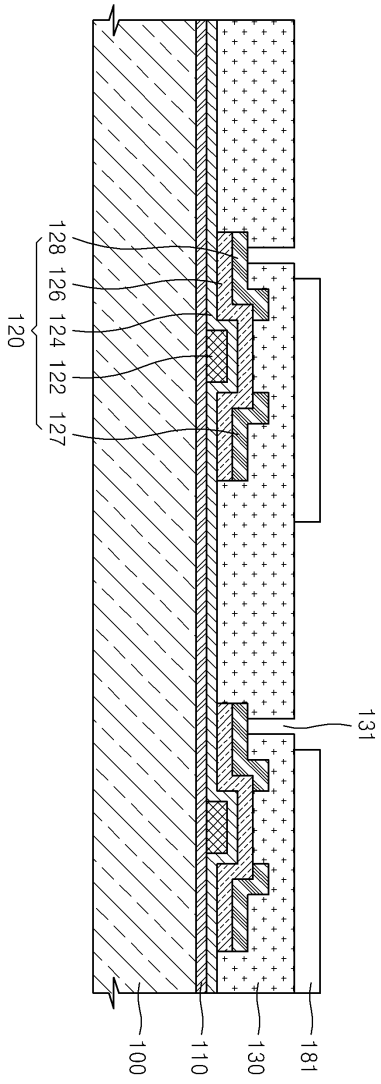
도면4e



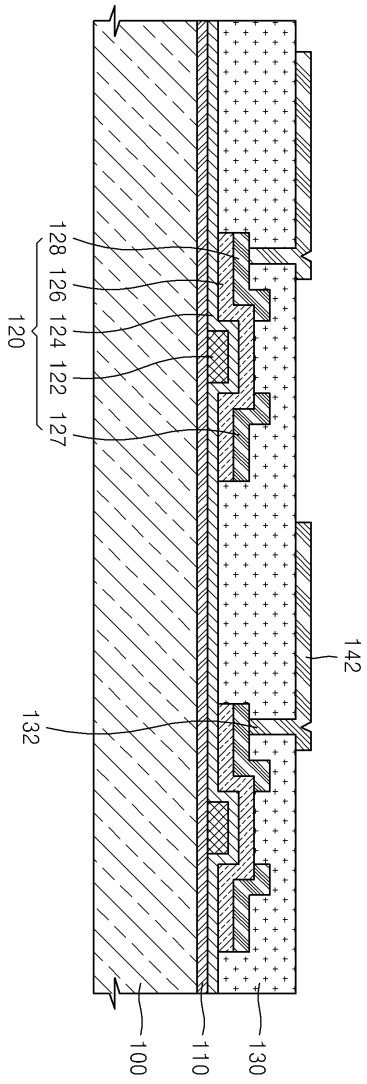
도면4f



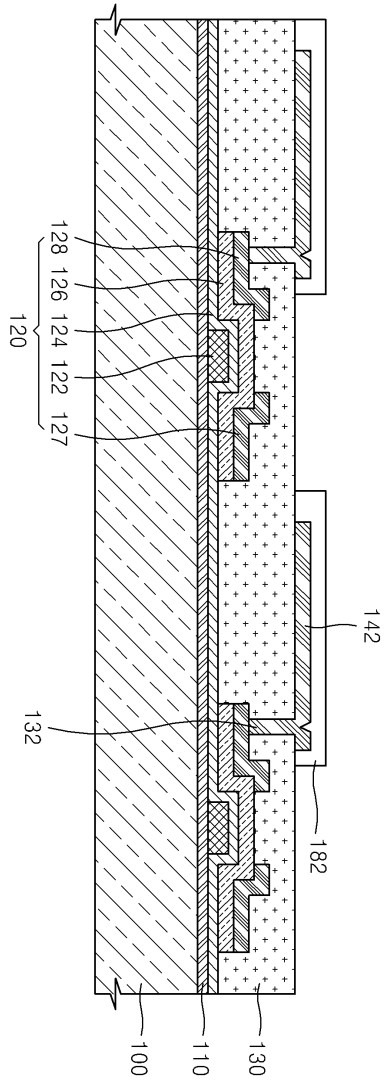
도면5a



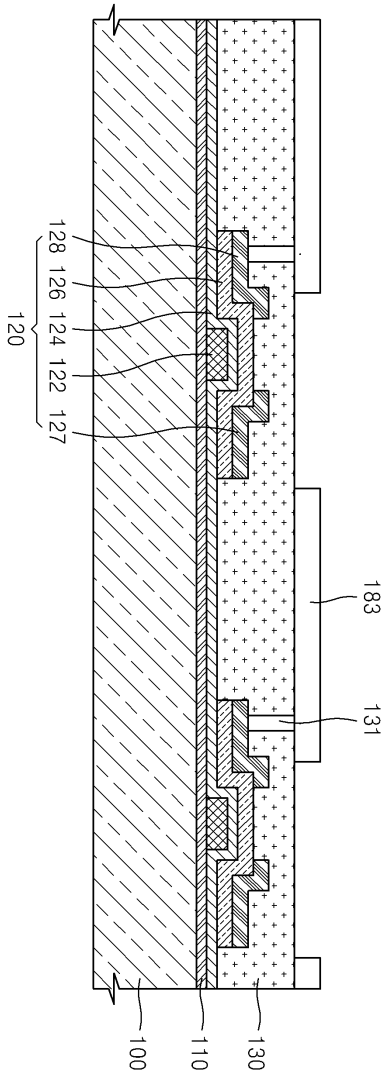
도면5b



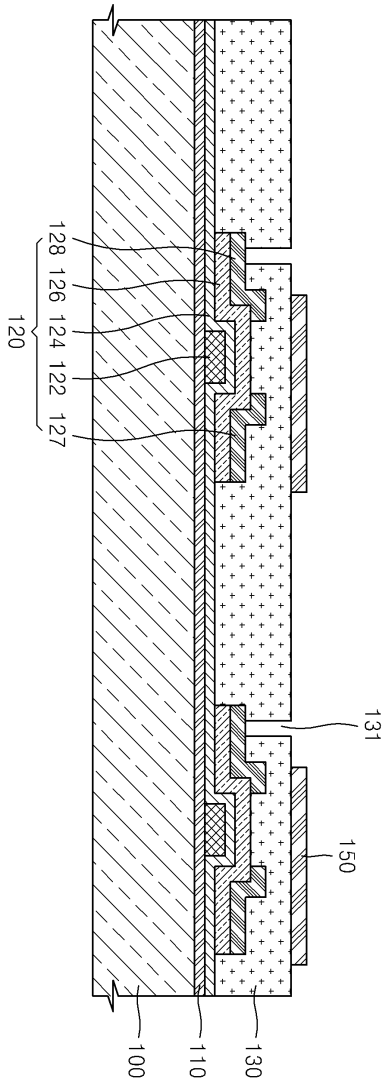
도면5c



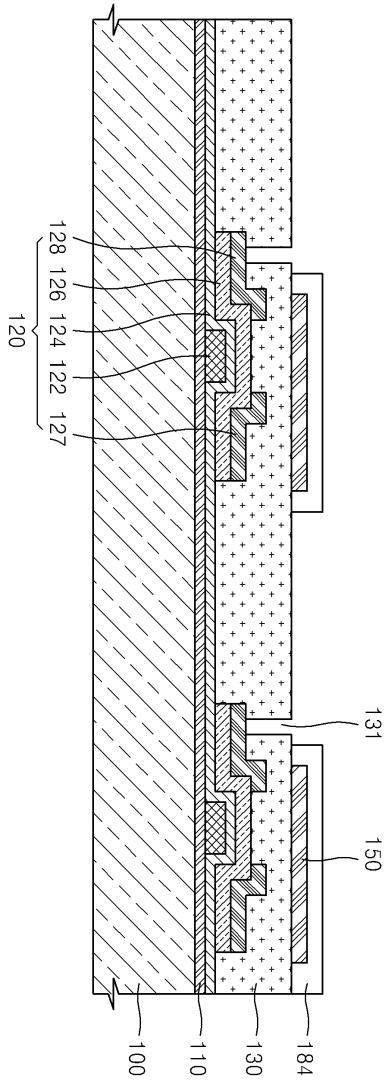
도면6a



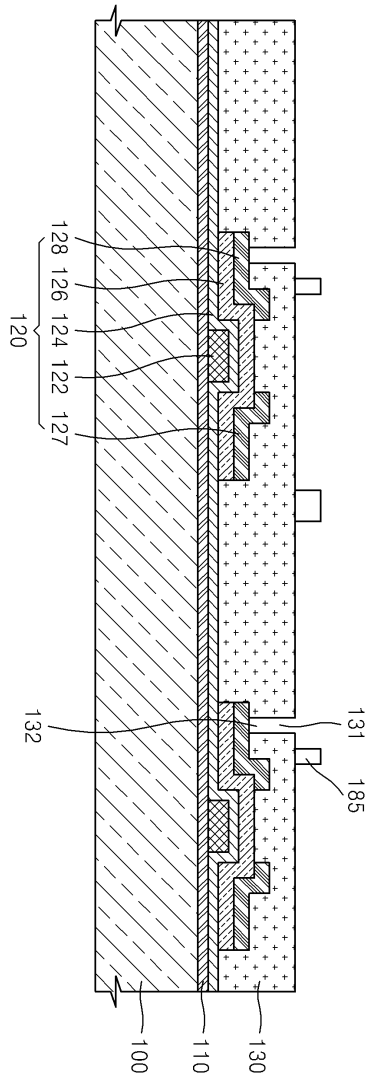
도면6b



도면6c



도면7



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	<a href="#">KR1020110080885A</a>	公开(公告)日	2011-07-13
申请号	KR1020100001313	申请日	2010-01-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHOI CHAUN GI 최천기 IM KI JU 임기주 YANG HUI WON 양희원		
发明人	최천기 임기주 양희원		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L2227/323 H01L27/3244 H01L27/1225 H01L51/5253 H01L29/7812 H01L29/78696 H01L2227/32 H01L2227/326		
其他公开文献	KR101074813B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种能够防止薄膜晶体管的有源层劣化的有机发光显示装置及其制造方法。根据本发明实施例的有机发光显示器包括基板;薄膜晶体管形成在基板上并包括有源层;覆盖薄膜晶体管的平坦化层;第一电极,位于平坦化层上并与薄膜晶体管电连接;并且,离子阻挡层设置在平坦化层上以覆盖有源层。

