



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0079220
(43) 공개일자 2011년07월07일

(51) Int. Cl.

G09G 3/30 (2006.01) *G09G 3/20* (2006.01)
(21) 출원번호 10-2009-0136214

(22) 출원일자 2009년12월31일
심사청구일자 2009년12월31일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정보용

경기도 용인시 기흥구 농서동 산24

박용성

경기도 용인시 기흥구 농서동 산24

최덕영

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

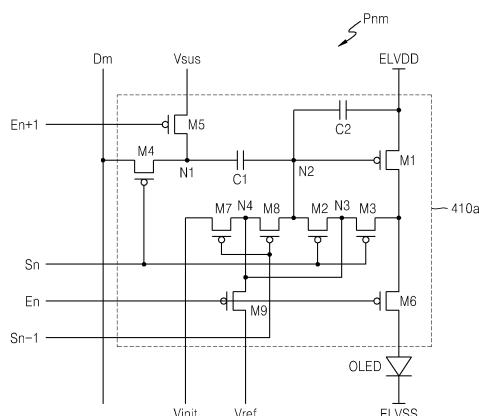
전체 청구항 수 : 총 19 항

(54) 화소 회로 및 유기 전계 발광 표시 장치

(57) 요 약

본 발명의 실시 예들은, 구동 트랜지스터의 문턱 전압 및 전압 강하를 보상할 수 있고, 초기화 시간을 분리하여 구동함으로써, 명암비(contrast ratio)를 개선하고, 데이터 전압에 따른 누설 전류를 고정전원으로 잡아주어 누설전류에 의한 전류 변화를 최소화 하여 크로스토크를 개선할 수 있으며, 발광 제어신호의 뉴터를 조정하여 모션 블러를 제거할 수 있고, 트랜지스터의 특성상 드레인-소스간 전압(V_{ds})의 증가에 따라 트랜지스터 턴 오프 시에 발생하는 누설 전류 문제를 해결할 수 있는 화소 회로, 상기 화소 회로를 이용한 유기 전계 발광 표시 장치를 제공한다.

대 표 도 - 도4



특허청구의 범위

청구항 1

제1 전극 및 제2 전극을 구비하는 발광 소자를 구동하기 위한 화소 회로에 있어서,

제1 전극 및 제2 전극을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터;

제2 주사 제어 신호에 응답하고 제1 전극이 상기 구동 트랜지스터의 게이트 전극에 연결되고, 제2 전극이 제1 노드에 연결된 제2 트랜지스터;

상기 제2 주사 제어 신호에 응답하고 제1 전극이 상기 제1 노드에 연결되며 제2 전극이 상기 구동 트랜지스터의 제2 전극에 연결된 제3 트랜지스터;

상기 제2 주사 제어 신호에 응답하여 데이터 신호를 제2 전극으로 전달하는 제4 트랜지스터;

제2 발광 제어 신호에 응답하여 제1 전원 전압을 상기 제4 트랜지스터의 제2 전극으로 전달하는 제5 트랜지스터;

상기 구동 트랜지스터의 상기 제2 전극과 상기 발광 소자의 상기 제1 전극 사이에 직렬로 연결되고, 게이트 전극으로 인가되는 제1 발광 제어 신호에 응답하여 상기 구동 트랜지스터에서 출력된 상기 구동 전류를 상기 발광 소자의 상기 제1 전극으로 출력하는 제6 트랜지스터;

제1 주사 제어 신호에 응답하여 초기 전압을 제2 전극으로 전달하는 제7 트랜지스터;

상기 제1 주사 제어 신호에 응답하여 상기 초기 전압을 상기 구동 트랜지스터의 게이트 전극으로 전달하는 제8 트랜지스터;

제1 발광 제어 신호에 응답하여 기준 전압을 상기 제2 트랜지스터의 제2 전극 및 상기 제3 트랜지스터의 제1 전극으로 전달하고, 상기 기준 전압을 상기 제7 트랜지스터의 제2 전극 및 상기 제8 트랜지스터의 제1 전극으로 전달하는 제9 트랜지스터; 및

상기 제4 트랜지스터의 제2 전극 및 상기 제5 트랜지스터의 제2 전극에 연결된 제1 전극과 상기 구동 트랜지스터의 게이트 전극에 연결된 제2 전극을 구비하는 제1 캐패시터를 포함하는 화소 회로.

청구항 2

제 1항에 있어서, 상기 발광 소자는 유기 전계 발광 다이오드(OLED, organic light emitting diodes)인 것을 특징으로 하는 화소 회로.

청구항 3

제 1항에 있어서, 상기 제2 트랜지스터 및 제3 트랜지스터는 상기 제2 주사 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트 전극과 제1 전극을 연결하는 것을 특징으로 하는 화소 회로.

청구항 4

제 1항에 있어서, 상기 발광 소자의 상기 제2 전극은 제3 전원 전압에 연결된 것을 특징으로 하는 화소 회로.

청구항 5

제 1항에 있어서, 상기 초기 전압은 상기 제3 전원 전압인 것을 특징으로 하는 화소 회로.

청구항 6

제 1항에 있어서, 상기 기준 전압은 상기 제1 전원 전압인 것을 특징으로 하는 화소 회로.

청구항 7

제 1항에 있어서, 상기 초기 전압은 상기 제3 전원 전압인 것을 특징으로 하는 화소 회로.

청구항 8

제 1항에 있어서,

상기 제1 캐패시터의 제2 단자에 연결된 제1 전극 및 제2 전원 전압에 연결된 제2 전극을 구비하는 제2 캐패시터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 9

제 1항에 있어서, 상기 구동 트랜지스터의 상기 제1 전극은 소스 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 드레인 전극인 것을 특징으로 하는 화소 회로.

청구항 10

제 1항에 있어서,

상기 제1 및 제2 주사 제어 신호 및 상기 제1 및 제2 발광 제어신호는,

제1 레벨의 상기 제1 주사 제어신호 및 제2 발광 제어신호와, 제2 레벨의 상기 제2 주사 제어신호 및 상기 제1 발광 제어 신호를 갖는 제1 시간 구간;

상기 데이터 신호가 상기 화소 회로에 유효한 레벨을 갖고, 상기 제2 레벨의 상기 제1 주사 제어신호 및 제2 발광 제어신호와, 상기 제1 레벨의 상기 제2 주사 제어신호 및 상기 제1 발광 제어 신호를 갖는 제2 시간 구간;

상기 제2 레벨의 상기 제1 주사 제어신호, 상기 제2 주사 제어 신호 및 상기 제2 발광 제어 신호와, 상기 제1 레벨의 상기 제1 발광 제어 신호를 갖는 제3 시간 구간; 및

상기 제2 레벨의 상기 제1 주사 제어신호 및 상기 제2 주사 제어 신호와 상기 제1 레벨의 상기 제1 발광 제어 신호 및 상기 제2 발광 제어 신호를 갖도록 구동되고,

상기 제1 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 9 트랜지스터들이 턴 온 되는 레벨이고, 상기 제2 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 9 트랜지스터들이 턴 오프 되는 레벨인 것을 특징으로 하는 화소 회로.

청구항 11

복수의 화소들;

상기 복수의 화소들 각각에 제1 및 제2 주사 제어 신호와 제1 및 제2 발광 제어 신호를 출력하는 주사 구동부; 및

데이터 신호를 생성하여, 상기 복수의 화소들에 출력하는 데이터 구동부를 포함하고, 상기 복수의 화소들 각각은

제1 전극 및 제2 전극을 구비하는 유기 전계 발광 다이오드;

제1 전극 및 제2 전극을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터;

제2 주사 제어 신호에 응답하고 제1 전극이 상기 구동 트랜지스터의 게이트 전극에 연결되고, 제2 전극이 제1 노드에 연결된 제2 트랜지스터;

상기 제2 주사 제어 신호에 응답하고 제1 전극이 상기 제1 노드에 연결되며 제2 전극이 상기 구동 트랜지스터의 제2 전극에 연결된 제3 트랜지스터;

상기 제2 주사 제어 신호에 응답하여 데이터 신호를 제2 전극으로 전달하는 제4 트랜지스터;

제2 발광 제어 신호에 응답하여 제1 전원 전압을 상기 제4 트랜지스터의 제2 전극으로 전달하는 제5 트랜지스터;

상기 구동 트랜지스터의 상기 제2 전극과 상기 발광 소자의 상기 제1 전극 사이에 직렬로 연결되고, 게이트 전극으로 인가되는 제1 발광 제어 신호에 응답하여 상기 구동 트랜지스터에서 출력된 상기 구동 전류를 상기 발광 소자의 상기 제1 전극으로 출력하는 제6 트랜지스터;

제1 주사 제어 신호에 응답하여 초기 전압을 제2 전극으로 전달하는 제7 트랜지스터;

상기 제1 주사 제어 신호에 응답하여 상기 초기 전압을 상기 구동 트랜지스터의 게이트 전극으로 전달하는 제8 트랜지스터;

제1 발광 제어 신호에 응답하여 기준 전압을 상기 제2 트랜지스터의 제2 전극 및 상기 제3 트랜지스터의 제1 전극으로 전달하고, 상기 기준 전압을 상기 제7 트랜지스터의 제2 전극 및 상기 제8 트랜지스터의 제1 전극으로 전달하는 제9 트랜지스터; 및

상기 제4 트랜지스터의 제2 전극 및 상기 제5 트랜지스터의 제2 전극에 연결된 제1 전극과 상기 구동 트랜지스터의 게이트 전극에 연결된 제2 전극을 구비하는 제1 캐패시터를 포함하는 유기 전계 발광 표시 장치.

청구항 12

제 11항에 있어서, 상기 제2 트랜지스터 및 제3 트랜지스터는 상기 제2 주사 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트 전극과 제1 전극을 연결하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13

제 11항에 있어서, 상기 발광 소자의 상기 제2 전극은 제3 전원 전압에 연결된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 14

제 11항에 있어서, 상기 초기 전압은 상기 제3 전원 전압인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 15

제 11항에 있어서, 상기 기준 전압은 상기 제1 전원 전압인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 16

제 11항에 있어서, 상기 초기 전압은 상기 제3 전원 전압인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 17

제 11항에 있어서,

상기 제1 캐패시터의 제2 단자에 연결된 제1 전극 및 제2 전원 전압에 연결된 제2 전극을 구비하는 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 18

제 11항에 있어서, 상기 구동 트랜지스터의 상기 제1 전극은 소스 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 드레인 전극인 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 19

제 11항에 있어서, 상기 주사 구동부는

제1 레벨의 제1 주사 제어신호 및 제2 발광 제어신호와, 제2 레벨의 제2 주사 제어신호 및 상기 제1 발광 제어신호를 갖는 제1 시간 구간;

상기 데이터 신호가 상기 화소 회로에 유효한 레벨을 갖고, 상기 제2 레벨의 상기 제1 주사 제어신호 및 제2 발광 제어신호와, 상기 제1 레벨의 상기 제2 주사 제어신호 및 상기 제1 발광 제어 신호를 갖는 제2 시간 구간;

상기 제2 레벨의 상기 제1 주사 제어신호, 상기 제2 주사 제어 신호 및 상기 제2 발광 제어 신호와, 상기 제1 레벨의 상기 제1 발광 제어 신호를 갖는 제3 시간 구간; 및

상기 제2 레벨의 상기 제1 주사 제어신호 및 상기 제2 주사 제어 신호와 상기 제1 레벨의 상기 제1 발광 제어 신호 및 상기 제2 발광 제어 신호를 갖도록 구동되고,

상기 제1 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 9 트랜지스터들이 턴 온 되는 레벨이고, 상기 제2 레

밸은 상기 구동 트랜지스터 및 상기 제2 내지 9 트랜지스터들이 턴 오프 되는 레벨인 것을 특징으로 하는 유기 전계 발광 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명의 실시 예들은 화소 회로, 유기 전계 발광 표시 장치에 관한 것이다.

배경기술

[0002] 디스플레이 장치는 입력 데이터에 대응되는 데이터 구동 신호를 복수의 화소 회로들에 인가하여 각 화소들의 휘도를 조절함으로써, 입력 데이터를 영상으로 변환하여 사용자에게 제공한다. 복수의 화소 회로들에 출력할 데이터 구동 신호는 데이터 구동부로부터 생성된다. 데이터 구동부는 감마 필터 회로로부터 생성된 복수의 감마 전압들 중 상기 입력 데이터에 대응되는 감마 전압을 선택하여, 선택된 감마 전압을 복수의 화소 회로들에 데이터 구동 신호로서 출력한다.

발명의 내용

해결 하고자하는 과제

[0003] 본 발명의 실시 예들은, 유기 발광 표시 장치를 구현할 때, 구동 트랜지스터의 문턱 전압 및 전압 강하를 보상하기 위한 것이다.

[0004] 또한 본 발명의 실시 예들은 초기화 시간을 분리하여 구동함으로써, 명암비(contrast ratio)를 개선하기 위한 것이다.

[0005] 또한 본 발명의 실시 예들은, 데이터 전압에 따른 누설 전류를 고정전원으로 잡아주어 누설전류에 의한 전류 변화를 최소화 하여 크로스토크를 개선 하기 위한 것이다.

[0006] 더 나아가 본 발명의 실시 예들은, 발광 제어신호의 뉴터를 조정하여 모션 블러를 제거하기 위한 것이다.

과제 해결수단

[0007] 본 발명이 이루고자 하는 기술적인 과제를 해결하기 위한 일 실시 예에 따른 화소 회로는 제1 전극 및 제2 전극을 구비하는 발광 소자를 구동하기 위한 화소 회로이고, 제1 전극 및 제2 전극을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터; 제2 주사 제어 신호에 응답하고 제1 전극이 상기 구동 트랜지스터의 게이트 전극에 연결되고, 제2 전극이 제1 노드에 연결된 제2 트랜지스터; 상기 제2 주사 제어 신호에 응답하고 제1 전극이 상기 제1 노드에 연결되며 제2 전극이 상기 구동 트랜지스터의 제2 전극에 연결된 제3 트랜지스터; 상기 제2 주사 제어 신호에 응답하여 데이터 신호를 제2 전극으로 전달하는 제4 트랜지스터; 제2 발광 제어 신호에 응답하여 제1 전원 전압을 상기 제4 트랜지스터의 제2 전극으로 전달하는 제5 트랜지스터; 상기 구동 트랜지스터의 상기 제2 전극과 상기 발광 소자의 상기 제1 전극 사이에 직렬로 연결되고, 게이트 전극으로 인가되는 제1 발광 제어 신호에 응답하여 상기 구동 트랜지스터에서 출력된 상기 구동 전류를 상기 발광 소자의 상기 제1 전극으로 출력하는 제6 트랜지스터; 제1 주사 제어 신호에 응답하여 초기 전압을 제2 전극으로 전달하는 제7 트랜지스터; 상기 제1 주사 제어 신호에 응답하여 상기 초기 전압을 상기 구동 트랜지스터의 게이트 전극으로 전달하는 제8 트랜지스터; 제1 발광 제어 신호에 응답하여 기준 전압을 상기 제2 트랜지스터의 제2 전극 및 상기 제3 트랜지스터의 제1 전극으로 전달하고, 상기 기준 전압을 상기 제7 트랜지스터의 제2 전극 및 상기 제8 트랜지스터의 제1 전극으로 전달하는 제9 트랜지스터; 및 상기 제4 트랜지스터의 제2 전극 및 상기 제5 트랜지스터의 제2 전극에 연결된 제1 전극과 상기 구동 트랜지스터의 게이트 전극에 연결된 제2 전극을 구비하는 제1 캐패시터를 포함하는 것이 바람직하다.

[0008] 본 발명에 있어서, 상기 발광 소자는 유기 전계 발광 다이오드(OLED, organic light emitting diodes)일 수 있다.

[0009] 본 발명에 있어서, 상기 제2 트랜지스터 및 제3 트랜지스터는 상기 제2 주사 제어 신호에 응답하여 상기 구동

트랜지스터의 게이트 전극과 제1 전극을 연결할 수 있다.

[0010] 본 발명에 있어서, 상기 발광 소자의 상기 제2 전극은 제3 전원 전압에 연결될 수 있다.

[0011] 본 발명에 있어서, 상기 초기 전압은 상기 제3 전원 전압일 수 있다.

[0012] 본 발명에 있어서, 상기 기준 전압은 상기 제1 전원 전압일 수 있다.

[0013] 본 발명에 있어서, 상기 초기 전압은 상기 제3 전원 전압일 수 있다.

[0014] 본 발명에 있어서, 상기 제1 캐패시터의 제2 단자에 연결된 제1 전극 및 제2 전원 전압에 연결된 제2 전극을 구비하는 제2 캐패시터를 더 포함할 수 있다.

[0015] 본 발명에 있어서, 상기 구동 트랜지스터의 상기 제1 전극은 소스 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 드레인 전극일 수 있다.

[0016] 본 발명에 있어서, 상기 제1 및 제2 주사 제어 신호 및 상기 제1 및 제2 발광 제어신호는, 제1 레벨의 상기 제1 주사 제어신호 및 제2 발광 제어신호와, 제2 레벨의 상기 제2 주사 제어신호 및 상기 제1 발광 제어 신호를 갖는 제1 시간 구간; 상기 데이터 신호가 상기 화소 회로에 유효한 레벨을 갖고, 상기 제2 레벨의 상기 제1 주사 제어신호 및 제2 발광 제어신호와, 상기 제1 레벨의 상기 제2 주사 제어신호 및 상기 제1 발광 제어 신호를 갖는 제2 시간 구간; 상기 제2 레벨의 상기 제1 주사 제어신호, 상기 제2 주사 제어 신호 및 상기 제2 발광 제어 신호와, 상기 제1 레벨의 상기 제1 발광 제어 신호를 갖는 제3 시간 구간; 및 상기 제2 레벨의 상기 제1 주사 제어신호 및 상기 제2 주사 제어 신호와 상기 제1 레벨의 상기 제1 발광 제어 신호 및 상기 제2 발광 제어 신호를 갖도록 구동되고, 상기 제1 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 9 트랜지스터들이 턴 온 되는 레벨이고, 상기 제2 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 9 트랜지스터들이 턴 오프 되는 레벨일 수 있다.

[0017] 본 발명이 이루고자 하는 기술적인 과제를 해결하기 위한 일 실시 예에 따른 유기 전계 발광 표시 장치는 복수의 화소들; 상기 복수의 화소들 각각에 제1 및 제2 주사 제어 신호와 제1 및 제2 발광 제어 신호를 출력하는 주사 구동부; 및 데이터 신호를 생성하여, 상기 복수의 화소들에 출력하는 데이터 구동부를 포함하고, 상기 복수의 화소들 각각은 제1 전극 및 제2 전극을 구비하는 유기 전계 발광 다이오드; 제1 전극 및 제2 전극을 구비하고, 게이트 전극에 인가되는 전압에 따른 구동 전류를 출력하는 구동 트랜지스터; 제2 주사 제어 신호에 응답하고 제1 전극이 상기 구동 트랜지스터의 게이트 전극에 연결되고, 제2 전극이 제1 노드에 연결된 제2 트랜지스터; 상기 제2 주사 제어 신호에 응답하고 제1 전극이 상기 제1 노드에 연결되며 제2 전극이 상기 구동 트랜지스터의 제2 전극에 연결된 제3 트랜지스터; 상기 제2 주사 제어 신호에 응답하여 데이터 신호를 제2 전극으로 전달하는 제4 트랜지스터; 제2 발광 제어 신호에 응답하여 제1 전원 전압을 상기 제4 트랜지스터의 제2 전극으로 전달하는 제5 트랜지스터; 상기 구동 트랜지스터의 상기 제2 전극과 상기 발광 소자의 상기 제1 전극 사이에 직렬로 연결되고, 게이트 전극으로 인가되는 제1 발광 제어 신호에 응답하여 상기 구동 트랜지스터에서 출력된 상기 구동 전류를 상기 발광 소자의 상기 제1 전극으로 출력하는 제6 트랜지스터; 제1 주사 제어 신호에 응답하여 초기 전압을 제2 전극으로 전달하는 제7 트랜지스터; 상기 제1 주사 제어 신호에 응답하여 상기 초기 전압을 상기 구동 트랜지스터의 게이트 전극으로 전달하는 제8 트랜지스터; 제1 발광 제어 신호에 응답하여 기준 전압을 상기 제2 트랜지스터의 제2 전극 및 상기 제3 트랜지스터의 제1 전극으로 전달하고, 상기 기준 전압을 상기 제7 트랜지스터의 제2 전극 및 상기 제8 트랜지스터의 제1 전극으로 전달하는 제9 트랜지스터; 및 상기 제4 트랜지스터의 제2 전극 및 상기 제5 트랜지스터의 제2 전극에 연결된 제1 전극과 상기 구동 트랜지스터의 게이트 전극에 연결된 제2 전극을 구비하는 제1 캐패시터를 포함하는 유기 전계 발광 표시 장치.

[0018] 본 발명에 있어서, 상기 제2 트랜지스터 및 제3 트랜지스터는 상기 제2 주사 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트 전극과 제1 전극을 연결할 수 있다.

[0019] 본 발명에 있어서, 상기 발광 소자의 상기 제2 전극은 제3 전원 전압에 연결될 수 있다.

[0020] 본 발명에 있어서, 상기 초기 전압은 상기 제3 전원 전압일 수 있다.

[0021] 본 발명에 있어서, 상기 기준 전압은 상기 제1 전원 전압일 수 있다.

[0022] 본 발명에 있어서, 상기 초기 전압은 상기 제3 전원 전압일 수 있다.

[0023] 본 발명에 있어서, 상기 제1 캐패시터의 제2 단자에 연결된 제1 전극 및 제2 전원 전압에 연결된 제2 전극을 구비하는 제2 캐패시터를 더 포함할 수 있다.

[0024] 본 발명에 있어서, 상기 구동 트랜지스터의 상기 제1 전극은 소스 전극이고, 상기 구동 트랜지스터의 상기 제2 전극은 드레인 전극일 수 있다.

[0025] 본 발명에 있어서, 상기 주사 구동부는 제1 레벨의 제1 주사 제어신호 및 제2 발광 제어신호와, 제2 레벨의 제2 주사 제어신호 및 상기 제1 발광 제어 신호를 갖는 제1 시간 구간; 상기 데이터 신호가 상기 화소 회로에 유효한 레벨을 갖고, 상기 제2 레벨의 상기 제1 주사 제어신호 및 제2 발광 제어신호와, 상기 제1 레벨의 상기 제2 주사 제어신호 및 상기 제1 발광 제어 신호를 갖는 제2 시간 구간; 상기 제2 레벨의 상기 제1 주사 제어신호, 상기 제2 주사 제어 신호 및 상기 제2 발광 제어 신호와, 상기 제1 레벨의 상기 제1 발광 제어 신호를 갖는 제3 시간 구간; 및 상기 제2 레벨의 상기 제1 주사 제어신호 및 상기 제2 주사 제어 신호와 상기 제1 레벨의 상기 제1 발광 제어 신호 및 상기 제2 발광 제어 신호를 갖도록 구동되고, 상기 제1 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 9 트랜지스터들이 턴 온 되는 레벨이고, 상기 제2 레벨은 상기 구동 트랜지스터 및 상기 제2 내지 9 트랜지스터들이 턴 오프 되는 레벨일 수 있다.

효과

[0026] 상술한 바와 같이 본 발명에 따르면, 구동 트랜지스터의 문턱 전압 및 전압 강하를 보상할 수 있고, 초기화 시간을 분리하여 구동함으로써, 명암비(contrast ratio)를 개선할 수 있다. 또한 데이터 전압에 따른 누설 전류를 고정전원으로 잡아주어 누설전류에 의한 전류 변화를 최소화 하여 크로스토크를 개선할 수 있고, 발광 제어 신호의 뉴티를 조정하여 모션 블러를 제거할 수 있다.

발명의 실시를 위한 구체적인 내용

[0027] 이하 첨부된 도면들을 참조하여 본 발명의 실시 예들을 설명한다. 하기의 설명 및 첨부된 도면은 본 발명에 따른 동작을 이해하기 위한 것이며, 본 기술 분야의 통상의 기술자가 용이하게 구현할 수 있는 부분은 생략될 수 있다.

[0028] 또한 본 명세서 및 도면은 본 발명을 제한하기 위한 목적으로 제공된 것은 아니고, 본 발명의 범위는 청구의 범위에 의하여 정해져야 한다. 본 명세서에서 사용된 용어들은 본 발명을 가장 적절하게 표현할 수 있도록 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 한다.

[0029] 이하 첨부된 도면을 참조하여 본 발명의 실시 예들을 설명한다.

[0030] 도 1은 유기 전계 발광 다이오드의 발광 원리를 설명하기 위한 도면이다.

[0031] 유기 전계 발광 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시장치로서, 행렬 형태로 배열된 유기 전계 발광 소자들을 전압구동 또는 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 전계 발광 소자들은 다이오드 특성을 가져서 유기 발광 다이오드(OLED)로 불린다.

[0032] OLED는 애노드(ITO), 유기 박막, 및 캐소드 전극층(금속)이 적층된 구조를 가진다. 상기 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한다. 이외에도 상기 유기 박막은 정공 주입층(hole injecting layer, HIL) 또는 전자 주입층(electron injecting layer, EIL)을 더 포함할 수 있다.

[0033] 도 2는 예시적인 화소 회로를 나타낸 도면이다.

[0034] 유기 전계 발광 표시 장치는 OLED와 화소 회로(210)를 포함하는 복수의 화소들(200)을 포함한다. OLED는 화소 회로(210)에서 출력된 구동 전류(I_{OLED})를 입력 받아 빛을 방출하며, OLED에서 방출하는 빛의 휘도는 구동 전류(I_{OLED})의 크기에 따라 달라진다.

[0035] 화소 회로(210)는 캐패시터(C1), 구동 트랜지스터(M1) 및 제2 트랜지스터(M2)를 포함할 수 있다.

[0036] 주사 제어 신호(S_n)가 제2 트랜지스터(M2)로 인가되면 데이터 신호(D_m)가 제2 트랜지스터(M2)를 통해서 구동 트랜지스터(m1)의 게이트 전극 및 캐패시터(C1)의 제1 전극에 인가된다. 데이터 신호(D_m)가 인가되는 동안, 저장 캐패시터(C1)의 양단에 데이터 신호(D_m)에 상응하는 레벨이 저장된다. 구동 트랜지스터(M1)는 데이터 신호(D_m)의 크기에 따라 구동 전류(I_{OLED})를 생성하여 OLED의 애노드 전극으로 출력한다.

[0037] OLED는 화소 회로(210)로부터 구동 전류(I_{OLED})를 입력 받아, 데이터 신호(D_m)에 상응하는 휘도의 빛을

방출한다.

- [0038] 이와 같은 유기 전계 발광 표시는 주사 제어 신호(Sn)가 인가되면 초기화 및 문턱 전압 보상을 하게 되는데, 그 경우 초기화 하는 동안 원치 않는 발광이 발생하여 명암비(contrast ratio)가 않좋아 질 수 있으며, 특히 대형 패널의 경우 짧은 시간에 초기화 하는데 어려움이 있을 수 있다. 또한 트랜지스터의 특성 상 드레인-소스간 전압(Vds)의 증가에 따라 트랜지스터 턴 오프 시에도 누설 전류가 발생하는 문제점이 있다.
- [0039] 본 발명의 실시 예들은, 화소 회로를 구현하는 경우 발생하는 이러한 문제점을 해결한 화소 회로를 제공한다.
- [0040] 도 3은 본 발명의 일 실시 예에 다른 유기 전계 발광 표시 장치의 구조를 나타낸 도면이다.
- [0041] 본 발명의 일 실시 예에 따른 유기 전계 발광 표시 장치는, 제어부(310), 데이터 구동부(320), 주사 구동부(330) 및 복수의 화소들(340)을 포함한다.
- [0042] 제어부(310)는 RGB 데이터(Data), 데이터 구동부 제어 신호(DCS) 등을 생성하여 데이터 구동부(320)에 출력하고, 주사 구동부 제어 신호(SCS) 등을 생성하여 주사 구동부(330)에 출력한다.
- [0043] 데이터 구동부(320)는 RGB 데이터로부터 데이터 신호(Dm)를 생성하여, 복수의 화소들(340)에 출력한다. 데이터 구동부(320)는 감마 필터, 디지털-아날로그 변환 회로 등을 이용하여 RGB 데이터로부터 데이터 신호(Dm)를 생성할 수 있다. 데이터 신호(Dm)는 한 주사 주기 동안, 같은 행에 위치한 복수의 화소들에 각각 출력될 수 있다. 또한, 데이터 신호(Dm)를 전달하는 복수의 데이터 선들 각각은 같은 열에 위치한 복수의 화소들에 연결될 수 있다.
- [0044] 주사 구동부(330)는 주사 구동부 제어 신호(SCS)로부터 주사 제어 신호(Sn) 및 발광 제어 신호(En)를 생성하여, 복수의 화소들(340)로 출력한다. 주사 제어 신호(Sn)를 전달하는 주사 제어 신호 선들 각각, 및 발광 제어 신호(En)를 전달하는 발광 제어 신호 선들 각각은, 같은 행에 위치한 복수의 화소들에 연결될 수 있다. 주사 제어 신호(Sn) 및 발광 제어 신호(En)는 행을 단위로 순차적으로 구동될 수 있다.
- [0045] 본 발명의 일 실시 예에 따른 주사 구동부(330)는 구동 트랜지스터의 게이트 전극의 전압을 초기화 하기 위한 제1 주사 제어 신호(Sn-1)를 더 출력할 수 있다. 제1 주사 제어 신호(Sn-1)는 같은 행에 위치한 복수의 화소들에 공통으로 출력되고, 행을 단위로 순차적으로 구동된다. 제1 주사 제어 신호(Sn-1)는 제2 주사 제어 신호(Sn)가 구동 되기 전에 구동 된다. 본 발명의 일 실시 예에 따르면, 상기 제1 주사 제어 신호(Sn-1)는, 도 3에 도시된 바와 같이, 이전 행의 주사 제어 신호(Sn-1)일 수 있다. 이를 위해 주사 구동부(330)는 첫 번째 행에 대한 주사 제어 신호(S1)가 구동 되기 전에, 첫 번째 행에 대한 초기화 제어 신호로써 추가적인 주사 제어 신호(S0)를 출력할 수 있다.
- [0046] 본 발명의 일 실시 예에 따른 주사 구동부(330)는 누설 전류에 의한 전류 변화를 최소화 하여 크로스토크를 개선하기 위해 제2 발광 제어 신호(En+1)를 더 출력할 수 있다. 제2 발광 제어 신호(En+1)는 같은 행에 위치한 복수의 화소들에 공통으로 출력되고, 행을 단위로 순차적으로 구동된다. 제2 발광 제어 신호(En+1)는 제1 발광 제어 신호(En)가 구동된 후에 구동 된다. 본 발명의 일 실시 예에 따르면, 상기 제2 발광 제어 신호(En+1)는, 도 3에 도시된 바와 같이, 다음 행의 발광 제어 신호(En+1)일 수 있다. 이를 위해 주사 구동부(330)는 첫 번째 행에 대한 발광 제어 신호(E1)가 구동된 후에, 크로스토크를 개선하기 위해 발광 제어 신호(E2)를 출력할 수 있다.
- [0047] 복수의 화소들(340)은 도 3에 도시된 바와 같이, NxM 행렬 형태로 배열 될 수 있다. 복수의 화소들(340) 각각 (Pnm)은 OLED 및 OLED를 구동하기 위한 화소 회로를 포함할 수 있다. 복수의 화소들(340) 각각에는 애노드 전원 전압(ELVDD), 초기화 전압(Vinit), 기준 전압(Vref), 제1 전원 전압(Vsus) 및 캐소드 전원 전압(ELVSS)이 인가될 수 있다.
- [0048] 도 4는 본 발명의 일 실시 예에 따른 화소 회로(410a)를 나타낸 도면이다.
- [0049] n형 m열에 위치한 화소(Pnm)는 화소 회로(410a) 및 OLED를 포함한다. 화소 회로(410a)는 데이터 선을 통해 데이터 구동부(320)로부터 데이터 신호(Dm)를 입력 받아, 데이터 신호(Dm)에 따른 구동 전류(I_{OLED})를 OLED에 출력한다. OLED는 구동 전류(I_{OLED})의 크기에 상응하는 휘도의 빛을 방출한다.
- [0050] 도 4에 개시된 본 발명의 일 실시 예에 따른 화소 회로(410a)는 구동 트랜지스터(M1), 제2 트랜지스터 내지 제9 트랜지스터(M2, M3, M4, M5, M6, M7, M8 및 M9), 제1 및 제2 캐페시터(C1, C2)를 포함한다.

- [0051] 제2 트랜지스터(M2)는 제2 노드(N2)에 연결된 제1 전극, 제3 노드(N3)(이하 청구범위에서는 제1 노드로 표기함)에 연결된 제2 전극 및 제2 주사 제어 신호(Sn)에 연결된 게이트 전극을 구비한다.
- [0052] 제3 트랜지스터(M3)SMS 제3 노드(N3)에 연결된 제1 전극, 구동 트랜지스터(M1)의 제2 전극에 연결된 제2 전극 및 제2 주사 제어 신호(Sn)에 연결된 게이트 전극을 구비한다.
- [0053] 제2 트랜지스터(M2) 및 제3 트랜지스터(M3)는 구동 트랜지스터(M1)의 게이트 전극과 제2 전극 사이에 직렬로 연결되어 있다. 구동 트랜지스터(M1)의 게이트 전극과 제2 전극은 제2 트랜지스터(M2) 및 제3 트랜지스터(M3)를 통해 연결된다. 제2 트랜지스터(M2) 및 제3 트랜지스터(M3)는 제2 주사 제어 신호(Sn)에 응답하여 구동 트랜지스터(M1)의 게이트 전극과 제2 전극을 연결하여, 구동 트랜지스터(M1)를 다이오드 연결시킨다. 여기서 다이오드 연결이라 함은, 트랜지스터의 게이트 전극과 제1 전극, 또는 게이트 전극과 제2 전극을 연결시켜, 트랜지스터가 다이오드처럼 동작하도록 하는 것을 의미한다
- [0054] 제4 트랜지스터(M4)는 데이터 신호(Dm)에 연결된 제1 전극, 제1 노드(N1)에 연결된 제2 전극 및 제2 주사 제어 신호(Sn)에 연결된 게이트 전극을 구비한다. 제4 트랜지스터(M4)는 제2 주사 제어 신호(Sn)에 응답하여 데이터 신호(Dm)와 제1 노드(N1)를 전기적으로 접속시킨다.
- [0055] 제5 트랜지스터(M5)는 제1 전원 전압(Vsus)에 연결된 제1 전극, 제1 노드(N1)에 연결된 제2 전극 및 제2 발광 제어 신호(En+1)에 연결된 게이트 전극을 구비한다. 제5 트랜지스터(M5)는 제2 발광 제어 신호(En+1)에 응답하여 제1 전원 전압(Vsus)과 제1 노드(N1)를 전기적으로 접속시킨다.
- [0056] 제6 트랜지스터(M6)는 구동 트랜지스터(M1)의 제2 전극에 연결된 제1 전극, OLED의 애노드 전극에 연결된 제2 전극 및 제1 발광 제어 신호(En)에 연결된 게이트 전극을 구비한다. 제6 트랜지스터(M6)는 제1 발광 제어 신호(En)가 공급되면 턴-온 되고, 제1 발광 제어 신호(En)가 공급되지 않으면 턴-오프 된다.
- [0057] 제7 트랜지스터(M7)는 초기화 전압(Vinit)에 연결된 제1 전극, 제4 노드(N4)에 연결된 제2 전극 및 제1 주사 제어 신호(Sn-1)에 연결된 게이트 전극을 구비한다. 제7 트랜지스터(M7)는 제1 주사 제어 신호(Sn-1)에 응답하여 초기화 전압(Vinit)과 제4 노드(N4)를 전기적으로 접속시킨다.
- [0058] 제8 트랜지스터(M8)는 제4 노드(N4)에 연결된 제1 전극, 제2 노드(N2)에 연결된 제2 전극 및 제1 주사 제어 신호(Sn-1)에 연결된 게이트 전극을 구비한다. 제8 트랜지스터(M8)는 제1 주사 제어 신호(Sn-1)에 응답하여 제4 노드(N4)와 제2 노드(N2)를 전기적으로 접속시킨다.
- [0059] 제9 트랜지스터(M9)는 제3 노드(N3) 및 제4 노드(N4)에 연결된 제1 전극, 기준 전압(Vref)에 연결된 제2 전극 및 제1 발광 제어 신호(En)에 연결된 게이트 전극을 구비한다. 제9 트랜지스터(M9)는 제1 발광 제어 신호(En)에 응답하여 제3 노드(N3) 및 제4 노드(N4)에 기준 전압(Vref)을 인가한다.
- [0060] 본 발명에 있어서, 트랜지스터의 특성상 드레인-소스간 전압(Vds)의 증가에 따라 트랜지스터 턴 오프 시에도 누설 전류가 발생하기 때문에, 제9 트랜지스터(M9)는 드레인-소스간 전압(Vds)의 차이를 최소화하기 위해 구비된 것으로, 트랜지스터(제2, 제3, 제7 및 제8 트랜지스터(M2, M3, M7, M8)) 턴 오프 시에 발생하는 누설 전류 문제를 해결한다.
- [0061] 제1 캐패시터(C1)는 제1 노드(N1)에 연결된 제1 전극 및 제2 노드(N2)에 연결된 제2 전극을 구비한다.
- [0062] 제2 캐패시터(C2)는 제2 노드(N2)에 연결된 제1 전극 및 애노드 전원 전압(ELVDD)에 연결된 제2 전극을 구비한다.
- [0063] 도 5는 본 발명의 일 실시 예에 따른 구동 신호들의 타이밍도이다.
- [0064] 제1 시간 구간(A) 이전에는, 이전 프레임의 데이터 신호(Dm)에 따른 구동 전류(I_{OLED})가 OLED를 통해 흘러, OLED가 발광하고 있다. 그리고, 제2 발광 제어 신호(En+1)에 의해 제3 노드(N3) 및 제4 노드(N4)는 기준 전압(Vref)을 유지하고 있다. 따라서 제2, 제3, 제7 및 제8 트랜지스터(M2, M3, M7, M8) 턴 오프 시에 발생하는 누설 전류 문제를 해결한다.
- [0065] 제1 시간 구간(A) 동안 제1 주사 제어 신호(Sn-1) 및 제2 발광 제어 신호(En+1)는 제1 레벨이고, 제2 주사 제어 신호(Sn) 및 제1 발광 제어 신호(En)는 제2 레벨이다. 여기서 제1 레벨은 제5 트랜지스터(M5), 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)가 턴 온 되는 레벨이고, 제2 레벨은 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제6 트랜지스터(M6) 및 제9 트랜지스터(M9)가 턴 오프 되는 레벨이다.

[0066] 제1 시간 구간(A) 동안 제1 주사 제어 신호(S_{n-1}) 및 제1 발광 제어 신호(E_n)는 제1 레벨이므로, 제2 레벨은 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제6 트랜지스터(M6) 및 제9 트랜지스터(M9)가 턴 오프 된다. 제5 트랜지스터(M5)는 제2 발광 제어 신호(E_{n+1})에 응답하여 턴 온되어 제1 노드(N1)가 제1 전원 전압(V_{sus})으로 초기화 된다. 그리고 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)는 제1 주사 제어 신호(S_{n-1})에 응답하여 턴 온되어 제2 노드(N2)가 초기화 전압(V_{init})으로 초기화 된다. 제1 캐패시터(C1)에는 초기화된 제1 노드(N1) 및 초기화된 제2 노드(N2)의 차에 해당하는 전압이 저장된다. 그리고 제2 캐패시터(C2)에는 애노드 전원 전압(ELVDD) 및 초기화된 제2 노드(N2)의 차에 해당하는 전압이 저장된다.

[0067] 제1 시간 구간(A) 동안 초기화 신호를 제1 주사 제어 신호(S_{n-1}) 및 제2 발광 제어 신호(E_{n+1})로 분리하여 구동 함으로써, 초기화 전압(V_{init})을 추가하여 대형 패널에서의 초기화 어려움을 극복할 수 있다.

[0068] 다음으로 제2 시간 구간(B) 동안 제2 주사 제어 신호(S_n)는 제1 레벨이고, 제1 주사 제어 신호(S_{n-1}), 제1 발광 제어 신호(E_n) 및 제2 발광 제어 신호(E_{n+1})는 제2 레벨이다. 제2 시간 구간(B) 동안 제2 주사 제어 신호(S_n)는 제1 레벨이므로, 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제5 트랜지스터(M5), 제6 트랜지스터(M6) 및 제9 트랜지스터(M9)가 턴 오프 된다. 제2 트랜지스터(M2) 및 제3 트랜지스터(M3)는 제2 주사 제어 신호(S_n)에 응답하여 턴 온되어 구동 트랜지스터(M1)는 다이오드 연결되고 제2 노드(N2)에는 애노드 전원 전압(ELVDD)-문턱 전압(V_{th})이 인가된다. 제4 트랜지스터(M4)는 제2 주사 제어 신호(S_n)에 응답하여 턴 온되어 제1 노드(N1)에는 데이터 신호(D_m)에 따른 데이터 전압(V_{data})이 인가된다. 따라서 제1 캐패시터(C1)에는 제1 노드(N1) 및 제2 노드(N2) 차이 만큼의 전압이 저장되고, 제2 캐패시터(C2)에는 애노드 전원 전압(ELVDD) 및 제2 노드(N2) 차이 만큼의 전압이 저장된다. 이로 인하여 문턱 전압(V_{th}) 보상 및 데이터 신호(D_m) 저장이라는 목적을 동시에 달성할 수 있다.

[0069] 다음으로 제3 시간 구간(C) 동안 제1 발광 제어 신호(E_n)는 제1 레벨이고, 제2 발광 제어 신호(E_{n+1}), 제1 주사 제어 신호(S_{n-1}) 및 제2 주사 제어 신호(S_n)는 제2 레벨이다. 제3 시간 구간(C) 동안 제1 발광 제어 신호(E_n)는 제1 레벨이므로, 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)가 턴 오프 된다. 제6 트랜지스터(M6) 및 제9 트랜지스터(M9)는 제1 발광 제어 신호(E_n)에 응답하여 턴 온된다. 제9 트랜지스터(M9)는 제1 발광 제어 신호(E_n)에 응답하여 턴 온되어 제3 노드(N3) 및 제4 노드(N4)는 기준 전압(V_{ref})이 인가되므로 제2, 제3, 제7 및 제8 트랜지스터(M2, M3, M7, M8) 턴 오프 시에 발생하는 누설 전류 문제를 해결한다. 제3 시간 구간(C)에서 제6 트랜지스터(M6)가 턴 온 되지만, 제1 노드(N1) 및 제2 노드(N2)는 플로팅 상태가 되어 구동 트랜지스터(M1)가 동작하지 못하므로, OLED가 발광하지 않는다.

[0070] 다음으로 제4 시간 구간(D) 동안 제1 발광 제어 신호(E_n) 및 제2 발광 제어 신호(E_{n+1})는 제1 레벨이고, 제1 주사 제어 신호(S_{n-1}) 및 제2 주사 제어 신호(S_n)는 제2 레벨이다. 제4 시간 구간(D) 동안 제1 발광 제어 신호(E_n) 및 제2 발광 제어 신호(E_{n+1})는 제1 레벨이므로, 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)가 턴 오프 된다. 제5 트랜지스터(M5)는 제2 발광 제어 신호(E_{n+1})에 응답하여 턴 온되어 제1 노드(N1)의 전압이 제1 전원 전압(V_{sus})으로 하강한다. 제2 노드(N2)는 플로팅 상태이므로 제1 노드(N1)의 전압이 하강하면, 제2 노드(N2)의 전압도 하강한다. 이때 제2 캐패시터(C2)는 제2 노드(N2)에 인가되는 전압에 대응하여 소정의 전압을 충전한다. 여기서 제2 노드(N2)의 하강 폭은 데이터 신호(D_m)에 따른 데이터 전압(V_{data})에 의해 결정되기 때문에 제2 캐패시터(C2)에 충전되는 전압은 데이터 전압(V_{data})에 의해 제어된다. 제6 트랜지스터(M6)는 제1 발광 제어 신호(E_n)에 응답하여 턴 온된다. 그러면, 구동 트랜지스터(M1)는 제2 노드(N2)에 인가된 전압에 대응되는 구동전류(I_{OLED})를 OLED로 공급하고, 이에 따라 OLED에 소정 휘도의 빛이 발생된다. 제9 트랜지스터(M9)는 제1 발광 제어 신호(E_n)에 응답하여 턴 온되어 제3 노드(N3) 및 제4 노드(N4)는 기준 전압(V_{ref})이 인가되므로 제2, 제3, 제7 및 제8 트랜지스터(M2, M3, M7, M8) 턴 오프 시에 발생하는 누설 전류 문제를 해결한다. 또한 제4 시간 구간(D) 동안 제1 노드(N1)를 제1 전원 전압(V_{sus})으로 유지하기 때문에, 데이터 전압(V_{data})에 따른 누설전류 변화(제3 트랜지스터(M3)에 의함)를 최소화하여 크로스토크를 개선할 수 있다.

[0071] 따라서 본 발명의 일 실시 예에 따른 화소 회로(410a)에서 출력되는 구동 전류(I_{OLED})는 OLED의 애노드 전극의 전압, 캐소드 전원 전압(ELVSS), 및 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 무관하게 결정된다. 이로 인해, 본 발명의 실시 예들은 OLED 애노드 전극의 전압에 의해 구동 전류(I_{OLED})의 크기가 변화하여, 데이터 신호(D_m)의 전압을 증가시켜야 하거나, 화질이 저하되는 문제점을 해결할 수 있다. 또한 본 발명의 실시 예들은 캐소드

전원 전압(ELVSS)의 변화에 의해 화질이 저하되는 문제점을 해결할 수 있다.

[0072] 도 6은 본 발명의 다른 실시 예에 따른 화소 회로(410b)를 나타낸 도면이다.

[0073] 도 6에 개시된 본 발명의 다른 실시 예에 따르면, 도 4의 화소 회로에서 별도의 초기화 전압(Vinit)을 인가하지 않고, 초기화 전압(Vinit)을 OLED의 캐소드 전원 전압(ELVSS)에 연결한 것이다. 도 6에서 제1 시간 구간(A) 동안 제5 트랜지스터(M5)는 제2 발광 제어 신호(En+1)에 응답하여 턴 온 되어 제1 노드(N1)가 제1 전원 전압(Vsus)으로 초기화 된다. 그리고 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)는 제1 주사 제어 신호(Sn-1)에 응답하여 턴 온 되어 제2 노드(N2)가 캐소드 전원 전압(ELVSS)으로 초기화 된다. 제1 캐패시터(C1)에는 초기화된 제1 노드(N1) 및 초기화된 제2 노드(N2)의 차에 해당하는 전압이 저장된다. 그리고 제2 캐패시터(C2)에는 애노드 전원 전압(ELVDD) 및 초기화된 제2 노드(N2)의 차에 해당하는 전압이 저장된다. 이하의 나머지 동작은 도 4 및 도 5의 설명과 동일하므로 생략한다.

[0074] 도 7은 본 발명의 다른 실시 예에 따른 화소 회로(410c)를 나타낸 도면이다.

[0075] 도 7에 개시된 본 발명의 다른 실시 예에 따르면, 도 4의 화소 회로에서 기준 전압(Vref)을 제1 전원 전압(Vsus)으로 대체한 것이다. 도 7에서는 제3 시간 구간(C) 및 제4 시간 구간(D) 동안 제9 트랜지스터(M9)가 제1 발광 제어 신호(En)에 응답하여 턴 온 되어 제3 노드(N3) 및 제4 노드(N4)에는 제1 전원 전압(Vsus)이 인가되며, 제2, 제3, 제7 및 제8 트랜지스터(M2, M3, M7, M8) 턴 오프 시에 발생하는 누설 전류 문제를 해결할 수 있다. 이하의 나머지 동작은 도 4 및 도 5의 설명과 동일하므로 생략한다.

[0076] 도 8은 본 발명의 다른 실시 예에 따른 화소 회로(410d)를 나타낸 도면이다.

[0077] 도 8에 개시된 본 발명의 다른 실시 예에 따르면, 도 4의 화소 회로에서 별도의 초기화 전압(Vinit)을 인가하지 않고, 초기화 전압(Vinit)을 OLED의 캐소드 전원 전압(ELVSS)에 연결되며, 기준 전압(Vref)을 제1 전원 전압(Vsus)으로 대체한 것이다. 제1 시간 구간(A) 동안 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)는 제1 주사 제어 신호(Sn-1)에 응답하여 턴 온 되어 제2 노드(N2)가 캐소드 전원 전압(ELVSS)으로 초기화 된다. 그리고 제3 시간 구간(C) 및 제4 시간 구간(D) 동안 제9 트랜지스터(M9)가 제1 발광 제어 신호(En)에 응답하여 턴 온 되어 제3 노드(N3) 및 제4 노드(N4)에는 제1 전원 전압(Vsus)이 인가되며, 제2, 제3, 제7 및 제8 트랜지스터(M2, M3, M7, M8) 턴 오프 시에 발생하는 누설 전류 문제를 해결할 수 있다. 이하의 나머지 동작은 도 4 및 도 5의 설명과 동일하므로 생략한다.

[0078] 도 9는 본 발명의 또 다른 실시 예에 따른 화소 회로(410e)를 나타낸 도면이다.

[0079] 도 9에 개시된 본 발명의 또 다른 실시 예에 따른 화소 회로(410e)는 구동 트랜지스터(M1), 제2 트랜지스터 내지 제9 트랜지스터(M2, M3, M4, M5, M6, M7, M8 및 M9) 및 제1 캐패시터(C1)를 포함한다. 도 4와 비교 시에 제2 캐패시터(C2)가 삭제되었다.

[0080] 도 5에 개시된 구동 신호들의 타이밍도에 따라 도 9를 설명하면, 제1 시간 구간(A) 이전에는, 이전 프레임의 데이터 신호(Dm)에 따른 구동 전류(I_{LED})가 OLED를 통해 흘러, OLED가 발광하고 있다. 그리고, 제2 발광 제어 신호(En+1)에 의해 제3 노드(N3) 및 제4 노드(N4)는 기준 전압(Vref)을 유지하고 있다.

[0081] 제1 시간 구간(A) 동안 제1 주사 제어 신호(Sn-1) 및 제2 발광 제어 신호(En+1)는 제1 레벨이고, 제2 주사 제어 신호(Sn) 및 제1 발광 제어 신호(En)는 제2 레벨이다. 제1 시간 구간(A) 동안 제5 트랜지스터(M5)는 제2 발광 제어 신호(En+1)에 응답하여 턴 온 되어 제1 노드(N1)가 제1 전원 전압(Vsus)으로 초기화 된다. 그리고 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)는 제1 주사 제어 신호(Sn-1)에 응답하여 턴 온 되어 제2 노드(N2)가 초기화 전압(Vinit)으로 초기화 된다. 제1 캐패시터(C1)에는 초기화된 제1 노드(N1) 및 초기화된 제2 노드(N2)의 차에 해당하는 전압이 저장된다.

[0082] 다음으로 제2 시간 구간(B) 동안 제2 주사 제어 신호(Sn)는 제1 레벨이고, 제1 주사 제어 신호(Sn-1), 제1 발광 제어 신호(En) 및 제2 발광 제어 신호(En+1)는 제2 레벨이다. 제2 시간 구간(B) 동안 제2 트랜지스터(M2) 및 제3 트랜지스터(M3)는 제2 주사 제어 신호(Sn)에 응답하여 턴 온 되어 구동 트랜지스터(M1)는 다이오드 연결되고 제2 노드(N2)에는 애노드 전원 전압(ELVDD)-문턱 전압(Vth)이 인가된다. 제4 트랜지스터(M4)는 제2 주사 제어 신호(Sn)에 응답하여 턴 온 되어 제1 노드(N1)에는 데이터 신호(Dm)에 따른 데이터 전압(Vdata)이 인가된다. 따라서 제1 캐패시터(C1)에는 제1 노드(N1) 및 제2 노드(N2) 차이 만큼의 전압이 저장된다.

[0083] 다음으로 제3 시간 구간(C) 동안 제1 발광 제어 신호(En)는 제1 레벨이고, 제2 발광 제어 신호(En+1), 제1 주사

제어 신호(Sn-1) 및 제2 주사 제어 신호(Sn)는 제2 레벨이다. 제3 시간 구간(C) 동안 제6 트랜지스터(M6) 및 제9 트랜지스터(M9)는 제1 발광 제어 신호(En)에 응답하여 턴 온 된다. 제9 트랜지스터(M9)는 제1 발광 제어 신호(En)에 응답하여 턴 온 되어 제3 노드(N3) 및 제4 노드(N4)는 기준 전압(Vref)이 인가된다. 제3 시간 구간(C)에서 제6 트랜지스터(M6)가 턴 온 되지만, 제1 노드(N1) 및 제2 노드(N2)는 플로팅 상태가 되어 구동 트랜지스터(M1)가 동작하지 못하므로, OLED가 발광하지 않는다.

[0084] 다음으로 제4 시간 구간(D) 동안 제1 발광 제어 신호(En) 및 제2 발광 제어 신호(En+1)는 제1 레벨이고, 제1 주사 제어 신호(Sn-1) 및 제2 주사 제어 신호(Sn)는 제2 레벨이다. 제4 시간 구간(D) 동안 제5 트랜지스터(M5)는 제2 발광 제어 신호(En+1)에 응답하여 턴 온 되어 제1 노드(N1)의 전압이 제1 전원 전압(Vsus)으로 하강한다. 제2 노드(N2)는 플로팅 상태이므로 제1 노드(N1)의 전압이 하강하면, 제2 노드(N2)의 전압도 하강한다. 이때 제2 캐패시터(C2)는 제2 노드(N2)에 인가되는 전압에 대응하여 소정의 전압을 충전한다. 여기서 제2 노드(N2)의 하강 폭은 데이터 신호(Dm)에 따른 데이터 전압(Vdata)에 의해 결정되기 때문에 제2 캐패시터(C2)에 충전되는 전압은 데이터 전압(Vdata)에 의해 제어된다. 제6 트랜지스터(M6)는 제1 발광 제어 신호(En)에 응답하여 턴 온 된다. 그러면, 구동 트랜지스터(M1)는 제2 노드(N2)에 인가된 전압에 대응되는 구동전류(I_{OLED})를 OLED로 공급하고, 이에 따라 OLED에 소정 회도의 빛이 발생된다. 제9 트랜지스터(M9)는 제1 발광 제어 신호(En)에 응답하여 턴 온 되어 제3 노드(N3) 및 제4 노드(N4)는 기준 전압(Vref)이 인가된다.

[0085] 도 10은 본 발명의 다른 실시 예에 따른 화소 회로(410f)를 나타낸 도면이다.

[0086] 도 10에 개시된 본 발명의 다른 실시 예에 따르면, 도 9의 화소 회로에서 별도의 초기화 전압(Vinit)을 인가하지 않고, 초기화 전압(Vinit)을 OLED의 캐소드 전원 전압(ELVSS)에 연결된 것이다. 도 10에서 제1 시간 구간(A) 동안 제5 트랜지스터(M5)는 제2 발광 제어 신호(En+1)에 응답하여 턴 온 되어 제1 노드(N1)가 제1 전원 전압(Vsus)으로 초기화 된다. 그리고 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)는 제1 주사 제어 신호(Sn-1)에 응답하여 턴 온 되어 제2 노드(N2)가 캐소드 전원 전압(ELVSS)으로 초기화 된다. 제1 캐패시터(C1)에는 초기화된 제1 노드(N1) 및 초기화된 제2 노드(N2)의 차에 해당하는 전압이 저장된다. 이하의 나머지 동작은 도 5 및 도 9의 설명과 동일하므로 생략한다.

[0087] 도 11은 본 발명의 다른 실시 예에 따른 화소 회로(410g)를 나타낸 도면이다.

[0088] 도 11에 개시된 본 발명의 다른 실시 예에 따르면, 도 9의 화소 회로에서 기준 전압(Vref)을 제1 전원 전압(Vsus)으로 대체한 것이다. 도 11에서는 제3 시간 구간(C) 및 제4 시간 구간(D) 동안 제9 트랜지스터(M9)가 제1 발광 제어 신호(En)에 응답하여 턴 온 되어 제3 노드(N3) 및 제4 노드(N4)에는 제1 전원 전압(Vsus)이 인가되며, 제2, 제3, 제7 및 제8 트랜지스터(M2, M3, M7, M8) 턴 오프 시에 발생하는 누설 전류 문제를 해결할 수 있다. 이하의 나머지 동작은 도 5 및 도 9의 설명과 동일하므로 생략한다.

[0089] 도 12는 본 발명의 다른 실시 예에 따른 화소 회로(410h)를 나타낸 도면이다.

[0090] 도 12에 개시된 본 발명의 다른 실시 예에 따르면, 도 9의 화소 회로에서 별도의 초기화 전압(Vinit)을 인가하지 않고, 초기화 전압(Vinit)을 OLED의 캐소드 전원 전압(ELVSS)에 연결되며, 기준 전압(Vref)을 제1 전원 전압(Vsus)으로 대체한 것이다. 제1 시간 구간(A) 동안 제7 트랜지스터(M7) 및 제8 트랜지스터(M8)는 제1 주사 제어 신호(Sn-1)에 응답하여 턴 온 되어 제2 노드(N2)가 캐소드 전원 전압(ELVSS)으로 초기화 된다. 그리고 제3 시간 구간(C) 및 제4 시간 구간(D) 동안 제9 트랜지스터(M9)가 제1 발광 제어 신호(En)에 응답하여 턴 온 되어 제3 노드(N3) 및 제4 노드(N4)에는 제1 전원 전압(Vsus)이 인가되며, 제2, 제3, 제7 및 제8 트랜지스터(M2, M3, M7, M8) 턴 오프 시에 발생하는 누설 전류 문제를 해결할 수 있다. 이하의 나머지 동작은 도 5 및 도 9의 설명과 동일하므로 생략한다.

[0091] 이제까지 본 발명에 대하여 그 바람직한 실시 예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

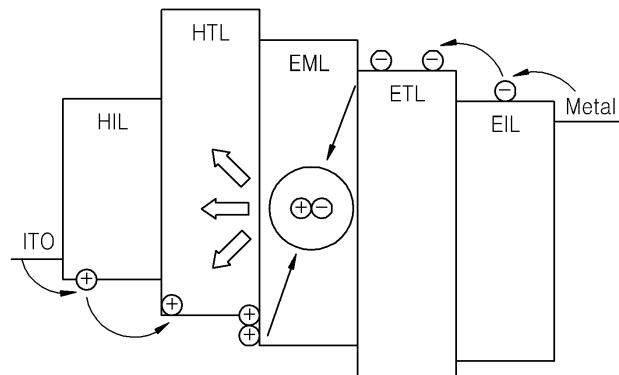
도면의 간단한 설명

[0092] 도 1은 유기 전계 발광 다이오드의 발광 원리를 설명하기 위한 도면이다.

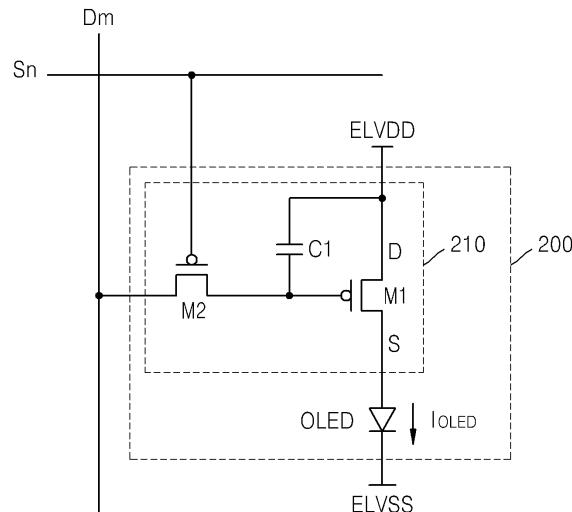
- [0093] 도 2는 예시적인 화소 회로를 나타낸 도면이다.
- [0094] 도 3은 본 발명의 일 실시 예에 따른 유기 전계 발광 표시 장치의 구조를 나타낸 도면이다.
- [0095] 도 4는 본 발명의 일 실시 예에 따른 화소 회로(410a)를 나타낸 도면이다.
- [0096] 도 5는 본 발명의 일 실시 예에 따른 구동 신호들의 타이밍도이다.
- [0097] 도 6은 본 발명의 다른 실시 예에 따른 화소 회로(410b)의 구조를 나타낸 도면이다.
- [0098] 도 7은 본 발명의 또 다른 실시 예에 따른 화소 회로(410c)의 구조를 나타낸 도면이다.
- [0099] 도 8은 본 발명의 또 다른 실시 예에 따른 화소 회로(410d)의 구조를 나타낸 도면이다.
- [0100] 도 9는 본 발명의 또 다른 실시 예에 따른 화소 회로(410e)의 구조를 나타낸 도면이다.
- [0101] 도 10은 본 발명의 또 다른 실시 예에 따른 화소 회로(410f)의 구조를 나타낸 도면이다.
- [0102] 도 11은 본 발명의 또 다른 실시 예에 따른 화소 회로(410g)의 구조를 나타낸 도면이다.
- [0103] 도 12는 본 발명의 또 다른 실시 예에 따른 화소 회로(410h)의 구조를 나타낸 도면이다.

도면

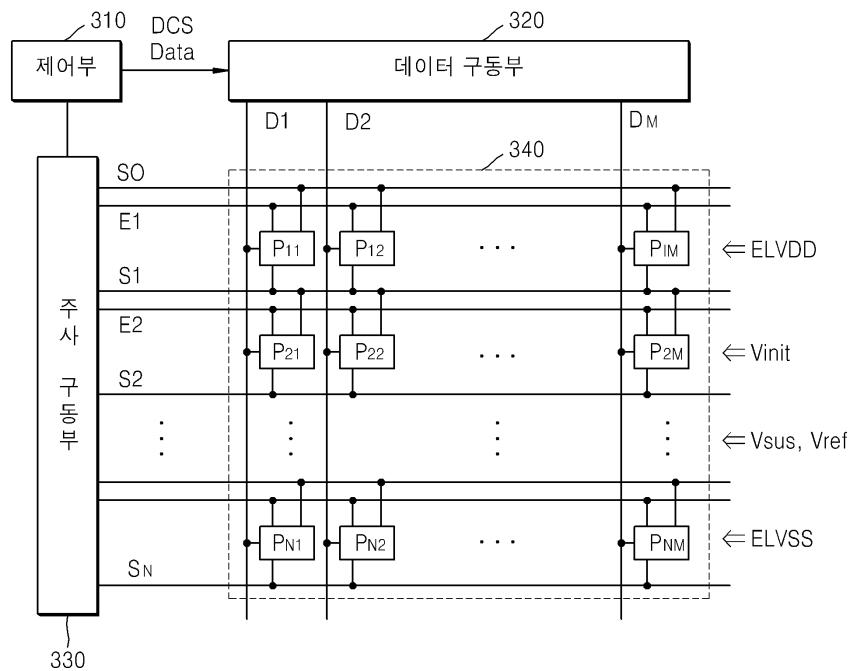
도면1



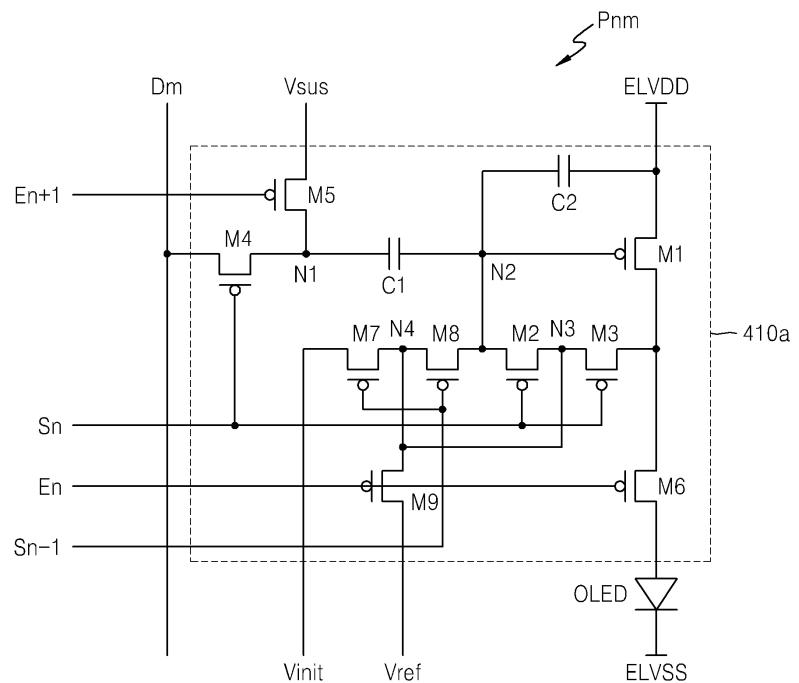
도면2



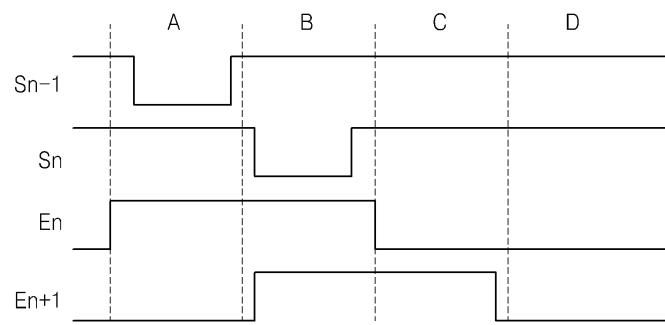
도면3



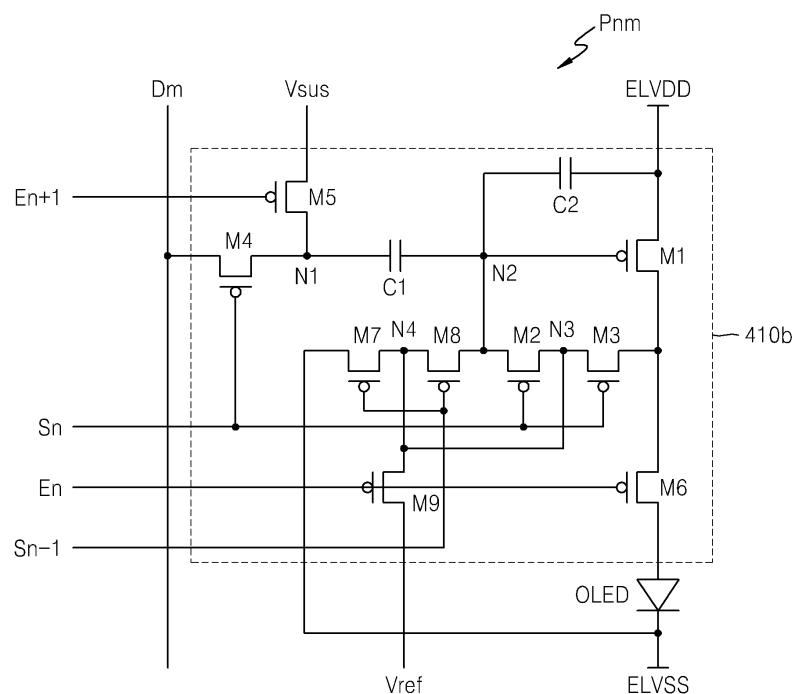
도면4



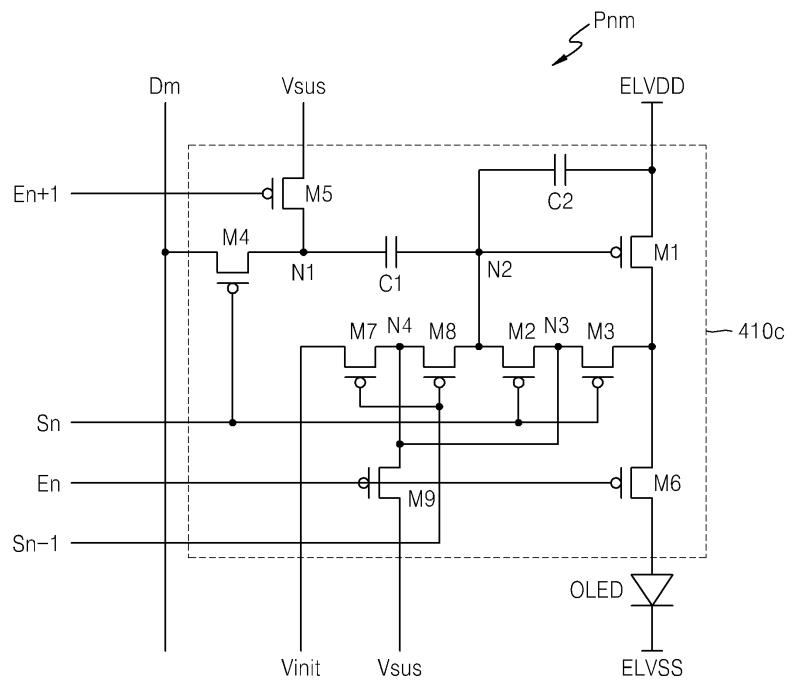
도면5



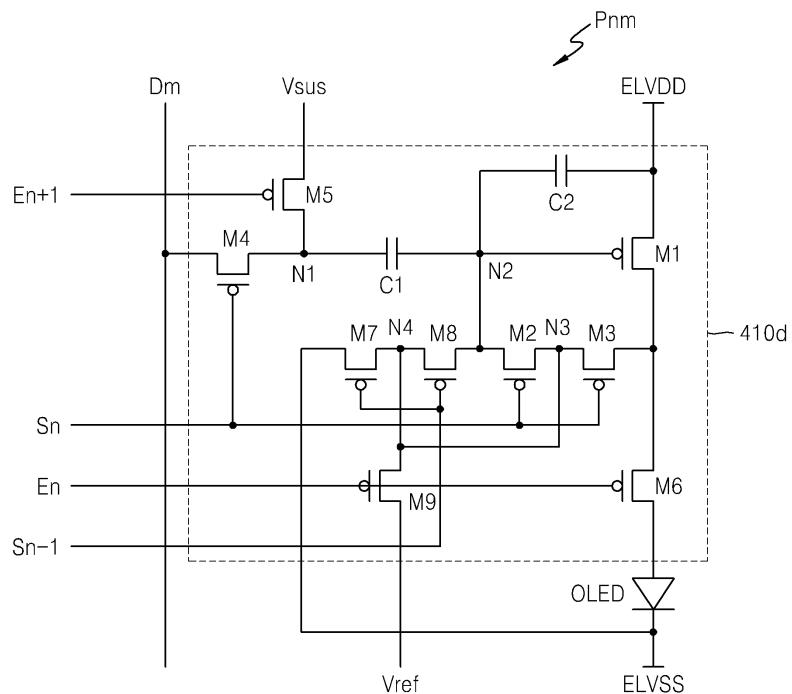
도면6



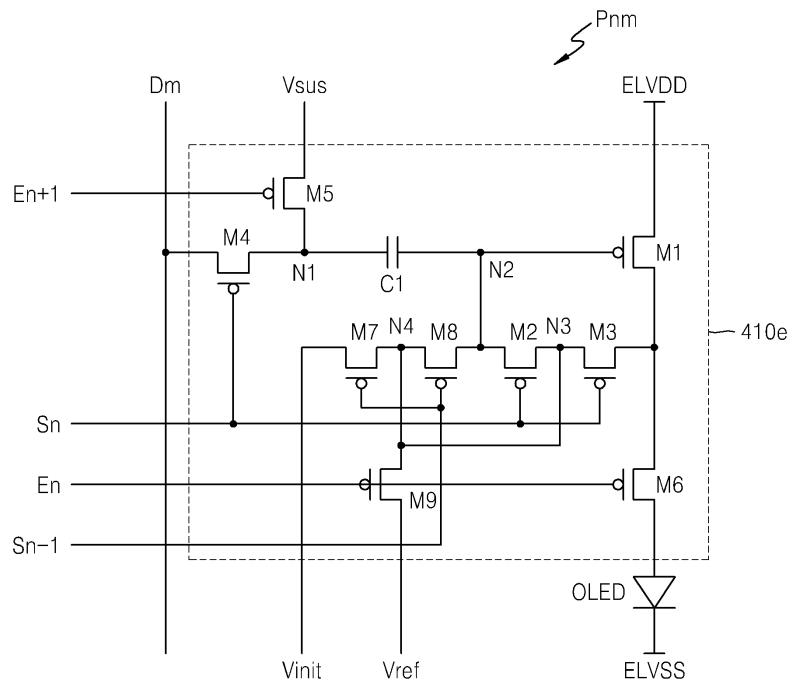
도면7



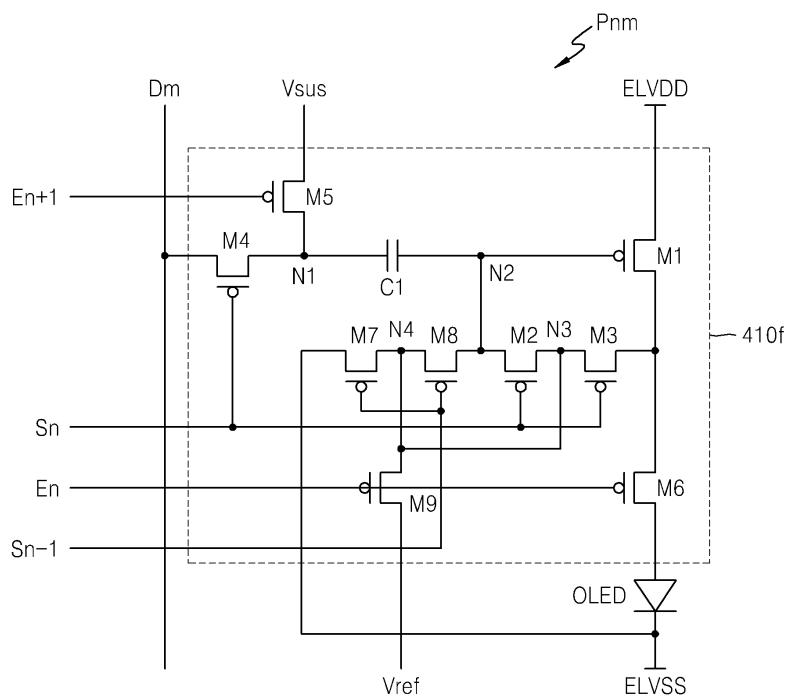
도면8



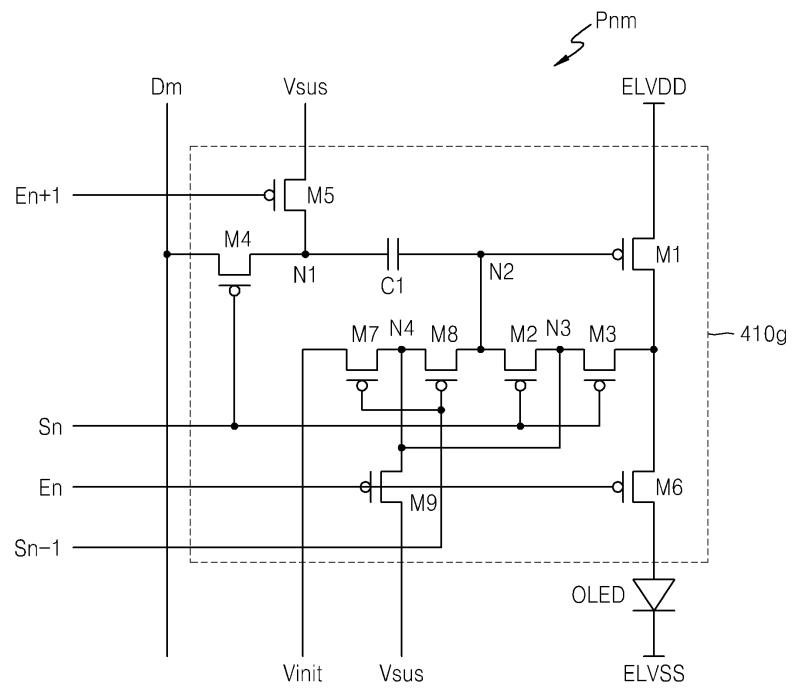
도면9



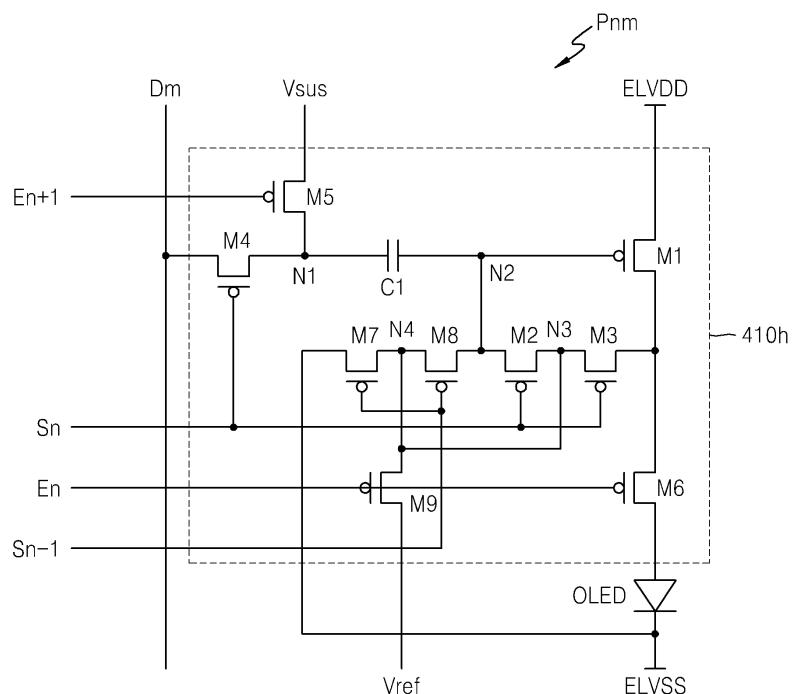
도면10



도면11



도면12



专利名称(译)	像素电路和有机电致发光显示装置		
公开(公告)号	KR1020110079220A	公开(公告)日	2011-07-07
申请号	KR1020090136214	申请日	2009-12-31
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHUNG BO YONG 정보용 PARK YONG SUNG 박용성 CHOI DEOK YOUNG 최덕영		
发明人	정보용 박용성 최덕영		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2320/045 G09G2300/0852 G09G2300/0861 G09G2320/0214 G09G2310/0262 G09G5/00 G09G3/32 G09G3/3233 G09G2300/0819		
其他公开文献	KR101097325B1		
外部链接	Espacenet		

摘要(译)

本发明的实施例可以补偿驱动晶体管的阈值电压和电压降，并分别驱动初始化时间以提高对比度并根据作为固定电源的数据电压保持漏电流通过最小化由漏电流引起的电流变化可以改善串扰，并且可以通过调节发射控制信号的占空比来消除运动模糊。由于晶体管的特性，晶体管转向一种能够解决像素电路关闭时发生的漏电流问题的像素电路，以及使用该像素电路的有机发光显示器。

