



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0039096  
(43) 공개일자 2010년04월15일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)  
G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0098317

(22) 출원일자 2008년10월07일  
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자

우경돈  
경북 구미시 도량동 222번지 도량뜨란채 503동  
603호

이재도

경북 구미시 오태동 759-2번지 우원빌라 110동  
402호

(뒷면에 계속)

(74) 대리인  
특허법인로얄

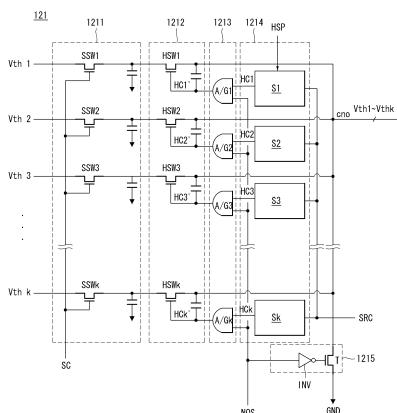
전체 청구항 수 : 총 9 항

(54) 유기발광다이오드 표시장치

**(57) 요 약**

본 발명은 표시품위를 향상시킬 수 있도록 한 유기발광다이오드 표시장치에 관한 것이다.

이 유기발광다이오드 표시장치는 다수의 데이터라인쌍들과 다수의 게이트라인군들이 교차되고 그 교차 영역마다 구동 TFT와 유기발광다이오드를 갖는 화소들이 배치된 표시패널; 서로 비중첩되어 순차적으로 발생되는 홀딩 클럭들에 응답하여 상기 화소들의 구동 TFT 문턱전압들을 추출하여 공통 출력노드에 순차적으로 인가하고, 서로 인접한 상기 홀딩 클럭들의 비중첩 기간들마다 상기 공통 출력노드의 전위를 기저 레벨로 다운시키는 샘플&홀드 블럭; 상기 공통 출력노드를 통해 입력되는 아날로그 상기 구동 TFT 문턱전압들을 디지털 문턱전압값들로 변환하는 A/D 컨버터; 상기 디지털 문턱전압값들과 함께 그들의 위치 정보들을 저장하는 메모리; 및 상기 메모리에 저장된 정보들을 기반으로, 외부로부터 입력되는 표시데이터의 위치 정보에 해당되는 문턱전압을 이용하여 상기 표시데이터를 조절하는 타이밍 콘트롤러를 구비한다.

**대 표 도 - 도9**

(72) 발명자  
**홍영준**  
경북 구미시 구평동 부영아파트 805동 404호

**유상호**  
경북 구미시 송정동 롯데 캐슬 122동 1206호

## 특허청구의 범위

### 청구항 1

다수의 데이터라인쌍들과 다수의 게이트라인군들이 교차되고 그 교차 영역마다 구동 TFT와 유기발광다이오드를 갖는 화소들이 배치된 표시패널;

서로 비중첩되어 순차적으로 발생되는 홀딩 클럭들에 응답하여 상기 화소들의 구동 TFT 문턱전압들을 추출하여 공통 출력노드에 순차적으로 인가하고, 서로 인접한 상기 홀딩 클럭들의 비중첩 기간들마다 상기 공통 출력노드의 전위를 기저 레벨로 다운시키는 샘플&홀드 블럭;

상기 공통 출력노드를 통해 입력되는 아날로그 상기 구동 TFT 문턱전압들을 디지털 문턱전압값들로 변환하는 A/D 컨버터;

상기 디지털 문턱전압값들과 함께 그들의 위치 정보들을 저장하는 메모리; 및

상기 메모리에 저장된 정보들을 기반으로, 외부로부터 입력되는 표시데이터의 위치 정보에 해당되는 문턱전압을 이용하여 상기 표시데이터를 조절하는 타이밍 콘트롤러를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 2

제 1 항에 있어서,

상기 샘플&홀드 블럭은,

샘플링 클럭에 응답하여 스위칭되는 다수의 샘플링 스위치들을 포함하여 상기 구동 TFT 문턱전압들을 샘플링하기 위한 샘플링 스위치 어레이;

종속적으로 접속된 다수의 스테이지들을 포함하여 논리레벨이 변하는 임계점 부근에서 이웃간에 서로 중첩하는 제1 홀딩 클럭들을 발생하는 쉬프트 레지스터 어레이;

논 오버랩 신호와 상기 제1 홀딩 클럭들을 논리 곱 연산하여 상기 홀딩 클럭들을 생성하는 오버랩 방지부;

상기 홀딩 클럭들 각각에 응답하여 스위칭되는 다수의 홀딩 스위치들을 포함하여 샘플링된 상기 구동 TFT 문턱전압들을 상기 공통 출력노드를 통해 순차적으로 출력하는 홀딩 스위치 어레이; 및

서로 인접한 상기 홀딩 클럭들의 비중첩 기간들마다 상기 공통 출력노드의 전위를 기저 레벨로 다운시키는 디스차징부를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 3

제 2 항에 있어서,

상기 오버랩 방지부는 상기 쉬프트 레지스터 어레이와 상기 홀딩 스위치 어레이 사이에 접속된 다수의 논리곱 소자들을 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 4

제 2 항에 있어서,

상기 디스차징부는,

상기 논 오버랩 신호의 위상을 반전시키기 위한 인버터; 및

상기 공통 출력노드와 기저 저압원 사이에 접속되어 상기 인버터의 출력에 의해 제어되는 방전 스위치를 구비하는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 5

제 2 항에 있어서,

상기 논 오버랩 신호는 상기 제1 홀딩 클럭들의 중첩 구간에서는 상기 제1 홀딩 클럭들과 반대되는 제1 논리레

벨로 발생되는 반면, 상기 제1 홀딩 클럭들의 비중첩 구간에서는 상기 제1 홀딩 클럭들과 반대되는 제2 논리레벨로 발생되는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 방전 스위치는 상기 제2 논리레벨을 갖는 논 오버랩 신호에 응답하여 턴 온 되는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 7

제 2 항에 있어서,

상기 화소들 각각은 상기 유기발광다이오드의 캐소드전극과 저전위 구동전압원 사이에 서로 병렬 접속된 제1 구동 TFT 및 제2 구동 TFT를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 8

제 7 항에 있어서,

상기 샘플링 스위치 어레이는,

n(여기서, n은 수직 해상도)개의 프레임기간들의 합으로 이루어진 제1 기간 동안에는 동일 수평라인 상에 배치된 제1 구동 TFT들의 문턱전압들을 동시에 샘플링하되 매 프레임 당 한 수평라인씩 순차적으로 샘플링하며;

그 다음 n 개의 프레임기간들의 합으로 이루어진 제2 기간 동안에는 동일 수평라인 상에 배치된 제2 구동 TFT들의 문턱전압들을 동시에 샘플링하되 매 프레임 당 한 수평라인씩 순차적으로 샘플링하는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 9

제 8 항에 있어서,

상기 데이터라인쌍들은 상기 제1 구동 TFT들을 구동시키기 위한 제1 데이터라인들과 상기 제2 구동 TFT들을 구동시키기 위한 제2 데이터라인들을 포함하고;

상기 샘플링 스위치들 각각은 상기 n 개의 프레임기간들을 주기로 상기 제1 데이터라인들과 상기 제2 데이터라인들에 교대로 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 명세서

#### 발명의 상세한 설명

##### 기술분야

[0001]

본 발명은 유기발광다이오드 표시장치에 관한 것으로 특히, 구동TFT의 문턱전압을 정확하게 추출하여 표시품위를 향상시킬 수 있도록 한 유기발광다이오드 표시장치에 관한 것이다.

##### 배경기술

[0002]

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들(Flat Panel Display, FPD)이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display : 이하 "LCD"라 한다), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 한다) 및 전계발광소자(Electroluminescence Device) 등이 있다.

[0003]

PDP는 구조와 제조공정이 단순하기 때문에 경박단소하면서도 대화면화에 가장 유리한 표시장치로 주목받고 있지만 발광효율과 휙도가 낮고 소비전력이 큰 단점이 있다. 스위칭 소자로 박막 트랜지스터(Thin Film Transistor : 이하 "TFT" 라 함)가 적용된 TFT LCD는 가장 널리 사용되고 있는 평판표시소자이지만 비발광소자이기 때문에 시야각이 좁고 응답속도가 낮은 문제점이 있다. 이에 비하여, 전계발광소자는 발광층의 재료에 따라 무기발광

다이오드 표시장치와 유기발광다이오드 표시장치로 대별되며 특히, 유기발광다이오드 표시장치는 스스로 발광하는 자발광소자를 이용함으로써 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.

[0004] 유기발광다이오드 표시장치는 도 1과 같이 유기발광다이오드를 가진다. 유기발광다이오드는 애노드전극과 캐소드전극 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 구비한다.

[0005] 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다.

[0006] 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0007] 유기발광다이오드 표시장치는 이와 같은 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 비디오 데이터의 계조에 따라 제어한다. 다시말해, 유기발광다이오드 표시장치는 능동소자인 TFT를 선택적으로 턴-온시켜 화소를 선택하고 스토리지 커패시터(Storage Capacitor)에 유지되는 전압으로 화소의 발광을 유지한다.

[0008] 도 2는 종래 유기발광다이오드 표시장치에 있어서 하나의 화소를 등가적으로 나타내는 회로도이다.

[0009] 도 2를 참조하면, 액티브 매트릭스 방식의 유기발광다이오드 표시장치의 화소는 유기발광다이오드(OLED), 서로 교차하는 데이터라인(DL) 및 게이트라인(GL), 스위치 TFT(SW), 구동 TFT(DR), 및 스토리지 커패시터(Cst)를 구비한다. 스위치 TFT(SW)와 구동 TFT(DR)는 N-타입 MOS-FET으로 구현된다.

[0010] 스위치 TFT(SW)는 게이트라인(GL)으로부터의 스캔신호에 응답하여 턴-온됨으로써 자신의 소스전극과 드레인전극 사이의 전류패스를 도통시킨다. 이 스위치 TFT(SW)는 온타임기간 동안 데이터라인(DL)으로부터의 데이터전압을 구동 TFT(DR)의 게이트전극과 스토리지 커패시터(Cst)에 인가한다.

[0011] 구동 TFT(DR)는 자신의 게이트전극과 소스전극 간의 차전압(Vgs)에 따라 유기발광다이오드(OLED)에 흐르는 전류를 제어한다.

[0012] 스토리지 커패시터(Cst)는 자신의 일측 전극에 인가된 데이터전압을 저장함으로써 구동 TFT(DR)의 게이트전극에 공급되는 전압을 한 프레임기간동안 일정하게 유지시킨다.

[0013] 유기발광다이오드(OLED)는 도 1과 같은 구조로 구현된다. 이 유기발광다이오드(OLED)는 구동 TFT(DR)의 소스전극과 저전위 구동전압원(VSS) 사이에 접속된다.

[0014] 도 2와 같은 화소의 밝기는 아래의 수학식 1과 같이 유기발광다이오드(OLED)에 흐르는 전류에 비례하며, 이 전류는 구동 TFT(DR)의 게이트전압과 소스전압 간 차전압, 구동 TFT(DR)의 문턱전압에 의해 결정된다.

## 수학식 1

$$Ioled = \frac{k}{2} (Vgs - Vth)^2$$

[0015] 여기서, 'Ioled'는 구동전류, 'k'는 구동 TFT(DR)의 이동도 및 기생용량에 의해 결정되는 상수값, 'Vgs'는 구동 TFT(DR)의 게이트전압(Vg)과 소스전압(Vs) 간의 차전압, 'Vth'는 구동 TFT(DR)의 문턱전압을 각각 의미한다.

[0017] 수학식 1과 같이, 유기발광다이오드(OLED)에 흐르는 전류(Ioled)는 구동 TFT(DR)의 문턱전압(Vth)에 크게 영향 받는다.

[0018] 일반적으로, 유기발광다이오드 표시장치에서 화소들 간 휙도의 불균일성은 상기 문턱전압을 포함한 구동 TFT의 전기적 특성 편차에 기인한다. 화소들 간 구동 TFT의 전기적 특성 편차가 발생하는 원인은 표시패널의 백 플레이(Backplane)에 따라 다르다. LTPS(Low Temperature Poly Silicon) 백 플레이를 사용하는 패널에서는 ELA(Excimer Laser Annealing) 공정에 의한 화소들 간 TFT의 특성 편차가 발생한다. 반면, a-Si(Amorphous Silicon) 백 플레이를 사용하는 패널에서는 공정에 의한 특성 편차는 거의 발생하지 않지만 패널 구동에 따라 진행되는 TFT의 열화 정도가 화소마다 달라져 결국 화소들 간 TFT의 특성 편차가 발생된다. 패널 구동에 따라 화소들간 TFT의 열화 정도가 다르게 진행하는 이유는, 구동 TFT의 게이트전극에 쌓이는 게이트-바이어스 스트레

스(Gate-Bias Stress)의 정도가 서로 달라 구동 TFT의 문턱전압 변동이 화소마다 달라지기 때문이다.

[0019] 이러한 구동 TFT의 전기적 특성 편차로 인해서 동일한 데이터의 인가시 유기발광다이오드에 흐르는 전류는 화소마다 달라지게 된다. 이에, 구동 TFT의 문턱전압을 추출하여 메모리에 저장한 후, 표시데이터에 이 추출된 문턱전압을 반영하는 방식이 제안된 바 있다. 이 방식은 구동 TFT의 문턱전압을 추출하기 위해 도 3과 같이 샘플&홀드 블럭(1), A/D 컨버터(ADC : 2) 및 메모리(3)를 구비한다. 동일 수평라인 상에 배치된 화소들 각각의 문턱전압( $V_{th1} \sim V_{thk}$ )은 샘플링 클럭(Sampling Clock : SC)에 따라 동시에 샘플링된 후 홀딩 클럭들(HC1 ~ HC<sub>k</sub>)에 각각 응답하여 순차적으로 추출된다. 그리고, 추출된 문턱전압들( $V_{th1} \sim V_{thk}$ )은 샘플&홀드 블럭(1)의 공통 출력노드(cno)를 경유하여 A/D 컨버터(2)에 입력되어 디지털 값들(D1 ~ D<sub>k</sub>)로 변환된 후 메모리(3)에 저장된다. 샘플&홀드 블럭(1)은 문턱전압들( $V_{th1} \sim V_{thk}$ )을 추출하기 위해 도 4와 같은 샘플링 클럭(SC)에 따라 동시에 동작되는 다수의 샘플링 스위치들, 및 도 4와 같은 홀딩 클럭들(HC1 ~ HC<sub>k</sub>)에 따라 각각 동작하는 홀딩 스위치들을 포함한다.

[0020] 그런데, 홀딩 클럭들(HC1 ~ HC<sub>k</sub>)은 그 논리레벨이 변하는 임계점에서 'a'와 같이 크리티컬(Critical)하게 변하는 게 아니라, 스위치와 라인에 존재하는 기생 커패시턴스 등의 영향으로 'b'와 같이 슬로프(Slope) 형태로 변하게 된다. 이에 따라, 종래 문턱전압 추출 방식에서는 홀딩 스위치의 온-오프시 인접하는 화소들의 문턱전압들이 서로 중첩되어 추출되는 오버랩 구간(OVP)이 초래된다. 오버랩 구간(OVP)에서는 인접 화소들의 문턱전압들이 서로 혼합되므로, 정확한 문턱전압 추출이 거의 불가능하다.

[0021] 또한, 상기 스위치와 라인에 존재하는 기생 커패시턴스에 의해 샘플&홀드 블럭(1)의 공통 출력노드(cno)에서는 연속적으로 출력되는 문턱전압들간에 간섭이 발생한다. 이는 직전에 출력된 문턱전압의 전하 성분들이 스위치나 라인등에 남아 기생 커패시턴스로 작용함으로써 현재 출력되는 문턱전압에 영향을 주기 때문이다. 종래 문턱전압 추출 방식은 이러한 잔류 전하들을 방전할 수 있는 기능을 갖지 못하여 정확하게 문턱전압을 추출할 수 없다.

[0022] 이러한 문턱전압 추출의 비정확성으로 인해, 종래 문턱전압 추출 방식에서는 표시품위를 향상시키는 데 한계가 있다.

## 발명의 내용

### 해결 하고자하는 과제

[0023] 따라서, 본 발명의 목적은 구동TFT의 문턱전압을 정확하게 추출할 수 있도록 한 유기발광다이오드 표시장치를 제공하는 데 있다.

[0024] 본 발명의 다른 목적은 구동TFT의 문턱전압을 정확하게 추출하고, 이 추출된 문턱전압을 표시데이터에 반영함으로써 표시품위를 향상시키도록 한 유기발광다이오드 표시장치를 제공하는 데 있다.

### 과제 해결수단

[0025] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 다수의 데이터라인쌍들과 다수의 게이트라인군들이 교차되고 그 교차 영역마다 구동 TFT와 유기발광다이오드를 갖는 화소들이 배치된 표시패널; 서로 비중첩되어 순차적으로 발생되는 홀딩 클럭들에 응답하여 상기 화소들의 구동 TFT 문턱전압들을 추출하여 공통 출력노드에 순차적으로 인가하고, 서로 인접한 상기 홀딩 클럭들의 비중첩 기간들마다 상기 공통 출력노드의 전위를 기저 레벨로 다운시키는 샘플&홀드 블럭; 상기 공통 출력노드를 통해 입력되는 아날로그 상기 구동 TFT 문턱전압들을 디지털 문턱전압값들로 변환하는 A/D 컨버터; 상기 디지털 문턱전압값들과 함께 그들의 위치 정보들을 저장하는 메모리; 및 상기 메모리에 저장된 정보들을 기반으로, 외부로부터 입력되는 표시데이터의 위치 정보에 해당되는 문턱전압을 이용하여 상기 표시데이터를 조절하는 타이밍 콘트롤러를 구비한다.

[0026] 상기 샘플&홀드 블럭은, 샘플링 클럭에 응답하여 스위칭되는 다수의 샘플링 스위치들을 포함하여 상기 구동 TFT 문턱전압들을 샘플링하기 위한 샘플링 스위치 어레이; 종속적으로 접속된 다수의 스테이지들을 포함하여 논리레벨이 변하는 임계점 부근에서 이웃간에 서로 중첩하는 제1 홀딩 클럭들을 발생하는 쉬프트 레지스터 어레이; 논오버랩 신호와 상기 제1 홀딩 클럭들을 논리 곱 연산하여 상기 홀딩 클럭들을 생성하는 오버랩 방지부; 상기 홀딩 클럭들 각각에 응답하여 스위칭되는 다수의 홀딩 스위치들을 포함하여 샘플링된 상기 구동 TFT 문턱전압들을 상기 공통 출력노드를 통해 순차적으로 출력하는 홀딩 스위치 어레이; 및 서로 인접한 상기 홀딩 클럭들의 비중

첨 기간들마다 상기 공통 출력노드의 전위를 기저 레벨로 다운시키는 디스차징부를 구비한다.

[0027] 상기 오버랩 방지부는 상기 쉬프트 레지스터 어레이와 상기 홀딩 스위치 어레이 사이에 접속된 다수의 논리곱 소자들을 구비한다.

[0028] 상기 디스차징부는, 상기 논 오버랩 신호의 위상을 반전시키기 위한 인버터; 및 상기 공통 출력노드와 기저 저 압원 사이에 접속되어 상기 인버터의 출력에 의해 제어되는 방전 스위치를 구비한다.

[0029] 상기 논 오버랩 신호는 상기 제1 홀딩 클럭들의 중첩 구간에서는 상기 제1 홀딩 클럭들과 반대되는 제1 논리레벨로 발생되는 반면, 상기 제1 홀딩 클럭들의 비중첩 구간에서는 상기 제1 홀딩 클럭들과 반대되는 제2 논리레벨로 발생된다.

[0030] 상기 방전 스위치는 상기 제2 논리레벨을 갖는 논 오버랩 신호에 응답하여 턴 온 된다.

[0031] 상기 화소들 각각은 상기 유기발광다이오드의 캐소드전극과 저전위 구동전압원 사이에 서로 병렬 접속된 제1 구동 TFT 및 제2 구동 TFT를 포함한다.

[0032] 상기 샘플링 스위치 어레이에는, n(여기서, n은 수직 해상도)개의 프레임기간들의 합으로 이루어진 제1 기간 동안에는 동일 수평라인 상에 배치된 제1 구동 TFT들의 문턱전압들을 동시에 샘플링하되 매 프레임 당 한 수평라인씩 순차적으로 샘플링하며; 그 다음 n 개의 프레임기간들의 합으로 이루어진 제2 기간 동안에는 동일 수평라인 상에 배치된 제2 구동 TFT들의 문턱전압들을 동시에 샘플링하되 매 프레임 당 한 수평라인씩 순차적으로 샘플링 한다.

[0033] 상기 데이터라인쌍들은 상기 제1 구동 TFT들을 구동시키기 위한 제1 데이터라인들과 상기 제2 구동 TFT들을 구동시키기 위한 제2 데이터라인들을 포함하고; 상기 샘플링 스위치들 각각은 상기 n 개의 프레임기간들을 주기로 상기 제1 데이터라인들과 상기 제2 데이터라인들에 교대로 접속된다.

## 효과

[0034] 본 발명에 따른 유기발광다이오드 표시장치는 샘플&홀드 블럭내에 오버랩 방지부와 디스차징부를 포함함으로써, 연속적으로 추출되는 문턱전압들 간의 간섭을 제거하여 구동 TFT의 문턱전압을 정확하게 추출할 수 있다.

[0035] 나아가, 본 발명에 따른 유기발광다이오드 표시장치는 구동TFT의 문턱전압을 정확하게 추출하고, 이 추출된 문턱전압을 표시데이터에 반영함으로써 표시품위를 크게 향상시킬 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0036] 이하, 도 5 내지 도 10을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

[0037] 도 5는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 나타내는 블럭도이다.

[0038] 도 5를 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 타이밍 콘트롤러(11), 샘플&홀드 블럭(121)을 포함하는 데이터 드라이버(12), 게이트 드라이버(13), A/D 컨버터(14) 및 메모리(16)를 구비한다.

[0039] 표시패널(10)에는 다수의 데이터라인쌍(14a, 14b)들과 다수의 게이트라인군(15a 내지 15d)들이 교차되고 그 교차 영역마다 화소(P)들이 매트릭스 형태로 배치된다. 화소(P)들 각각은 고전위 구동전압(Vdd)과 저전위 구동전압(Vss)을 공급받고, 데이터라인쌍(14a, 14b)과 게이트라인군(15a 내지 15d)에 접속된다. 데이터라인쌍(14a, 14b)은 제1 데이터라인(14a)과 제2 데이터라인(14b)을 포함한다. 제1 데이터라인(14a)과 제2 데이터라인(14b)은 각각 구동 TFT의 문턱전압 추출 경로 및 표시데이터 기입 경로에 이용되며, 특정 기간을 주기로 그 기능을 바꾼다. 다시 말해, 제1 데이터라인(14a)은 n 프레임(여기서, n은 수직 해상도)까지는 구동 TFT의 문턱전압 추출 경로에 이용되는 데 반해, n+1 ~ 2n 프레임까지는 표시데이터 기입 경로에 이용된다. 반면, 제2 데이터라인(14b)은 제1 프레임 ~ 제n 프레임까지는 표시데이터 기입 경로에 이용되는 데 반해, 제n+1 프레임 ~ 제2n 프레임까지는 구동 TFT의 문턱전압 추출 경로에 이용된다. 게이트라인군(15a 내지 15d)은 제1 스캔라인(15a), 제2 스캔라인(15b), 제1 센싱라인(15c), 및 제2 센싱라인(15d)을 포함한다. 고전위 구동전압(Vdd)은 고전위 구동전압원(VDD)에 의해 일정한 전위 레벨(직류 레벨)로 발생된다. 저전위 구동전압(Vss)은 저전위 구동전압원(VSS)

에 의해 발생되며, 화소(P) 내에 포함된 구동 TFT의 문턱전압이 센싱될 수 있도록 주기적으로 그 전위 레벨이 고전위 구동전압 레벨과 기저 전압 레벨 사이에서 가변된다.

[0040] 타이밍 콘트롤러(11)는 메모리(16)에 저장된 디지털 문턱전압들(D1 ~ Dk)을 참조하여 외부로부터 입력되는 표시 데이터(RGB)의 계조값을 조절한 후, 이 조절된 표시데이터를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 드라이버(12)에 공급한다. 타이밍 콘트롤러(11)는 입력되는 표시데이터의 위치 정보에 해당되는 문턱전압을 이용하여 표시데이터(RGB)의 계조값을 조절하되, 문턱전압값이 높을수록 표시데이터(RGB)의 계조값을 높인다.

[0041] 또한, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인 에이블신호(DE) 등의 타이밍 신호들을 기초하여 데이터 드라이버(12)에서의 데이터 기입 타이밍을 제어하기 위한 데이터 기입 제어신호(DDC)와, 데이터 드라이버(12)에서의 문턱전압 추출 타이밍을 제어하기 위한 문턱전압 추출 제어신호들과, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다. 데이터 기입 제어신호(DDC)는 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 드라이버(12) 내에서 표시데이터의 래치동작을 지시하는 소스 샘플링 클럭(SSC), 데이터 드라이버(12)의 출력을 지시하는 소스 출력 인에이블신호(SOE) 등을 포함한다. 문턱전압 추출 제어신호들은 문턱전압을 샘플링하기 위한 샘플링 클럭(SC), 문턱전압의 홀딩 시작 시점을 지시하는 홀딩 스타트 펄스(HSP), 홀딩 스타트 펄스(HSP)를 순차적으로 쉬프트시키기 위한 쉬프트 레지스터 클럭(SRC), 수평으로 인접하는 화소들의 구동 TFT 문턱전압들이 서로 중첩되어 추출되는 것을 방지하기 위한 논 오버랩 신호(NOS)를 포함한다. 게이트 제어신호(GDC) 한 화면이 표시되는 1 프레임기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(GSP), 게이트 드라이버(13) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생되는 게이트 쉬프트 클럭(GSC), 및 게이트 드라이버(13)의 출력을 지시하는 게이트 출력 인에이블신호(GOE) 등을 포함한다.

[0042] 데이터 드라이버(12)는 타이밍 콘트롤러(11)의 제어하에 표시데이터(RGB)를 아날로그 데이터전압(이하, 데이터 전압이라 함)으로 변환하여 데이터라인쌍(14a, 14b)들에 공급한다. 그리고, 데이터 드라이버(12)는 샘플&홀드 블럭(121)을 포함하여 화소(P)들로부터 추출된 문턱전압들(Vth1 ~ Vthk)을 A/D 컨버터(14)에 공급한다. 특히, 본 발명의 샘플&홀드 블럭(121)은 도 8과 같이, 수평으로 인접하는 화소들의 구동 TFT 문턱전압들이 서로 중첩되어 추출되는 것을 방지하기 위한 오버랩 방지부(1213a)와, 공통 출력노드(cno)를 통해 연속적으로 출력되는 문턱전압들간의 간섭을 방지하기 위한 디스차징부(1214)를 구비하여 추출되는 문턱전압값의 정확도를 높인다. 이러한 샘플&홀드 블럭(121)에 대해서는 도 8 내지 도 10을 참조하여 상세히 후술한다.

[0043] 게이트 드라이버(13)는 타이밍 콘트롤러(11)의 제어 하에 제1 및 제2 스캔신호와, 제1 및 제2 센싱신호를 발생한다. 도 6과 같이 제1 스캔신호(SCAN1)는 제1 스캔라인(15a)에 공급되고, 제2 스캔신호(SCAN2)는 제2 스캔라인(15b)에 공급된다. 제1 센싱신호(SEN1)는 제1 센싱라인(15c)에 공급되고, 제2 센싱신호(SEN2)는 제2 센싱라인(15c)에 공급된다.

[0044] A/D 컨버터(14)는 샘플&홀드 블럭(121)으로부터의 아날로그 문턱전압들(Vth1 ~ Vthk)을 디지털 문턱전압들(D1 ~ Dk)로 변환한 후, 이 디지털 문턱전압들(D1 ~ Dk)을 메모리(16)에 공급한다.

[0045] 메모리(16)는 A/D 컨버터(14)로부터의 디지털 문턱전압들(D1 ~ Dk)을 이 디지털 문턱전압들(D1 ~ Dk) 각각에 대한 위치 정보와 함께 룩업 테이블 형식으로 저장한다. 메모리(16)는 타이밍 콘트롤러(11)에 내장될 수 있다.

[0046] 도 6은 도 5에 도시된 화소(P)를 나타낸다. 그리고, 도 7은 화소(P)에 인가되는 제어신호들과 데이터전압들, 및 구동전압들의 타이밍도이다.

[0047] 도 6을 참조하면, 본 발명의 실시예에 따른 화소(P)는 유기발광다이오드(OLED), 제1 구동부(DP(L)), 및 제2 구동부(DP(R))를 구비한다.

[0048] 유기발광다이오드(OLED)는 고전위 구동전압원(VDD)과 공통 노드(nc) 사이에 접속된다. 유기발광다이오드(OLED)는 제1 구동부(DP(L)) 또는 제2 구동부(DP(R))에 의해 결정되는 고전위 구동전압원(VDD)과 저전위 구동전압원(VSS) 사이의 전류량에 의해 그 발광량이 제어되어 계조를 표시한다.

[0049] 제1 구동부(DP(L))는 제1 구동 TFT(DT1), 제1 및 제2 스위치 TFT(ST1, ST2), 및 제1 스토리지 커패시터(SC1)를 포함한다. 제1 구동 TFT(DT1)는 공통 노드(nc)와 저전위 구동전압원(VSS) 사이에 접속되어 자신의 게이트-소스 간 전압차에 의해 유기발광다이오드(OLED)에 흐르는 전류량을 조절한다. 제1 스위치 TFT(ST1)는 제1 데이터라인(14a)과 제1 노드(n1) 사이에 접속되어 제1 스캔라인(15a)으로부터의 제1 스캔신호(SCAN1)에 따라 제1 데이터

라인(14a)과 제1 노드(n1) 사이의 전류 패스를 절환한다. 제2 스위치 TFT(ST2)는 제1 데이터라인(14a)과 공통 노드(nc) 사이에 접속되어 제1 센싱라인(15c)으로부터의 제1 센싱신호(SEN1)에 따라 제1 데이터라인(14a)과 공통 노드(nc) 사이의 전류 패스를 절환한다. 제1 스토리지 커패시터(SC1)는 제1 노드(n1)와 저전위 구동전압원(VSS) 사이에 접속된다.

[0050] 이러한 제1 구동부(DP(L))는 특정 기간(n개의 프레임들의 총 스캔기간, n은 수직 해상도)을 주기로 문턱전압 센싱 기능과 표시데이터 기입 기능을 교번적으로 수행한다. 즉, 문턱전압 센싱을 위해, 제1 구동부(DP(L))는 제1 프레임 ~ 제n(여기서, n은 수직 해상도)프레임 중 특정 한 프레임 동안에만 제1 구동 TFT(DT1)의 문턱전압 센싱 기능을 수행하고, 나머지 프레임들 동안에는 제1 구동 TFT(DT1)의 게이트 바이어스 스트레스를 줄이기 위한 부극성 데이터 기입(NDI) 기능을 수행한다. 그리고, 표시데이터 기입을 위해, 제1 구동부(DP(L))는 제n+1 프레임 ~ 제2n 프레임동안 유기발광다이오드(OLED)를 발광시키기 위한 표시데이터 기입 기능을 수행한다.

[0051] 제2 구동부(DP(R))는 제2 구동 TFT(DT2), 제3 및 제3 스위치 TFT(ST3, ST3), 및 제2 스토리지 커패시터(SC2)를 포함한다. 제2 구동 TFT(DT2)는 공통 노드(nc)와 저전위 구동전압원(VSS) 사이에 접속되어 자신의 게이트-소스 간 전압차에 의해 유기발광다이오드(OLED)에 흐르는 전류량을 조절한다. 제3 스위치 TFT(ST3)는 제2 데이터라인(14b)과 제2 노드(n2) 사이에 접속되어 제2 스캔라인(15b)으로부터의 제2 스캔신호(SCAN2)에 따라 제2 데이터라인(14b)과 제2 노드(n2) 사이의 전류 패스를 절환한다. 제4 스위치 TFT(ST4)는 제2 데이터라인(14b)과 공통 노드(nc) 사이에 접속되어 제2 센싱라인(15d)으로부터의 제2 센싱신호(SEN2)에 따라 제2 데이터라인(14b)과 공통 노드(nc) 사이의 전류 패스를 절환한다. 제2 스토리지 커패시터(SC2)는 제2 노드(n2)와 저전위 구동전압원(VSS) 사이에 접속된다.

[0052] 이러한 제2 구동부(DP(R))는 특정 기간(n개의 프레임들의 총 스캔기간, n은 수직 해상도)을 주기로 문턱전압 센싱 기능과 표시데이터 기입 기능을 교번적으로 수행하되, 제1 구동부(DP(L))와는 반대로 수행한다. 즉, 제1 구동부(DP(L))가 문턱전압 센싱 기능을 수행하는 제1 프레임 ~ 제n 프레임동안, 제2 구동부(DP(R))는 유기발광다이오드(OLED)를 발광시키기 위한 표시데이터 기입 기능을 수행한다. 그리고, 제1 구동부(DP(L))가 표시데이터 기입 기능을 수행하는 제n+1 프레임 ~ 제2n 프레임동안, 제2 구동부(DP(R))는 제n+1 프레임 ~ 제2n 프레임 중 특정 한 프레임 동안에만 제2 구동 TFT(DT2)의 문턱전압 센싱 기능을 수행하고, 나머지 프레임들 동안에는 제2 구동 TFT(DT2)의 게이트 바이어스 스트레스를 줄이기 위한 부극성 데이터 기입(NDI) 기능을 수행한다.

[0053] 도 6에 도시된 화소(P)의 동작을 도 7의 타이밍도를 결부하여 설명하면 다음과 같다. 도 7에서, P1 ~ P4는 제1 프레임 ~ 제n(여기서, n은 수직 해상도)프레임 중 특정 한 프레임 동안을 세분화한 기간들로서, P1은 제1 구동부(DP(L))의 각 노드 전압을 초기화시키는 기간을, P2는 제1 구동 TFT(DT1)의 문턱전압을 센싱하는 기간을, P3은 제1 구동부(DP(L))에 부극성 데이터(NDI)를 기입함과 아울러 표시데이터(DATA)를 이용하여 제2 구동부(DP(R))를 프로그래밍하는 기간을, P4는 제2 구동부(DP(R))를 이용하여 유기발광다이오드(OLED)를 발광시키는 단계를 각각 나타낸다. 그리고, P5 ~ P8은 제n+1 프레임 ~ 제2n 프레임 중 특정 한 프레임 동안을 세분화한 기간들로서, P5는 제2 구동부(DP(R))의 각 노드 전압을 초기화시키는 기간을, P6은 제2 구동 TFT(DT2)의 문턱전압을 센싱하는 기간을, P7은 제2 구동부(DP(L))에 부극성 데이터를 기입(NDI)함과 아울러 표시데이터(DATA)를 이용하여 제1 구동부(DP(L))를 프로그래밍하는 기간을, P8은 제1 구동부(DP(L))를 이용하여 유기발광다이오드(OLED)를 발광시키는 기간을 각각 나타낸다.

[0054] P1 동안, 저전위 구동전압(Vss)은 저전위 구동전압원(VSS)을 통해 고전위 구동전압(Vdd) 레벨로 발생되고, 제1 데이터전압(DATA1)은 고전위 구동전압(Vdd)에 제1 구동 TFT(DT1)의 최대 문턱전압치가 합산된 레벨로 제1 데이터라인(14a)에 공급된다. 예컨대, 고전위 구동전압(Vdd) 레벨이 18V이고, 제1 구동 TFT(DT1)의 최대 문턱전압치가 7V라고 가정하면, 제1 데이터전압(DATA1)은 25V의 레벨로 공급되게 된다. 그리고, 이 기간(P1) 동안 제1 스캔신호(SCAN1) 및 제1 센싱신호(SEN1)는 하이논리레벨로 발생되어 제1 및 제2 스위치 TFT(ST1, ST2)를 턴 온시킨다. 이에 따라, 등전위를 이루는 공통 노드(nc)와 제1 노드(n1)에 의해 제1 구동 TFT(DT1)는 다이오드 커넥션(Diode-Connection)된다. 한편, 이 기간(P1) 동안 제2 스캔신호(SCAN2) 및 제2 센싱신호(SEN2)는 로우논리레벨로 발생되어 제3 및 제4 스위치 TFT(ST3, ST4)를 턴 오프 시킨다.

[0055] P2 동안, 데이터 드라이버(12)는 내부 스위치를 동작시켜 제1 데이터라인(14a)을 플로팅(Floating) 시킨다. 이 기간(P2) 동안 제1 스캔신호(SCAN1) 및 제1 센싱신호(SEN1)는 하이논리레벨로 유지되어 제1 및 제2 스위치 TFT(ST1, ST2)를 계속해서 턴 온시킨다. 저전위 구동전압(Vss)은 고전위 구동전압(Vdd) 레벨로 유지된다. 이에 따라, 제1 노드(n1)의 전위는 고전위 구동전압(Vdd)에 제1 구동 TFT(DT1)의 최대 문턱전압치가 합산된 레벨로부터 고전위 구동전압(Vdd)에 제1 구동 TFT(DT1)의 실제 문턱전압치가 합산된 레벨까지 감소한다. 여기서, 제1 구

동 TFT(DT1)의 실제 문턱전압치는 최대 문턱전압치보다 작다. 제1 노드(n1)와 저전위 구동전압원(VSS) 사이의 전위차는 제1 구동 TFT(DT1)의 실제 문턱전압치가 되며, 이 제1 구동 TFT(DT1)의 실제 문턱전압치는 제1 스토리지 커패시터(SC1)에 저장된다. 이어서, 데이터 드라이버(12)는 내부 스위치를 동작시켜 제1 데이터라인(14a)을 샘플&홀드 블럭(121)에 접속시킨다. 따라서, 제1 스토리지 커패시터(SC1)에 저장된 제1 구동 TFT(DT1)의 실제 문턱전압은 제1 데이터라인(14a)을 경유하여 샘플&홀드 블럭(121)에 전달된다. 한편 이 기간(P2) 동안 제2 스캔신호(SCAN2) 및 제2 센싱신호(SEN2)는 로우논리레벨로 유지되어 제3 및 제4 스위치 TFT(ST3, ST4)를 계속해서 턴 오프 시킨다.

[0056] P3 동안, 데이터 드라이버(12)는 내부 스위치를 동작시켜 제1 데이터전압(DATA1)을 부극성 데이터(ndi) 레벨로 제1 데이터라인(14a)에 공급함과 아울러 제2 데이터전압(DATA2)을 프로그래밍 레벨로 제2 데이터라인(14b)에 공급한다. 저전위 구동전압(Vss)은 고전위 구동전압(Vdd) 레벨로 유지된다. 이 기간(P3) 동안 제1 스캔신호(SCAN1)는 하이논리레벨로 유지되어 제1 스위치 TFT(ST1)를 계속해서 턴 온시키는 반면, 제1 센싱신호(SEN1)는 로우논리레벨로 반전되어 제2 스위치 TFT(ST2)를 턴 오프 시킨다. 이에 따라, 제1 노드(n1)에는 부극성 데이터(ndi) 레벨을 갖는 제1 데이터전압(DATA1)이 공급된다. 한편, 이 기간(P3) 동안 제2 스캔신호(SCAN2)는 하이논리레벨로 반전되어 제3 스위치 TFT(ST3)를 턴 온시키는 반면, 제2 센싱신호(SEN2)는 로우논리레벨로 유지되어 제4 스위치 TFT(ST4)를 계속해서 턴 오프 시킨다. 이에 따라, 제2 노드(n2)는 표시데이터(DATA)인 제2 데이터전압(DATA2)으로 프로그래밍된다.

[0057] P4 동안, 저전위 구동전압(Vss)은 기저 레벨로 그 전위가 낮아져 고전위 구동전압원(VDD)과 저전위 구동전압원(VSS) 사이의 전류패스를 형성한다. 이 기간(P4) 동안 제1 및 제2 스캔신호(SCAN1, SCAN2)는 로우논리레벨로 반전되어 각각 제1 및 제3 스위치 TFT(ST1, ST3)를 턴 오프시키는 반면, 제1 및 제2 센싱신호(SEN1, SEN2)는 로우논리레벨로 유지되어 제2 및 제4 스위치 TFT(ST2, ST4)를 계속해서 턴 오프 시킨다. 이에 따라, 제1 노드(n1)의 전위는 부극성 데이터(ndi) 레벨로부터 저전위 구동전압(Vss)의 변동량만큼 낮은 레벨로 변동되어 제1 구동 TFT(DT1)의 게이트 바이어스 스트레스를 줄인다. 그리고, 제2 노드(n2)의 전위는 표시데이터(DATA) 레벨로부터 저전위 구동전압(Vss)의 변동량만큼 낮은 레벨로 변동된다. 제2 노드(n2)와 저전위 구동전압원(VSS) 사이의 전위차는 제2 스토리지 커패시터(SC2)에 저장되며, 이 저장된 전위차에 의해 유기발광다이오드(OLED)에 흐르는 전류량이 결정된다. 유기발광다이오드(OLED)는 상기 결정된 전류량에 따라 발광되어 계조를 표현한다.

[0058] P5 동안, 저전위 구동전압(Vss)은 저전위 구동전압원(VSS)을 통해 고전위 구동전압(Vdd) 레벨로 발생되고, 제2 데이터전압(DATA2)은 고전위 구동전압(Vdd)에 제2 구동 TFT(DT2)의 최대 문턱전압치가 합산된 레벨로 제2 데이터라인(14b)에 공급된다. 예컨대, 고전위 구동전압(Vdd) 레벨이 18V이고, 제2 구동 TFT(DT2)의 최대 문턱전압치가 7V라고 가정하면, 제2 데이터전압(DATA2)은 25V의 레벨로 공급되게 된다. 그리고, 이 기간(P5) 동안 제2 스캔신호(SCAN2) 및 제2 센싱신호(SEN2)는 하이논리레벨로 발생되어 제3 및 제4 스위치 TFT(ST3, ST4)를 턴 온시킨다. 이에 따라, 등전위를 이루는 공통 노드(nc)와 제2 노드(n2)에 의해 제2 구동 TFT(DT2)는 다이오드 커넥션(Diode-Connection)된다. 한편, 이 기간(P5) 동안 제1 스캔신호(SCAN1) 및 제1 센싱신호(SEN1)는 로우논리레벨로 발생되어 제1 및 제2 스위치 TFT(ST1, ST2)를 턴 오프 시킨다.

[0059] P6 동안, 데이터 드라이버(12)는 내부 스위치를 동작시켜 제2 데이터라인(14b)을 플로팅(Floating) 시킨다. 이 기간(P6) 동안 제2 스캔신호(SCAN2) 및 제2 센싱신호(SEN2)는 하이논리레벨로 유지되어 제3 및 제4 스위치 TFT(ST3, ST4)를 계속해서 턴 온시킨다. 저전위 구동전압(Vss)은 고전위 구동전압(Vdd) 레벨로 유지된다. 이에 따라, 제2 노드(n2)의 전위는 고전위 구동전압(Vdd)에 제2 구동 TFT(DT2)의 최대 문턱전압치가 합산된 레벨로부터 고전위 구동전압(Vdd)에 제2 구동 TFT(DT2)의 실제 문턱전압치가 합산된 레벨까지 감소한다. 여기서, 제2 구동 TFT(DT2)의 실제 문턱전압치는 최대 문턱전압치보다 작다. 제2 노드(n2)와 저전위 구동전압원(VSS) 사이의 전위차는 제2 구동 TFT(DT2)의 실제 문턱전압치가 되며, 이 제2 구동 TFT(DT2)의 실제 문턱전압치는 제2 스토리지 커패시터(SC2)에 저장된다. 이어서, 데이터 드라이버(12)는 내부 스위치를 동작시켜 제2 데이터라인(14b)을 샘플&홀드 블럭(121)에 접속시킨다. 따라서, 제2 스토리지 커패시터(SC2)에 저장된 제2 구동 TFT(DT2)의 실제 문턱전압은 제2 데이터라인(14b)을 경유하여 샘플&홀드 블럭(121)에 전달된다. 한편 이 기간(P6) 동안 제1 스캔신호(SCAN1) 및 제1 센싱신호(SEN1)는 로우논리레벨로 유지되어 제1 및 제2 스위치 TFT(ST1, ST2)를 계속해서 턴 오프 시킨다.

[0060] P7 동안, 데이터 드라이버(12)는 내부 스위치를 동작시켜 제2 데이터전압(DATA2)을 부극성 데이터(ndi) 레벨로 제2 데이터라인(14b)에 공급함과 아울러 제1 데이터전압(DATA1)을 프로그래밍 레벨로 제1 데이터라인(14a)에 공급한다. 저전위 구동전압(Vss)은 고전위 구동전압(Vdd) 레벨로 유지된다. 이 기간(P7) 동안 제2 스캔신호(SCAN2)는 하이논리레벨로 유지되어 제3 스위치 TFT(ST3)를 계속해서 턴 온시키는 반면, 제2 센싱신호(SEN2)는

로 우논리레벨로 반전되어 제4 스위치 TFT(ST4)를 턴 오프 시킨다. 이에 따라, 제2 노드(n2)에는 부극성 데이터(NDI) 레벨을 갖는 제2 데이터전압(DATA2)이 공급된다. 한편, 이 기간(P7) 동안 제1 스캔신호(SCAN1)는 하이논리레벨로 반전되어 제1 스위치 TFT(ST1)를 턴 온 시키는 반면, 제1 센싱신호(SEN1)는 로우논리레벨로 유지되어 제2 스위치 TFT(ST2)를 계속해서 턴 오프 시킨다. 이에 따라, 제1 노드(n1)는 표시데이터(DATA)인 제1 데이터전압(DATA1)으로 프로그래밍된다.

[0061] P8 동안, 저전위 구동전압(Vss)은 기저 레벨로 그 전위가 낮아져 고전위 구동전압원(VDD)과 저전위 구동전압원(VSS) 사이의 전류패스를 형성한다. 이 기간(P8) 동안 제1 및 제2 스캔신호(SCAN1, SCAN2)는 로우논리레벨로 반전되어 각각 제1 및 제3 스위치 TFT(ST1, ST3)를 턴 오프시키는 반면, 제1 및 제2 센싱신호(SEN1, SEN2)는 로우논리레벨로 유지되어 제2 및 제4 스위치 TFT(ST2, ST4)를 계속해서 턴 오프 시킨다. 이에 따라, 제2 노드(n2)의 전위는 부극성 데이터(NDI) 레벨로부터 저전위 구동전압(Vss)의 변동량만큼 낮은 레벨로 변동되어 제2 구동 TFT(DT2)의 게이트 바이어스 스트레스를 줄인다. 그리고, 제1 노드(n1)의 전위는 표시데이터(DATA) 레벨로부터 저전위 구동전압(Vss)의 변동량만큼 낮은 레벨로 변동된다. 제1 노드(n1)와 저전위 구동전압원(VSS) 사이의 전위차는 제1 스토리지 커패시터(SC1)에 저장되며, 이 저장된 전위차에 의해 유기발광다이오드(OLED)에 흐르는 전류량이 결정된다. 유기발광다이오드(OLED)는 상기 결정된 전류량에 따라 발광되어 계조를 표현한다.

[0062] 도 8 및 도 9는 각각 도 5의 샘플&홀드 블럭(121)을 보여주는 블럭도 및 회로도이다. 그리고, 도 10은 문턱전압들을 추출하기 위한 제어신호들의 파형과 그에 따른 A/D 컨버터의 출력 형태를 보여준다.

[0063] 도 8 및 도 9를 참조하면, 본 발명의 실시예에 따른 샘플&홀드 블럭(121)은 샘플링 스위치 어레이(1211), 홀딩 스위치 어레이(1212), 오버랩 방지부(1213), 쉬프트 레지스터 어레이(1214) 및 디스차징부(1215)를 구비한다.

[0064] 샘플링 스위치 어레이(1211)는 타이밍 콘트롤러(11)로부터의 샘플링 클럭(SC)에 응답하여 스위칭되는 다수의 샘플링 스위치들(SSW1 내지 SSWk)을 포함하여 동일 수평라인 상에 배치된 제1 구동 TFT들의 문턱전압(Vth1 ~ Vthk)을 동시에 샘플링하되, 매 프레임 당 한 수평라인씩 순차적으로 샘플링한다. 따라서, 표시패널에 형성된 제1 구동 TFT들의 문턱전압들이 모두 샘플링 되기 위해서는 n(여기서, n은 수직해상도) 개의 프레임기간들이 소요된다. 그리고, 샘플링 스위치 어레이(1211)는 그 다음 n 개의 프레임기간들 동안에는 동일 수평라인 상에 배치된 제2 구동 TFT들의 문턱전압(Vth1 ~ Vthk)을 동시에 샘플링하되, 매 프레임 당 한 수평라인씩 순차적으로 샘플링한다. 이를 위해, 다수의 샘플링 스위치들(SSW1 내지 SSWk) 각각은 n 개의 프레임기간들을 주기로 k 개의 제1 데이터라인들(14a)과 k개의 제2 데이터라인들(14b)에 교대로 접속된다.

[0065] 홀딩 스위치 어레이(1212)는 제2 홀딩 클럭들(HC1' 내지 HCk') 각각에 응답하여 스위칭되는 다수의 홀딩 스위치들(HSW1 내지 HSWk)을 포함하여 샘플링된 문턱전압들(Vth1 ~ Vthk)을 공통 출력노드(cno)를 통해 순차적으로 출력한다.

[0066] 쉬프트 레지스터 어레이(1214)는 종속적으로 접속된 다수의 스테이지들(S1 내지 Sk)을 구비한다. 쉬프트 레지스터 어레이(1214)는 타이밍 콘트롤러(11)로부터의 쉬프트 레지스터 클럭(SRC)에 응답하여 첫번째 스테이지(S1)로부터 k번째 스테이지(Sk)로 홀딩 스타트 폴스(HSP)를 순차적으로 쉬프트시켜 제1 홀딩 클럭들(HC1 내지 HCk)을 발생한다. 여기서, 제1 홀딩 클럭들(HC1 ~ HCk)은 도 10에 도시된 바와 같이 그 논리레벨이 변하는 임계점에서 'a'와 같이 크리티컬(Critical)하게 변하는 게 아니라, 스위치와 라인에 존재하는 기생 커패시턴스 등의 영향으로 'b'와 같이 슬로프(Slope) 형태로 변하여 일 부분에서 서로 중첩된다.

[0067] 오버랩 방지부(1213)는 다수의 스테이지들(S1 내지 Sk) 각각의 출력단에 접속되는 다수의 논리곱 소자들(A/G1 내지 A/Gk)을 포함한다. 오버랩 방지부(1213)는 타이밍 콘트롤러(11)로부터의 논 오버랩 신호(NOS)와 스테이지들(S1 내지 Sk)로부터의 제1 홀딩 클럭들(HC1 내지 HCk)을 논리곱 연산하여 인접 홀딩 클럭들 간 중첩되지 않는 제2 홀딩 클럭들(HC1' ~ HCk')을 발생한다. 여기서, 논 오버랩 신호(NOS)는 인접하는 제1 홀딩 클럭들의 중첩되는 구간에서는 제1 홀딩 클럭들과 반대되는 로우논리레벨로 공급되는 반면, 비중첩 구간에서는 제1 홀딩 클럭들과 동일 한 하이논리레벨로 공급된다. 이에 따라, 홀딩 스위치들(HSW1 내지 HSWk)은 서로 중첩되는 구간없이 동작되므로, 문턱전압들(Vth1 ~ Vthk)은 도 10과 같이 인접 화소들 간에 서로 혼합됨이 없이 정확히 추출될 수 있다.

[0068] 디스차징부(1215)는 타이밍 콘트롤러(11)로부터의 논 오버랩 신호(NOS)의 위상을 반전시키기 위한 인버터(INV)와, 공통 출력노드(cno)와 기저 저압원(GND) 사이에 접속되어 인버터(INV)의 출력 신호에 의해 제어되는 방전 스위치(T)를 포함한다. 방전 스위치(T)는 논 오버랩 신호(NOS)가 로우논리레벨로 공급되는 중첩 구간에서 턴 온되어 공통 출력노드(cno)에 잔류하는 전하 성분들을 방전(Discharging)함으로써, 연속적으로 출력되는 문턱전

압들간에 간섭을 제거한다. 이에 따라, 추출되는 문턱전압들( $V_{th1} \sim V_{thk}$ )의 정확도는 더욱 높아진다.

[0069] 상술한 바와 같이, 본 발명에 따른 유기발광다이오드 표시장치는 샘플&홀드 블럭내에 오버랩 방지부와 디스차징부를 포함함으로써, 연속적으로 추출되는 문턱전압들 간의 간섭을 제거하여 구동 TFT의 문턱전압을 정확하게 추출할 수 있다.

[0070] 나아가, 본 발명에 따른 유기발광다이오드 표시장치는 구동TFT의 문턱전압을 정확하게 추출하고, 이 추출된 문턱전압을 표시데이터에 반영함으로써 표시품위를 크게 향상시킬 수 있다.

[0071] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사항을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 도면의 간단한 설명

[0072] 도 1은 일반적인 유기발광다이오드 표시장치의 발광원리를 설명하기 위한 다이어그램.

[0073] 도 2는 종래 2T1C 구조의 유기발광다이오드 표시장치에 있어서 하나의 화소를 등가적으로 나타내는 회로도.

[0074] 도 3은 종래 구동 TFT의 문턱전압을 추출하는 방식을 나타내는 블럭도.

[0075] 도 4는 종래 구동 TFT의 문턱전압을 추출하는 방식에 사용되는 제어신호들의 파형과 그에 따른 A/D 컨버터의 출력 형태를 보여주는 도면.

[0076] 도 5는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 나타내는 블럭도.

[0077] 도 6은 도 5에 도시된 화소의 등가회로도.

[0078] 도 7은 화소에 인가되는 제어신호들과 데이터전압들, 및 구동전압들의 타이밍도.

[0079] 도 8은 도 5의 샘플&홀드 블럭을 상세히 보여주는 블럭도.

[0080] 도 9는 도 5의 샘플&홀드 블럭을 상세히 보여주는 회로도.

[0081] 도 10은 본 발명에 따라 문턱전압들을 추출하기 위한 제어신호들의 파형과 그에 따른 A/D 컨버터의 출력 형태를 보여주는 도면.

[0082] < 도면의 주요 부분에 대한 부호의 설명 >

[0083] 10 : 표시패널 11 : 타이밍 콘트롤러

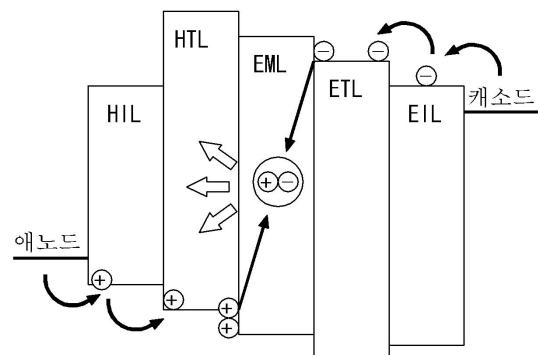
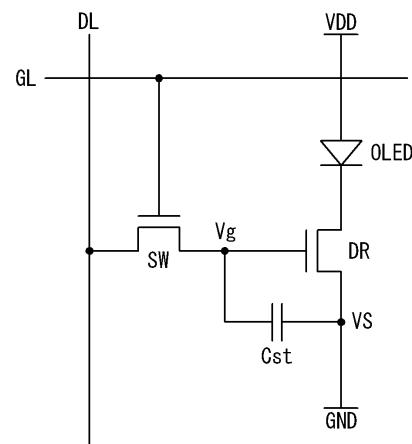
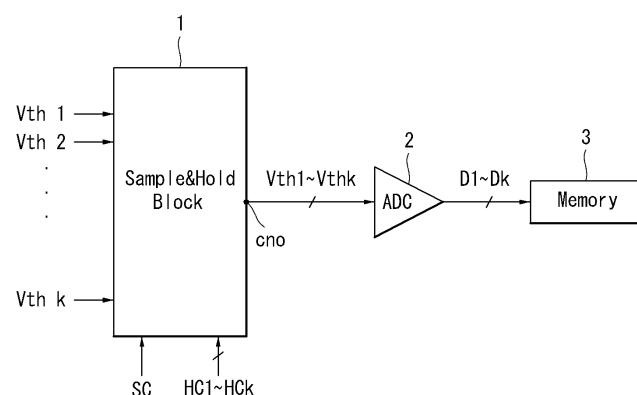
[0084] 12 : 데이터 드라이버 13 : 게이트 드라이버

[0085] 14 : A/D 컨버터 16 : 메모리

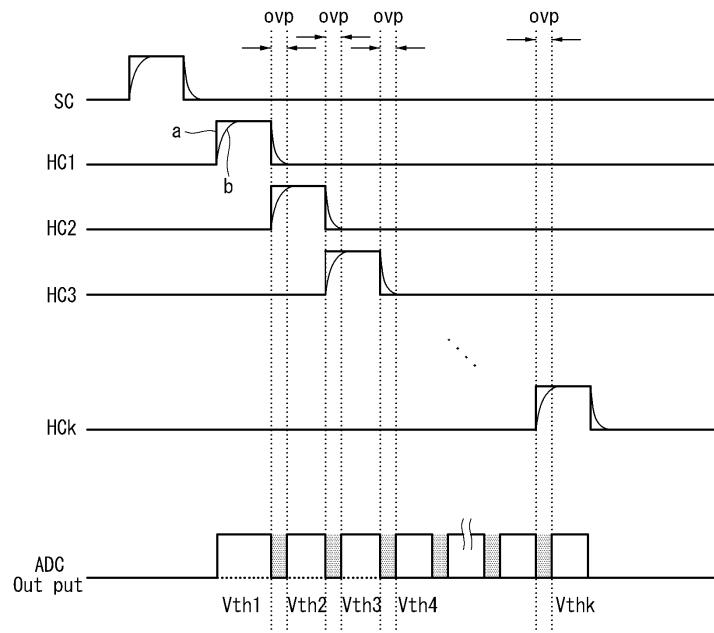
[0086] 121 : 샘플&홀드 블럭 1211 : 샘플링 스위치 어레이

[0087] 1212 : 홀딩 스위치 어레이 1213 : 오버랩 방지부

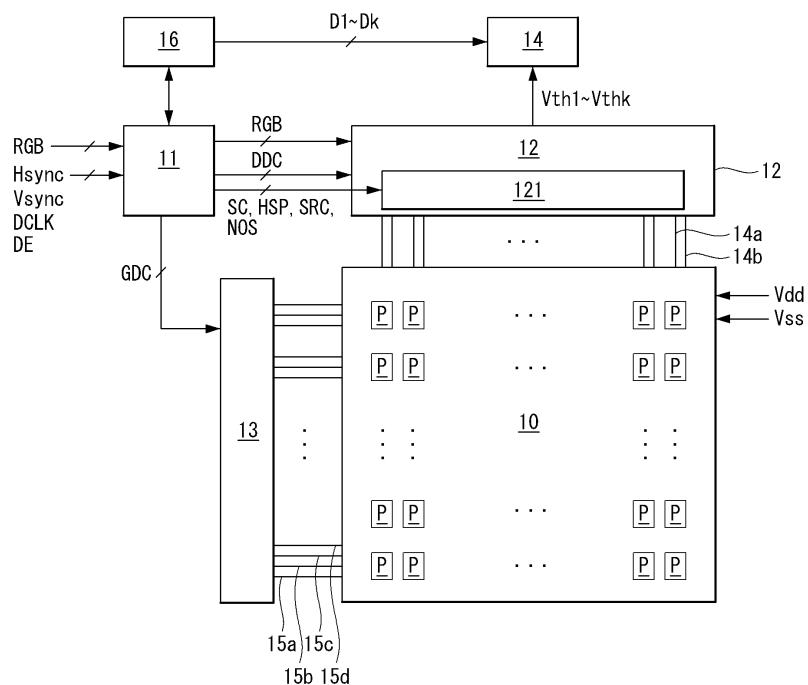
[0088] 1214 : 쉬프트 레지스터 어레이 1215 : 디스차징부

**도면****도면1****도면2****도면3**

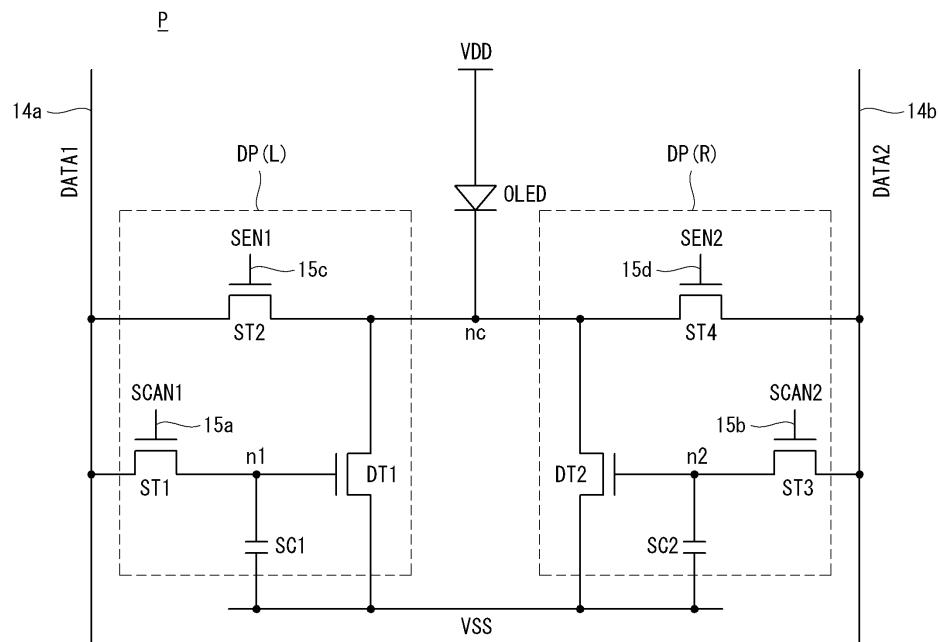
## 도면4



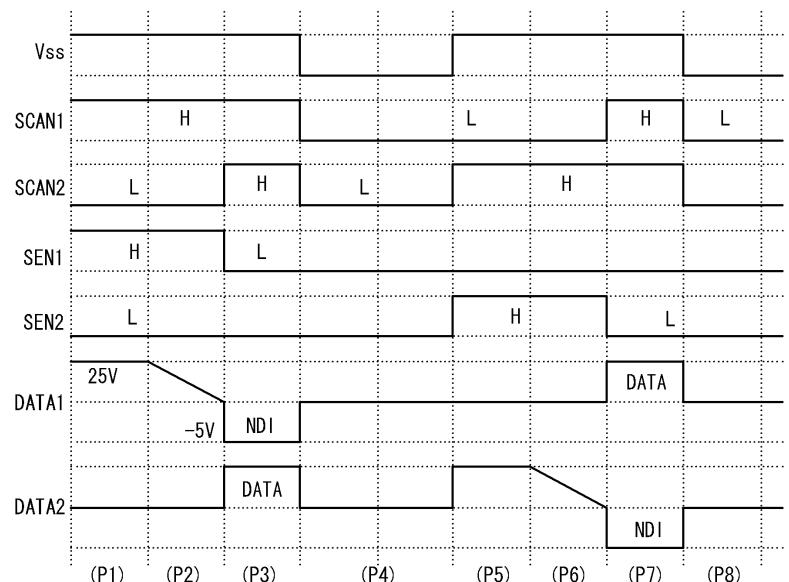
## 도면5

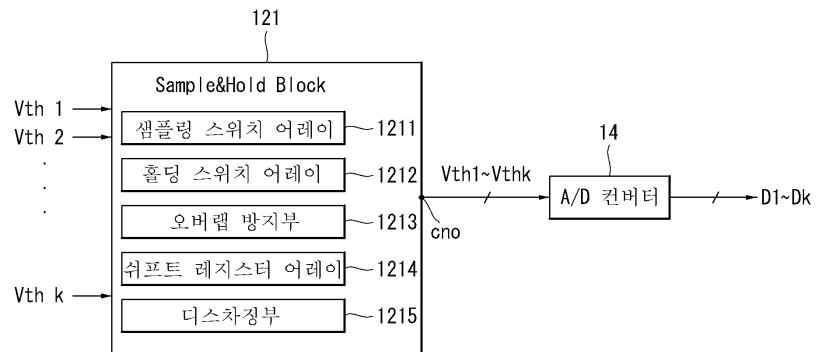
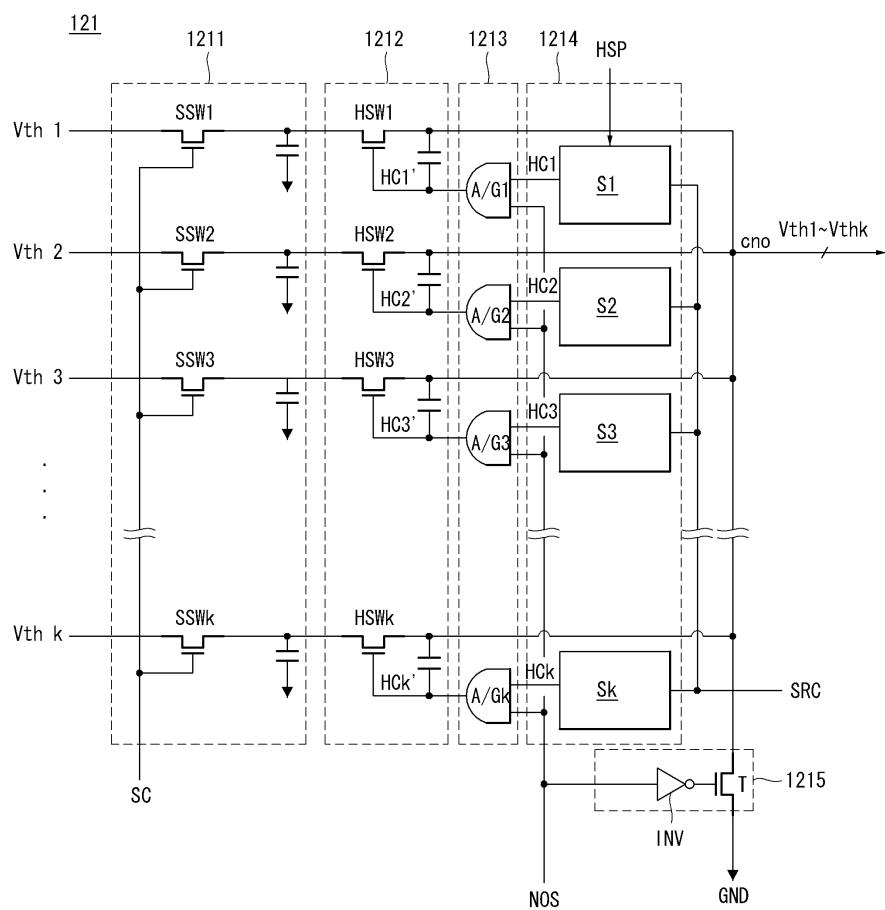


## 도면6

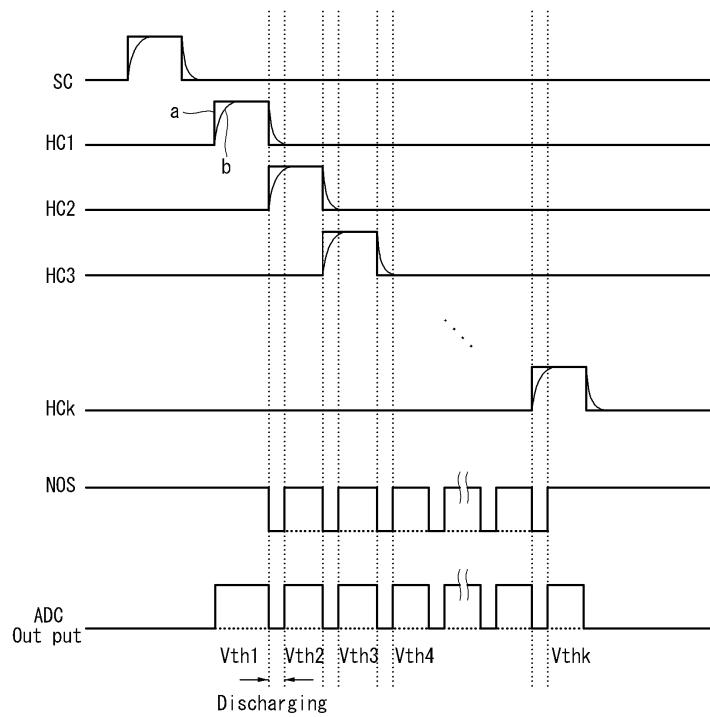


## 도면7



**도면8****도면9**

도면10



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020100039096A	公开(公告)日	2010-04-15
申请号	KR1020080098317	申请日	2008-10-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	WOO KYOUNG DON 우경돈 LEE JAE DO 이재도 HONG YOUNG JUN 홍영준 YU SANG HO 유상호		
发明人	우경돈 이재도 홍영준 유상호		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H01L51/50		
CPC分类号	G09G2320/0295 G09G2300/0852 G09G2320/043 G09G3/3275 G09G3/3233 G09G2310/0254 H01L29/7836		
其他公开文献	KR101329458B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明涉及一种能够改善显示质量的有机发光二极管显示装置。该OLED显示器包括多个数据线对和多个栅极线组的交叉且像素布置成带有一个驱动TFT和有机发光二极管，其每一个交叉区域显示面板;响应于顺序产生的保持时钟，以及公共输出节点的电位，顺序地提取像素的驱动TFT阈值电压并将其施加到公共输出节点。到基层;一种A/D转换器，用于将通过公共输出节点输入的模拟驱动TFT阈值电压转换为数字阈值电压;用于存储位置信息和数字阈值电压值的存储器;并且，定时控制器用于基于存储在存储器中的信息，使用与从外部输入的显示数据的位置信息对应的阈值电压来调整显示数据。

