



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0035838
(43) 공개일자 2009년04월13일

(51) Int. Cl.

H05B 33/26 (2006.01)

(21) 출원번호 10-2007-0100845

(22) 출원일자 2007년10월08일

심사청구일자 없음

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

김창남

서울 서초구 우면동 16번지 LG전자 전자기술원

(74) 대리인

특허법인로얄

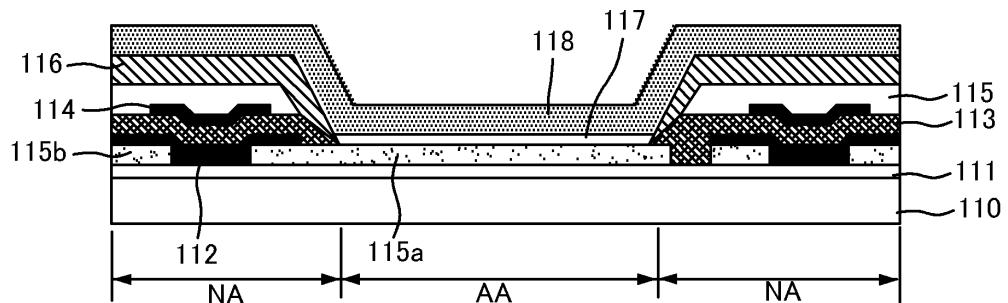
전체 청구항 수 : 총 8 항

(54) 유기전계발광표시장치

(57) 요 약

본 발명은, 발광영역과 비발광영역을 포함하는 기판; 비발광영역 상에 일부 위치하며 발광영역으로 연장된 제1전극과, 비발광영역 상에 위치하는 제2전극과, 케이트 전극을 포함하는 트랜지스터; 제1전극 상에 위치하는 유기발광층; 및 유기발광층 상에 위치하는 공통전극을 포함하는 유기전계발광표시장치를 제공한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

발광영역과 비발광영역을 포함하는 기판;

상기 비발광영역 상에 일부 위치하며 상기 발광영역으로 연장된 제1전극과, 상기 비발광영역 상에 위치하는 제2전극과, 게이트 전극을 포함하는 트랜지스터;

상기 제1전극 상에 위치하는 유기발광층; 및

상기 유기발광층 상에 위치하는 공통전극을 포함하는 유기전계발광표시장치.

청구항 2

발광영역과 비발광영역을 포함하는 기판;

상기 비발광영역 상에 일부 위치하며 상기 발광영역으로 연장된 제1전극;

상기 비발광영역 상에 위치하는 제2전극;

상기 제1전극과 상기 제2전극의 일정 영역을 포함하도록 위치하는 반도체층;

상기 반도체층, 상기 제1전극 및 상기 제2전극의 일정 영역을 포함하도록 위치하며 상기 발광영역 상에 위치하는 제1전극의 일부를 노출하는 충간절연막;

상기 반도체층과 대응하도록 상기 충간절연막 상에 위치하는 게이트 전극;

상기 게이트 전극 상에 위치하며 상기 발광영역 상에 위치하는 제1전극의 일부를 노출하는 게이트 절연막;

상기 제1전극 상에 위치하는 유기발광층; 및

상기 유기발광층 상에 위치하는 공통전극을 포함하는 유기전계발광표시장치.

청구항 3

발광영역과 비발광영역을 포함하는 기판;

상기 비발광영역 상에 위치하는 게이트 전극;

상기 게이트 전극 상에 위치하는 게이트 절연막;

상기 게이트 전극과 대응하도록 상기 게이트 절연막 상에 위치하는 반도체층;

상기 반도체층 상에 위치하며 상기 반도체층을 노출하는 콘택홀을 갖는 충간절연막;

상기 비발광영역 상에 일부 위치하며 상기 콘택홀을 통해 상기 반도체층과 연결되어 상기 발광영역으로 연장된 제1전극;

상기 비발광영역 상에 위치하며 상기 콘택홀을 통해 상기 반도체층과 연결된 제2전극;

상기 제1전극 및 상기 제2전극 상에서 상기 발광영역 상에 위치하는 제1전극의 일부를 노출하는 절연막;

상기 제1전극 상에 위치하는 유기발광층; 및

상기 유기발광층 상에 위치하는 공통전극을 포함하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 트랜지스터의 게이트는,

상기 소오스 또는 드레인 전극보다 상부에 위치하거나,

상기 소오스 또는 드레인 전극보다 하부에 위치하는 유기전계발광표시장치.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 제1전극 및 상기 제2전극은,
ITO, IZO, ITZO를 포함하는 도전성 전극인 유기전계발광표시장치.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 트랜지스터는,
a-Si TFT, poly-Si TFT, Oxide TFT, Organic TFT 중 하나인 유기전계발광표시장치.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 제1전극 또는 상기 제2전극 중 하나 이상에는,
금속성 보조전극이 위치하는 유기전계발광표시장치.

청구항 8

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 제1전극 또는 상기 제2전극 중 하나 이상은,
복층으로 위치하는 유기전계발광표시장치.

명세서**발명의 상세한 설명****기술 분야**

<1> 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

<2> 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

<3> 또한, 유기전계발광소자는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식과 배면발광(Bottom-Emission) 방식 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다. 여기서, 능동매트릭스형을 채택한 유기전계발광표시장치의 서브 퍽셀은 하나 이상의 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는데, 일반적으로 2T(트랜지스터)1C(커패시터) 이상의 회로 구조를 갖는다.

<4> 한편, 종래 유기전계발광표시장치는 기판 상에 트랜지스터, 커패시터 및 유기 발광다이오드 등을 형성하기 위해 증착공정과 식각공정을 병행하였다.

<5> 이러한 공정과정에서 사용되는 마스크의 수는 생산 수율과도 연관이 되어 있는바, 생산 수율 및 표시품질을 향상시키기 위해 공정과정을 줄일 수 있는 유기전계발광표시장치의 구조가 제안되어야 할 것이다.

발명의 내용**해결 하고자하는 과제**

<6> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 제조공정을 단순화시키면서 표시품질을 향상할 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

- <7> 상술한 과제 해결 수단으로 본 발명은, 발광영역과 비발광영역을 포함하는 기판; 비발광영역 상에 일부 위치하며 발광영역으로 연장된 제1전극과, 비발광영역 상에 위치하는 제2전극과, 게이트 전극을 포함하는 트랜지스터; 제1전극 상에 위치하는 유기발광층; 및 유기발광층 상에 위치하는 공통전극을 포함하는 유기전계발광표시장치를 제공한다.
- <8> 한편, 다른 측면에서 본 발명은, 발광영역과 비발광영역을 포함하는 기판; 비발광영역 상에 일부 위치하며 발광영역으로 연장된 제1전극; 비발광영역 상에 위치하는 제2전극; 제1전극과 제2전극의 일정 영역을 포함하도록 위치하는 반도체층; 반도체층, 제1전극 및 제2전극의 일정 영역을 포함하도록 위치하며 발광영역 상에 위치하는 제1전극의 일부를 노출하는 충간절연막; 반도체층과 대응하도록 충간절연막 상에 위치하는 게이트 전극; 게이트 전극 상에 위치하며 발광영역 상에 위치하는 제1전극의 일부를 노출하는 게이트 절연막; 제1전극 상에 위치하는 유기발광층; 및 유기발광층 상에 위치하는 공통전극을 포함하는 유기전계발광표시장치를 제공한다.
- <9> 한편, 또 다른 측면에서 본 발명은, 발광영역과 비발광영역을 포함하는 기판; 비발광영역 상에 위치하는 게이트 전극; 게이트 전극 상에 위치하는 게이트 절연막; 게이트 전극과 대응하도록 게이트 절연막 상에 위치하는 반도체층; 반도체층 상에 위치하며 반도체층을 노출하는 콘택홀을 갖는 충간절연막; 비발광영역 상에 일부 위치하며 콘택홀을 통해 반도체층과 연결되어 발광영역으로 연장된 제1전극; 비발광영역 상에 위치하며 콘택홀을 통해 반도체층과 연결된 제2전극; 제1전극 및 제2전극 상에서 발광영역 상에 위치하는 제1전극의 일부를 노출하는 절연막; 제1전극 상에 위치하는 유기발광층; 및 유기발광층 상에 위치하는 공통전극을 포함하는 유기전계발광표시장치를 제공한다.
- <10> 트랜지스터의 게이트는, 소오스 또는 드레인 전극보다 상부에 위치하거나, 소오스 또는 드레인 전극보다 하부에 위치할 수 있다.
- <11> 제1전극 및 상기 제2전극은, ITO, IZO, ITZO를 포함하는 도전성 전극일 수 있다.
- <12> 트랜지스터는, a-Si TFT, poly-Si TFT, Oxide TFT, Organic TFT 중 하나일 수 있다.
- <13> 금속성 보조전극이 위치할 수 있다.
- <14> 제1전극 또는 상기 제2전극 중 하나 이상은, 복층으로 위치할 수 있다.

효과

- <15> 본 발명은, 제조공정을 단순화시키면서 표시품질을 향상할 수 있는 유기전계발광표시장치를 제공하는 효과를 나타낸다.

발명의 실시를 위한 구체적인 내용

- <16> 발명의 실시를 위한 구체적인 내용은 이하의 첨부된 도면을 참조하여 하기와 같이 설명한다.
- <17> 도 1은 유기전계발광표시장치의 서브 팩셀 회로 구성의 일 예시도이다.
- <18> 도 1에 도시된 바와 같이, 도 1에 도시된 서브 팩셀 회로는, 스캔 배선(SCAN)에 게이트가 연결되고 데이터 배선 (DATA)에 제1전극이 연결된 제1트랜지스터(T1)를 포함할 수 있다. 또한, 제1트랜지스터(T1)의 제2전극에 게이트가 연결되고 제2전원 배선(GND)에 제2전극이 연결된 제2트랜지스터(T2)를 포함할 수 있다. 또한, 제2트랜지스터 (T2)의 게이트에 일단이 연결되고 제2전원 배선(GND)에 타단이 연결된 커패시터(Cst)를 포함할 수 있다. 또한, 제1전원 배선(VDD)에 제1전극(예: 애노드)이 연결되고 제2트랜지스터(T2)의 제1전극에 제2전극(예: 캐소드)이 연결된 유기 발광다이오드(D)를 포함할 수 있다.
- <19> 이와 같은 서브 팩셀 회로는 스캔 배선(SCAN)을 통해 스캔 신호가 공급되면 제1트랜지스터(T1)가 터 온될 수 있다. 그리고 데이터 배선(DATA)을 통해 데이터 신호가 공급되면 터 온된 제1트랜지스터(T1)를 통해 커패시터 (Cst)에 데이터 전압이 저장될 수 있다. 그러면, 커패시터(Cst)에 저장된 데이터 전압에 의해 제2트랜지스터 (T2)가 터온 됨과 아울러, 제1전원 배선(VDD)에 연결된 유기 발광다이오드(D)는 발광을 할 수 있다.
- <20> 한편, 도 1에 도시된 서브 팩셀 회로 구성은 일 예시도 일뿐 이에 한정되지 않고, 제1 및 제2트랜지스터(T1, T2)를 보상하는 보상트랜지스터 등이 더 추가되어 다른 회로 구성을 가질 수도 있다.

- <21> 이하, 첨부된 도면을 참조하여 유기전계발광표시장치의 다양한 서브 팩셀 구조를 더욱 자세히 설명한다.
- <22> 도 2는 본 발명의 제1실시예에 따른 서브 팩셀 구조도이고, 도 3 내지 도 5는 제1실시예의 다른 실시예에 따른 서브 팩셀 구조도이다.
- <23> 먼저, 도 2를 참조하면, 발광영역(AA)과 비발광영역(NA)을 포함하는 기판(110)이 위치할 수 있다. 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.
- <24> 기판(110) 상에는 베퍼층(111)이 위치할 수 있다. 베퍼층(111)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성할 수 있다. 베퍼층(111)은 실리콘 산화물(SiO_2), 실리콘 질화물(SiNx) 등을 사용할 수 있다.
- <25> 베퍼층(111) 상에는 기판(110) 상에 정의된 비발광영역(NA) 상에 일부 위치하며 발광영역(AA)으로 연장된 제1전극(115a)이 위치할 수 있다. 그리고 베퍼층(111) 상에는 기판(110) 상에 정의된 비발광영역(NA) 상에 위치하는 제2전극(115b)이 위치할 수 있다. 제1 및 제2전극(115a, 115b)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 산화물 도전체로 형성될 수 있다. 여기서, 제1전극(115a)은 트랜지스터의 소오스 전극 또는 드레인 전극은 물론 유기 발광다이오드의 애노드 또는 캐소드가 될 수 있다. 그리고 제2전극(115b)은 트랜지스터의 소오스 전극 또는 드레인 전극이 될 수 있다.
- <26> 한편, 도 3 내지 도 5를 참조하면, 베퍼층(111) 상에는 기판(110) 상에 정의된 비발광영역(NA) 상에 금속성 보조전극(115c, 115d)이 위치할 수 있다.
- <27> 먼저, 도 3은 금속성 보조전극(115c, 115d)을 제1 및 제2전극(115a, 115b)의 상부에 위치시킨 것을 나타낸다.
- <28> 다음, 도 4는 금속성 보조전극(115c, 115d)을 제1 및 제2전극(115a, 115b)의 g하부에 위치시킨 것을 나타낸다.
- <29> 다음, 도 5는 금속성 보조전극(115c, 115d)을 제1 및 제2전극(115a, 115b)의 하부 및 상부에 위치시고 제1전극(115a)을 2층 구조로 형성한 것을 나타낸다.
- <30> 금속성 보조전극(115c, 115d)은 알루미늄(Al), 알미네리움(Alnd), 몰리브덴(Mo), 크롬(Cr), 금(Au), 은(Ag), 구리(Cu), 타이타늄(Ti) 또는 이들의 합금 예를 들면, 타이타늄 나이트라이드(TiN), 몰리브덴 나이트라이드(MoN) 또는 크롬 나이트라이드(CrN) 등을 포함하여 형성될 수 있다.
- <31> 이와 같은 금속성 보조전극(115c, 115d)은 제1전극(115a) 및 제2전극(115b)의 배선 저항을 낮추어 전류 또는 전압 전송효율을 높일 수 있다.
- <32> 한편, 제1전극 및 제2전극(115a, 115b) 상에는 반도체층(112)이 위치할 수 있다. 반도체층(112)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘 등을 포함할 수 있다. 여기서 도시하지는 않았지만, 반도체층(112)은 채널 영역과 제1 및 제2전극(115a, 115b)에 전기적으로 연결된 소오스 영역 및 드레인 영역을 포함할 수 있다.
- <33> 반도체층(112) 상에는 제1전극(115a) 및 제2전극(115b)의 일정 영역을 포함하도록 위치하며 발광영역(AA) 상에 위치하는 제1전극(115a)의 일부를 노출하는 충간절연막(113)이 위치할 수 있다. 충간절연막(113)이 무기막인 경우 실리콘 산화물(SiO_2), 실리콘 질화물(SiNx) 또는 SOG(silicate on glass)를 포함할 수 있다. 반면, 유기막인 경우 아크릴계 수지, 폴리이미드계 수지 또는 벤조사이클로부텐(benzocyclobutene, BCB)계 수지를 포함할 수 있다.
- <34> 충간절연막(113) 상에는 반도체층(112)의 일정 영역인 채널 영역에 대응되도록 게이트 전극(114)이 위치할 수 있다. 게이트 전극(114)은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텉스텐(W), 텉스텐 실리사이드(WSi_2) 중 어느 하나를 포함할 수 있다.
- <35> 게이트 전극(114) 상에는 발광영역(AA) 상에 위치하는 제1전극(115a)의 일부를 노출하는 게이트 절연막(115)이 위치할 수 있다. 게이트 절연막(115)은 실리콘 산화물(SiO_2) 또는 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.
- <36> 한편, 게이트 절연막(115) 상에는 발광영역(AA) 상에 위치하는 제1전극(115a)의 일부를 노출하는 평탄화막(116)이 위치할 수 있다. 평탄화막(116)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는

폴리이미드 수지 등의 유기물을 포함할 수 있다.

- <37> 이상 기판(110) 상에 위치하는 트랜지스터는 제1전극(115a), 제2전극(115b) 및 게이트 전극(114)을 포함할 수 있다.(단, 커패시터의 구조는 생략되었음) 위와 같은 트랜지스터가 다수 위치하는 트랜지스터 어레이에는 이하의 유기 발광다이오드와 전기적으로 연결될 수 있다. 여기서, 트랜지스터는, a-Si 트랜지스터, poly-Si 트랜지스터, Oxide 트랜지스터, Organic 트랜지스터 중 하나일 수 있다.
- <38> 노출된 제1전극(115a) 상에는 유기발광층(117)이 위치하고 유기발광층(178) 상에는 공통전극(118)이 위치할 수 있다. 공통전극(118)은 유기발광층(118)에 전자를 공급하는 캐소드일 수 있으며, 마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금을 포함할 수 있다.
- <39> 이상 기판(110) 상에 위치하는 트랜지스터의 제1전극(115a)은 유기 발광다이오드의 애노드 또는 캐소드로 사용할 수 있다.
- <40> 이에 따라, 본 발명의 제1실시예에 따른 유기전계발광표시장치는 트랜지스터의 제1전극(115a) 형성 후 유기 발광다이오드의 애노드 또는 캐소드를 따로 형성하기 위해 메탈 마스크를 통한 증착 공정을 제외할 수 있어 공정 수율이 향상될 수 있다.
- <41> 도 6은 본 발명의 제2실시예에 따른 서브 팩셀 구조도이다.
- <42> 도 6을 참조하면, 발광영역(AA)과 비발광영역(NA)을 포함하는 기판(110)이 위치할 수 있다. 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.
- <43> 기판(110) 상에는 베퍼층(111)이 위치할 수 있다. 베퍼층(111)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성할 수 있다. 베퍼층(111)은 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 등을 사용할 수 있다.
- <44> 베퍼층(111) 상에는 기판(110) 상에 정의된 비발광영역(NA) 상에 게이트 전극(114)이 위치할 수 있다. 게이트 전극(114)은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텉스텐(W), 텉스텐 실리사이드(WSi₂) 중 어느 하나를 포함할 수 있다.
- <45> 게이트 전극(114) 상에는 게이트 절연막(113)이 위치할 수 있다. 게이트 절연막(113)은 실리콘 산화물(SiO₂) 또는 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.
- <46> 게이트 절연막(113) 상에는 게이트 전극(114)과 대응하도록 반도체층(112)이 위치할 수 있다. 반도체층(112)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘 등을 포함할 수 있다. 여기서 도시하지는 않았지만, 반도체층(112)은 채널 영역과 제1 및 제2전극(115a, 115b)에 전기적으로 연결되는 소오스 영역 및 드레인 영역을 포함할 수 있다.
- <47> 반도체층(112) 상에는 반도체층(112)을 노출하는 콘택홀을 갖는 층간절연막(115)이 위치할 수 있다. 층간절연막(115)이 무기막인 경우 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 또는 SOG(silicate on glass)를 포함할 수 있다. 반면, 유기막인 경우 아크릴계 수지, 폴리이미드계 수지 또는 벤조사이클로부텐(benzocyclobutene, BCB)계 수지를 포함할 수 있다.
- <48> 층간절연막(115) 상에는 비발광영역(NA) 상에 일부 위치하며 콘택홀을 통해 반도체층(112)과 연결되어 발광영역(AA)으로 연장된 제1전극(115a)이 위치할 수 있다. 또한, 층간절연막(115) 상에는 비발광영역(NA) 상에 위치하며 콘택홀을 통해 반도체층(112)과 연결된 제2전극(115b)이 위치할 수 있다.
- <49> 제1 및 제2전극(115a, 115b)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 산화물 도전체로 형성될 수 있다. 여기서, 제1전극(115a)은 트랜지스터의 소오스 전극 또는 드레인 전극은 물론 유기 발광다이오드의 애노드 또는 캐소드가 될 수 있다. 그리고 제2전극(115b)은 트랜지스터의 소오스 전극 또는 드레인 전극이 될 수 있다.
- <50> 한편, 도시되어 있진 않지만, 제2실시예도 제1실시예와 마찬가지로, 제1전극(115a) 및 제2전극(115b)에 접촉된 금속성 보조전극이 위치할 수 있다. 이에 따라, 금속성 보조전극은 제1 및 제2전극(115a, 115b)의 상부 또는 하부에 위치할 수 있다. 또한, 금속성 보조전극은 제1 및 제2전극(115a, 115b)의 하부 및 상부에 위치시고 제1전극

(115a)을 2층 구조로 형성할 수 있다.

<51> 이와 같은 금속성 보조전극을 형성하면, 제1전극(115a) 및 제2전극(115b)의 배선 저항을 낮추어 전류 또는 전압 전송효율을 높일 수 있다.

<52> 제1전극(115a) 및 제2전극(115b) 상에는 발광영역(AA) 상에 위치하는 제1전극(115a)의 일부를 노출하는 절연막(116)이 위치할 수 있다. 절연막(116)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.

<53> 이상 기판(110) 상에 위치하는 트랜지스터는 제1전극(115a), 제2전극(115b) 및 게이트 전극(114)을 포함할 수 있다.(단, 커패시터의 구조는 생략되었음) 위와 같은 트랜지스터가 다수 위치하는 트랜지스터 어레이에는 이하의 유기 발광다이오드와 전기적으로 연결될 수 있다. 여기서, 트랜지스터는, a-Si 트랜지스터, poly-Si 트랜지스터, Oxide 트랜지스터, Organic 트랜지스터 중 하나일 수 있다.

<54> 노출된 제1전극(115a) 상에는 유기발광층(117)이 위치할 수 있다. 그리고 유기발광층(117) 상에는 공통전극(118)이 위치할 수 있다. 공통전극(118)은 유기발광층(117)에 전자를 공급하는 캐소드일 수 있으며, 마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금을 포함할 수 있다.

<55> 이상 기판(110) 상에 위치하는 트랜지스터의 제1전극(115a)은 유기 발광다이오드의 애노드 또는 캐소드로 사용할 수 있다.

<56> 이에 따라, 본 발명의 제2실시예에 따른 유기전계발광표시장치는 트랜지스터의 제1전극(115a) 형성 후 유기 발광다이오드의 애노드 또는 캐소드를 따로 형성하기 위해 메탈 마스크를 통한 증착 공정을 제외할 수 있어 공정 수율이 향상될 수 있다.

<57> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

<58> 도 1은 유기전계발광표시장치의 서브 픽셀 회로 구성의 일 예시도.

<59> 도 2는 본 발명의 제1실시예에 따른 서브 픽셀 구조도.

<60> 도 3 내지 도 5는 제1실시예의 다른 실시예에 따른 서브 픽셀 구조도.

<61> 도 6은 본 발명의 제2실시예에 따른 서브 픽셀 구조도.

<62> <도면의 주요 부분에 관한 부호의 설명>

<63> 110: 기판 111: 베파층

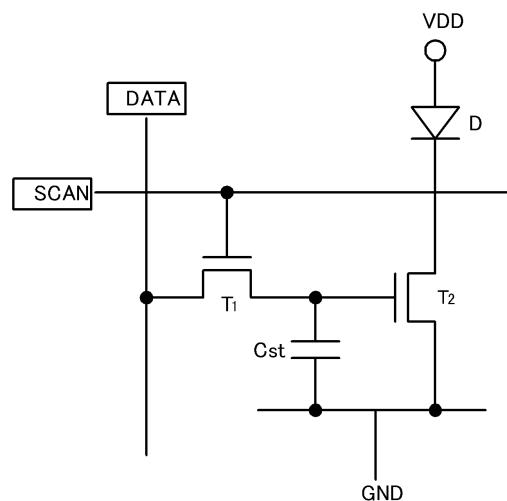
<64> 112: 반도체층 114: 게이트 전극

<65> 115a: 제1전극 115b: 제2전극

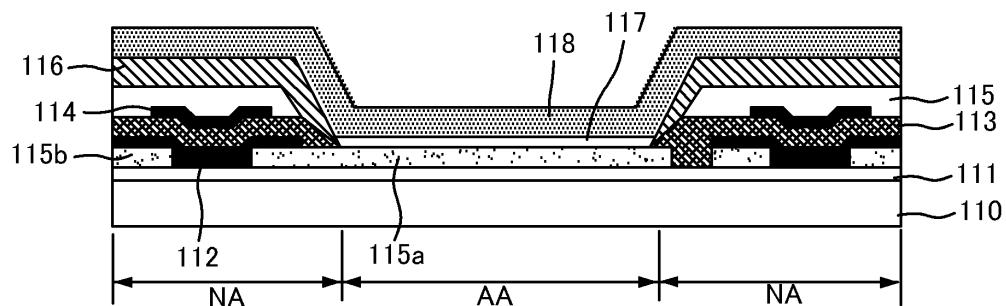
<66> 117: 유기발광층 118: 공통전극

도면

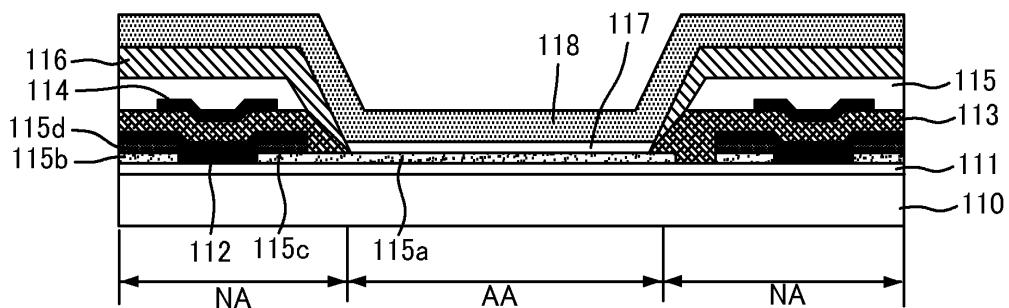
도면1



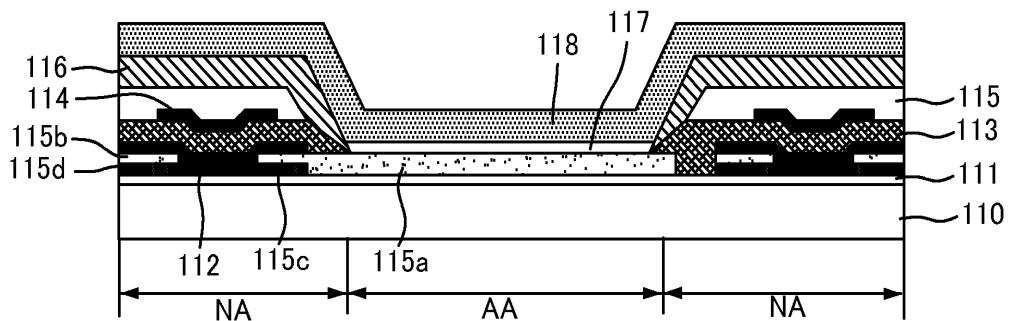
도면2



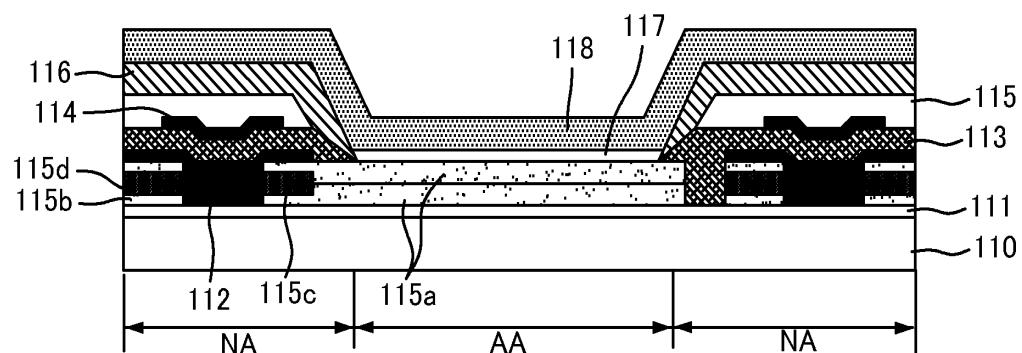
도면3



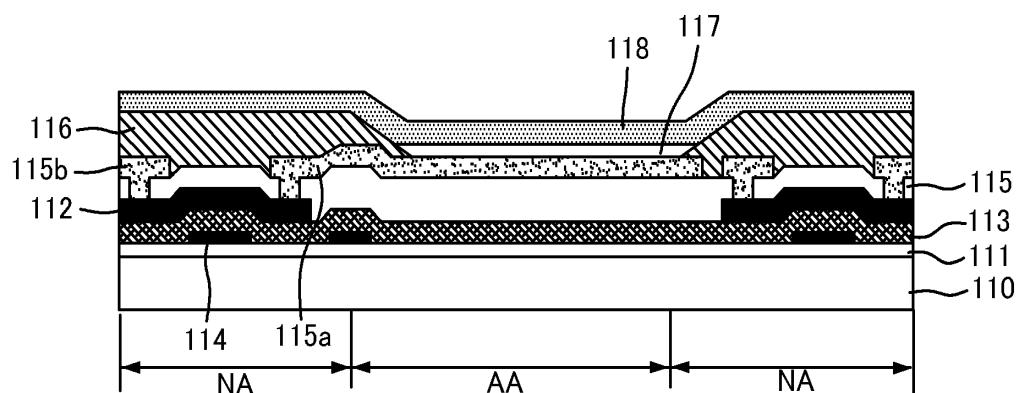
도면4



도면5



도면6



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020090035838A	公开(公告)日	2009-04-13
申请号	KR1020070100845	申请日	2007-10-08
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KIM CHANG NAM		
发明人	KIM, CHANG NAM		
IPC分类号	H05B33/26		
CPC分类号	H01L27/3248 H01L27/3258 H01L27/3274 H01L2924/12044		
外部链接	Espacenet		

摘要(译)

本发明提供一种发光装置，包括：基板，包括发光区域和非发光区域；一种晶体管，包括：部分位于非发光区域上并延伸至发光区域的第一电极；位于非发光区域上的第二电极；以及栅电极；有机发光层设置在第一电极上；并且公共电极设置在有机发光层上。

