

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H05B 33/08

(11) 공개번호 10-2005-0104955
(43) 공개일자 2005년11월03일

(21) 출원번호 10-2004-0030427
(22) 출원일자 2004년04월30일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 정관욱
경기도수원시팔달구영통동벽적골주공아파트911동1502호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 유기 발광 표시 장치 및 이의 제조 방법

요약

회도 특성을 향상시킨 전기 발광 표시 장치 및 이의 제조 방법이 개시되어 있다. 전기 발광 표시 장치는 제1 박막 트랜지스터, 제2 박막 트랜지스터, 유기 발광 소자를 포함하고 있으며, 제1 박막 트랜지스터와 제2 박막 트랜지스터를 통해 유기 발광 소자에 구동 전류를 인가하여 발생한 적색, 녹색, 및 청색 광에 의해 영상을 표시한다. 이 때, 제1 박막 트랜지스터와 제2 박막 트랜지스터의 게이트 절연막 두께를 다르게 함으로써, 개구율 감소 없이 충분한 구동 전류를 유기 발광 소자에 공급할 수 있으며, 회도 특성을 향상시킬 수 있다.

대표도

도 2

색인어

전기 발광 표시 장치, 게이트 절연막

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 전기 발광 표시 장치를 도시한 개념도이다.

도 2는 도 1의 전기 발광 표시 장치를 도시한 배치도이다.

도 3은 도 2의 전기 발광 표시 장치를 III-III선을 따라 절단한 단면도이다.

도 4는 본 발명에 의하여 제1 마스크로 제1 게이트 전극 및 제2 게이트 전극을 형성하는 것을 도시한 배치도이다.

도 5는 도 4의 유기 발광 표시 장치를 V-V선을 따라 절단한 단면도이다.

도 6, 도 7 및 도 8은 본 발명의 실시예에 따라 게이트 절연막을 형성하는 방법을 도시한 단면도이다.

도 9는 본 발명의 한 실시예에 따라 제2 마스크로 제1, 제2 소스 전극 및 제1, 제2 드레인 전극을 형성한 것을 도시한 배치도이다.

도 10은 도 9의 유기 발광 표시 장치를 X-X선을 따라 절단한 단면도이다.

도 11은 본 발명의 한 실시예에 따라 제3 마스크로 제1 드레인 전극 및 제2 드레인 전극에 콘택홀을 형성한 것을 도시한 배치도이다.

도 12는 도 11의 유기 발광 표시 장치를 XII-XII선을 따라 절단한 단면도이다.

도 13은 본 발명의 한 실시예에 따라 제4 마스크로 연결 전극 및 화소 전극을 형성한 것을 도시한 배치도이다.

도 14는 도 13의 유기 발광 표시 장치를 XIV-XIV선을 따라 절단한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기 발광 표시 장치의 박막 트랜지스터, 이를 이용한 전기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

최근 들어, 표시 장치(display device)의 역할은 갈수록 중요해지며, 각종 전자 디스플레이 장치가 다양한 산업 분야에 광범위하게 사용되고 있다.

일반적으로 디스플레이 장치는 전기적 신호 형태를 갖는 정보를 광학 이미지 형태로 인간에게 전달하는 장치로, 인간과 전자 기기를 연결하는 인터페이스 역할을 수행한다.

이러한 디스플레이 장치에 있어서, 정보가 발광 현상에 의해 표시되는 경우에는 발광형 표시 장치(emissive display device)라고 하며, 반사, 산란, 간섭 현상 등에 의해 광 변조를 표시되는 경우에는 수광형 표시 장치(non-emissive display device)라 한다. 발광형 표시 장치로는 음극선관(cathode ray tube, CRT), 플라스마 디스플레이 패널(plasma display panel, PDP), 발광 다이오드(light emitting diode, LED) 및 유기 발광 표시 장치(organic light emitting display, OLED) 등을 들 수 있다. 또한, 수동형 표시 장치는 액정 표시 장치(liquid crystal display, LCD), 전기 화학 표시 장치(electrochemical display, ECD) 및 전기 영동 표시 장치(electrophoretic image display, EPID) 등이 해당된다.

일반적으로, 유기 발광 표시 장치는 두 개의 전극 사이에 유기 발광층을 형성하고, 2 개의 전극으로부터 각각 전자(electron)와 정공(hole)을 유기 발광층 내로 주입시켜 전자와 정공의 결합에 따른 여기자(exciton)를 생성하고, 이 여기자가 여기 상태에서 기저 상태로 떨어질 때 광이 발생하는 원리를 이용한 소자이다.

유기 발광 표시 장치는 능동 행렬형 표시 장치와 수동 행렬형 표시 장치에 모두 적용할 수 있다. 능동 행렬형 유기 발광 표시 장치는 박막 트랜지스터와 같은 스위칭 소자들에 의해 복수개의 화소들에 대응하는 유기 발광 소자들을 서로 독립적으로 구동하는 표시 장치이다.

종래 유기 발광 표시 장치는 순방향 전류를 이용하여 영상을 표시하는 전류 구동 소자이기 때문에 종래 유기 발광 표시 장치에 이용되는 박막 트랜지스터들은 대부분 비정질 규소보다 전기적 특성이 우수한 다결정 규소로 반도체층(또는 채널층)을 형성하거나 LDD(lightly doped drain) 구조를 채용하고 있다.

그러나, 종래 유기 발광 표시 장치에 이용되는 박막 트랜지스터들의 반도체층을 다결정 규소 또는 LDD 구조로 형성할 경우, 박막 트랜지스터의 구조가 복잡해지고, 제조 공정이 복잡하며, 제조에 소요되는 시간이 길어지고, 구조가 복잡해짐에 따라 불량 발생 빈도가 크게 증가되는 등 다양한 문제점이 있다.

이와 같은 문제점을 해결하기 위해서 최근에는 다결정 규소 또는 LDD 구조 대신 유기 발광 표시 장치를 낮은 공정 온도, 예를 들면, 유리 기판의 용융 온도보다 낮은 온도에서 공정이 진행되는 비정질 규소 및 비정질 규소에 도펀트(dopant)를 주입한 n^+ 비정질 규소를 사용하여 형성하는 기술이 개발되고 있다.

그러나, 비정질 규소 및 n^+ 비정질 규소를 이용할 경우, 비정질 규소의 전자 이동도가 작아 유기 전기 발광 소자를 발광시키기 위해 필요한 구동 전류 공급이 어려워 휘도를 증가시키는데 한계를 갖는다. 이를 해결하기 위해 박막 트랜지스터의 크기를 크게 하는 방법을 주로 사용하고 있으나, 이는 개구율을 감소시키는 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

따라서, 이와 같은 종래 문제점을 해결하기 위한 본 발명의 제1 기술적 과제는 개구율을 감소시키지 않으면서 휘도를 증가시킬 수 있는 구동 전류를 공급하는 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 제공한다.

또한, 본 발명의 제2 기술적 과제는 상기 유기 발광 표시 장치의 제조 방법을 제공한다.

발명의 구성 및 작용

이와 같은 본 발명의 제1 목적을 구현하기 위해, 본 발명은 제1 소스 전극으로 인가된 데이터 신호를 제1 게이트 전극에 인가된 전압에 의하여 제1 드레인 전극으로 출력하는 제1 반도체 패턴, 제1 게이트 전극과 제1 반도체 패턴을 전기적으로 절연시키기 위한 제1 게이트 절연막으로 이루어진 1 박막 트랜지스터, 제1 박막 트랜지스터로부터 출력된 데이터 신호의 레벨에 대응하여 제2 소스 전극으로 인가된 제1 구동전류의 전류량을 제어하여 제2 드레인 전극으로 제2 구동전류를 출력하는 제2 반도체 패턴과 제2 게이트 전극과 제2 반도체 패턴을 전기적으로 절연시키고 제1 게이트 절연막의 두께보다 얇은 두께를 갖는 제2 게이트 절연막으로 이루어진 제2 박막 트랜지스터 및 제2 구동전류가 인가되는 화소 전극, 화소 전극의 상면에 배치된 유기 발광층 및 유기 발광층의 상면에 배치된 대향 전극을 포함하는 유기 발광 표시 장치를 제공한다.

또한, 본 발명의 제2 목적을 구현하기 위해, 본 발명은 기판에 제1 게이트 전극 및 제2 게이트 전극을 형성하는 단계, 기판의 전면적에 걸쳐 제1 절연층을 형성하는 단계, 제1 절연층을 부분적으로 제거하여 제1 게이트 전극 영역에만 남기는 단계, 제1 게이트 전극 영역에만 제1 절연층이 형성된 기판의 전면적에 걸쳐 제2 절연층을 형성하여 제1 게이트 절연막 및 제1 게이트 절연막의 두께보다 얇은 제2 게이트 절연막을 형성하는 단계, 제1 게이트 절연막 및 제2 게이트 절연막 상에 제1 게이트 전극과 대응하는 곳에 제1 반도체 패턴, 제2 게이트 전극과 대응하는 곳에 제2 반도체 패턴을 형성하는 단계, 제1 반도체 패턴에 연결되어 있는 제1 소스 전극, 제1 반도체 패턴을 일부 노출시키도록 제1 소스 전극과 일정 간격 이격되어 있는 제1 드레인 전극을 형성하는 단계, 제2 반도체 패턴에 연결되어 있는 제2 소스 전극, 제2 반도체 패턴을 일부 노출시키도록 제2 소스 전극과 일정 간격 이격되어 있는 제2 드레인 전극을 형성하는 단계, 제2 드레인 전극에 연결된 유기 발광 소자를 형성하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법을 제공한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다. 도 2는 도 1의 유기 발광 표시 장치의 배치도이고, 도 3은 도 2의 유기 발광 표시 장치를 A-A선을 따라 절단한 단면도이다.

도 1 내지 도 3을 참조하면, 유기 발광 표시 장치(200)는 기판(10) 상에 형성된다. 유기 발광 표시 장치(200)는 복수의 게이트 버스선(gate bus line)(GBL), 복수의 데이터 버스선(data bus line)(DBL), 복수의 전력 공급선(power supplying line)(PSL), 및 복수의 화소를 포함한다. 각 화소는 스위칭 트랜지스터(switching transistor)(TFT1), 구동 트랜지스터(driving transistor)(TFT2), 유지 축전기(storage capacitor)(Cst), 유기 발광 소자(organic electro luminescence element)(EL)를 포함한다.

게이트 버스선(GBL)은 도 1에 도시한 좌표계의 제1 방향으로 뻗으며, 전기적 저항이 낮은 알루미늄, 알루미늄 합금 등으로 형성된다. 게이트 버스선(GBL)의 수효는 제품에 따라 다른데, 예를 들어, 전색(全色, full color) 표시를 수행하고, 해상도가 1024×768 인 유기 발광 표시 장치(200)는 768개의 게이트 버스선(GBL)을 갖는다. 각 게이트 버스선(GBL)은 제1 방향으로 뻗고, 복수개가 제2 방향으로 평행하게 배치된다. 제2 방향은 제1 방향에 대하여 실질적으로 수직하다. 한편, 게

이트 버스선(GBL)은 게이트 전극부(GE)를 더 포함한다. 게이트 전극부(GE)는 게이트 버스선(GBL)으로부터 제2 방향으로 연장된다. 게이트 전극부(GE)는 전색 표시를 수행하고 해상도가 1024×768 인 유기 발광 표시 장치(200)에서 1024×3 개가 형성된다.

데이터 버스선(DBL)은 도 1에 도시한 제2 방향으로 뻗으며 전기적 저항이 낮은 알루미늄, 알루미늄 합금 등으로 형성된다. 데이터 버스선(DBL)의 수효는 제품에 따라 다른데, 예를 들어, 전색 표시를 수행하고, 해상도가 1024×768 인 유기 발광 표시 장치(200)는 1024×3 개의 데이터 버스선(DBL)을 갖는다. 각 데이터 버스선(DBL)은 제2 방향으로 뻗고, 복수개가 제1 방향으로 평행하게 배치된다. 한편, 데이터 버스선(DBL)은 소스 전극부(SE)를 더 포함한다. 소스 전극부(SE)는 데이터 버스선(DBL)으로부터 제1 방향으로 연장된다. 소스 전극부(SE)는 전색 표시를 수행하고 해상도가 1024×768 인 유기 발광 표시 장치에서 768개가 형성된다.

전력 공급선(PSL)은 각 데이터 버스선(DBL)과 인접한 곳에 형성된다. 전력 공급선(PSL)은 데이터 버스선(DBL)과 동일하게 제2 방향으로 연장된다. 전력 공급선(PSL)으로는 직류 신호(V_{dd})가 인가된다.

스위칭 트랜지스터(TFT1)와 구동 트랜지스터(TFT2)는 게이트 버스선(GBL), 데이터 버스선(DBL) 및 전력 공급선(PSL)에 의하여 둘러싸인 화소 영역(210)마다 형성된다.

스위칭 트랜지스터(TFT1)는 제1 게이트 전극(G1), 제1 반도체 패턴(C1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)으로 이루어진다.

제1 게이트 전극(G1)은 게이트 버스선(GBL)으로부터 연장된 각 게이트 전극부(GE)와 전기적으로 연결된다.

제1 반도체 패턴(C1)은 제1 게이트 전극(G1)의 상면에 배치된다. 도 3을 참조하면, 제1 반도체 패턴(C1)은 절연물질로 이루어진 제1 게이트 절연막(220)에 의하여 제1 게이트 전극(G1)과 절연된다. 본 실시예에서, 제1 게이트 절연막(220)은 T1의 두께를 갖는다. 제1 게이트 절연막(220)은 SiNx , SiOx , 혹은 HfO_2 , Al_2O_3 와 같은 고유전체 중의 적어도 하나를 포함한다.

제1 반도체 패턴(C1)은 제1 채널층(first amorphous silicon pattern)(230), 제1 저항성 접촉층(first ohmic contact layer)(242) 및 제2 저항성 접촉층(second ohmic contact layer)(244)으로 이루어진다. 본 실시예에서, 도 3에 도시한 제1 채널층(230)은 비정질 규소 박막을 패터닝한 비정질 규소 패턴이다. 제1 저항성 접촉층(242)과 제2 저항성 접촉층(244)은 제1 비정질 규소 패턴(230)의 상면에 상호 소정 간격 이격되어 배치된다. 본 실시예에서 제1 저항성 접촉층(242) 및 제2 저항성 접촉층(244)은 도전성 불순물인 도펀트(dopant)가 주입된 n+ 비정질 규소 박막을 패터닝하여 형성된다.

제1 소스 전극(S1)은 제1 저항성 접촉층(242)의 상면에 배치되며, 제1 저항성 접촉층(242)에 전기적으로 연결된다. 제1 소스 전극(S1)의 일부는 데이터 버스선(DBL)으로부터 연장된 소스 전극부(SE)와 전기적으로 연결된다.

제1 드레인 전극(D1)은 제2 저항성 접촉층(244)의 상면에 배치되며, 제2 저항성 접촉층(244)에 전기적으로 연결된다.

한편, 도 1에 도시된 바와 같이 구동 트랜지스터(TFT2)는 화소 영역(210)에 배치된다. 구동 트랜지스터(TFT2)는 제2 게이트 전극(G2), 제2 반도체 패턴(C2), 제2 소스 전극(S2) 및 제2 드레인 전극(D2)으로 이루어진다.

제2 게이트 전극(G2)은 스위칭 트랜지스터(TFT1)의 제1 드레인 전극(D1)에 전기적으로 연결된다.

제2 반도체 패턴(C2)은 제2 게이트 전극(G2)의 상면에 배치되며, 절연 물질로 이루어진 제2 게이트 절연막(222)에 의하여 제2 게이트 전극(G2)과 절연된다. 본 실시예에서, 제2 게이트 절연막(222)은 제1 게이트 절연막(220)의 두께(T1)보다 얇은 T2의 두께를 갖는다.

이때 구동 트랜지스터의 구동 전류(I_d)는 다음의 수학적식을 충족한다.

수학적식 1

$$I_d = Cg\mu W(V_{gs} - V_{th})^2/L$$

여기에서, C_g 는 게이트 절연막 정전 용량이고, μ 는 전하 이동도, W 는 구동 트랜지스터의 채널 폭, 그리고 L 은 트랜지스터 채널 길이이다.

또한, 게이트 절연막 정전 용량(C_g)은 다음의 수학적식을 충족한다.

$$\text{수학식 2} \\ C_g = \epsilon A/d$$

여기에서, ϵ 은 게이트 절연막의 유전율이고, A 는 게이트 전극과의 중첩 면적이며, d 는 거리, 즉 게이트 절연막의 두께이다.

수학적식 1, 2를 참조하면, 트랜지스터 구동 전류(I_d)는 게이트 절연막 정전 용량(C_g)에 비례하고, 게이트 절연막 정전 용량(C_g)은 d (거리), 즉 게이트 절연막의 두께에 반비례한다. 따라서, 게이트 절연막의 두께를 감소시키면, 트랜지스터의 크기를 증가시키지 않고 구동 전류(I_d)를 증가시키는 것이 가능하다.

예컨대, 유기 발광 소자(EL)(300)가 100cd의 휘도를 내기 위해서는 $3\mu A$ 의 전류가 공급되어야 한다. $3\mu A$ 의 전류를 공급하기 위해서, 구동 트랜지스터(TFT2)의 게이트 절연막의 두께가 $4,500\text{\AA}$ 일 때, 구동 트랜지스터(TFT2)의 폭은 $300\mu m$ 이다. 게이트 절연막의 두께를 $2,000\text{\AA}$ 으로 낮출 경우, 구동 트랜지스터(TFT2)의 폭을 $100\mu m$ 로 감소시키면 동일한 구동 전류를 공급할 수 있다. 이렇게 하면, 트랜지스터(TFT2)의 폭이 감소하므로 개구율을 증가시킬 수 있다. 구동 트랜지스터(TFT1)의 폭을 $300\mu m$ 로 한다면 개구율 감소 없이 구동 전류를 증가시킬 수 있게 된다.

그러나 구동 전류 증가를 위해 구동 트랜지스터(TFT2)의 게이트 절연막 두께를 감소시키면서 스위칭 트랜지스터(TFT1)의 게이트 절연막을 동일하게 감소시킬 경우, 스위칭 트랜지스터(TFT1)의 항복(breakdown)과 같은 신뢰성 문제가 발생할 수 있다.

이는, 일반적으로 스위칭 트랜지스터(TFT1)를 구동시키기 위해 제1 게이트(G_1)에 인가되는 구동 전압은 $20\sim 25V$ 이고, 구동 트랜지스터(TFT2)를 구동시키기 위해 제2 게이트(G_2)에 인가되는 구동 전압은 $10V$ 이내로 스위칭 트랜지스터(TFT1)가 구동 트랜지스터(TFT2)보다 고전압에서 구동되기 때문이다.

따라서, 본 실시예에 의하면, 구동 트랜지스터(TFT2)의 제2 게이트 절연막(222)의 두께(T_2)를 스위칭 트랜지스터(TFT1)의 제1 게이트 절연막(220)의 두께(T_1)보다 얇게 함으로써 신뢰성 문제를 해결하고 개구율을 감소시키지 않으면서 구동 전류를 증가시켜 유기 발광 소자(EL)(300)의 휘도를 향상시킬 수 있다. 제1 게이트 절연막(220)의 두께(T_1)는 $3,000\sim 4,500\text{\AA}$, 제2 게이트 절연막(222)의 두께(T_2)는 $1,500\sim 3,500\text{\AA}$ 정도인 것이 바람직하다. 제1 게이트 절연막(220)의 두께(T_1)가 $3,000\text{\AA}$ 미만이면 스위칭 트랜지스터가 고전압에서 구동하기 때문에 항복(breakdown)과 같은 신뢰성 문제가 발생할 수 있고, $4,500\text{\AA}$ 이상이면 구동 전류 감소 및 증착 시간 지연 등에 따른 양산성 감소 등의 문제가 발생할 수 있다. 제2 게이트 절연막(222)의 두께(T_2)가 $1,500\text{\AA}$ 미만이면 구동 트랜지스터의 신뢰성 문제가 발생할 수 있고, $3,500\text{\AA}$ 이상이면 구동 전류가 감소할 수 있다. 제1 및 제2 게이트 절연막(220, 222)의 두께는 유기 발광 소자(EL)(300)의 필요 구동 전류 및 스위칭 트랜지스터 및 구동 트랜지스터의 크기에 따라 조절하여 최적화할 수 있다.

제2 반도체 패턴(C2)은 제2 채널층(235), 제3 저항성 접촉층(246) 및 제4 저항성 접촉층(248)으로 이루어진다. 본 실시예에서, 제2 채널층(235)은 비정질 규소 박막을 패터닝하여 형성된다. 제3 저항성 접촉층(246)과 제4 저항성 접촉층(248)은 제2 채널층(235)의 상면에 상호 소정 간격 이격되어 배치된다. 본 실시예에서 제3 저항성 접촉층(246) 및 제4 저항성 접촉층(248)은 도전성 불순물인 도펀트(dopant)가 주입된 $n+$ 비정질 규소 박막을 패터닝하여 형성된다.

제2 소스 전극(S2)은 제3 저항성 접촉층(246)의 상면에 배치되며, 전력 공급선(PSL)에 전기적으로 연결된다.

제2 드레인 전극(D2)은 제4 저항성 접촉층(248)의 상면에 배치되며, 유기 발광 소자(EL)(300)에 연결된다.

유지 축전기(Cst)는 제2 게이트 전극(G2)의 일부인 제1 축전기 전극부(Cst1), 전력 공급선(PSL)의 일부인 제2 축전기 전극부(Cst2) 및 제1 축전기 전극부(Cst1)와 제2 축전기 전극부(Cst2)의 사이에 배치된 유전층에 의하여 이루어진다. 유전층은 절연층(도시하지 않음)으로 이루어진다. 유지 축전기(Cst)는 한 프레임의 시간 동안 제2 게이트 전극부(G2)가 턴-온 상태를 유지할 수 있도록 한다.

유기 발광 소자(EL)(300)는 연결 전극(305), 화소 전극(310), 유기 발광층(320) 및 대향 전극(330)으로 이루어진다. 도면 부호 340은 제1 층간 절연막이고, 350은 화소 전극을 구획하는 격벽이다.

연결 전극(305)은 스위칭 트랜지스터(TFT1)의 제1 드레인 전극(D1) 및 제2 게이트 전극(G2)을 연결한다. 연결 전극(305)은 화소 전극(310)을 이루는 물질과 동일한 물질로 형성하는 것이 가능하다.

화소 전극(310)은 구동 트랜지스터(TFT2)의 제2 드레인 전극(D2)에 연결되어 전력 공급선(PSL)으로부터 공급된 구동 전류가 인가된다. 화소 전극(310)은 투명하면서 도전성인 인듐주석산화물(indium tin oxide, ITO) 또는 인듐아연산화물(indium zinc oxide, IZO) 등으로 이루어지며, 유기 발광층(320)으로 정공을 주입시킨다.

유기 발광층(320)은 적색 유기 발광 물질, 녹색 유기 발광 물질 및 청색 유기 발광 물질 중 어느 하나로 이루어진다. 각 유기 발광층(320)은 화소 전극(310) 및 대향 전극(330)의 사이에 배치된다. 각 유기 발광층(320)은 정공 주입층, 정공 운송층, 전자 운송층, 전자 주입층 중 적어도 하나를 더 포함할 수 있다.

대향 전극(330)은 화소 전극(310)과 마주보고 바람직하게 알루미늄(Al), 칼슘(Ca), 바륨(Ba), 마그네슘(Mg) 중 적어도 하나의 금속을 포함하며, 유기 발광층(320)으로 전자를 주입시킨다. 화소 전극(310)이 투명한 경우를 예로 들었으나, 알루미늄(Al), 칼슘(Ca), 바륨(Ba), 마그네슘(Mg) 중 적어도 하나의 금속 박막을 얇게 형성하고 상부에 투명 전극을 더 형성하여 대향 전극(330)을 투명하게 형성하는 것도 가능하다.

이하, 본 발명에 의한 유기 발광 표시 장치를 제조하는 방법에 대하여 구체적으로 설명하기로 한다.

도 4는 제1 패턴 마스크를 사용하여 형성한 제1 게이트 전극 및 제2 게이트 전극의 배치도이다. 도 5는 도 4의 유기 발광 표시 장치를 V-V선을 따라 절단한 단면도이다.

도 4 및 도 5를 참조하면, 기판(10)의 전면적에 걸쳐 게이트 금속 박막(도시하지 않음)을 화학기상증착 또는 스퍼터링 등의 방법으로 증착한다. 게이트 금속 박막의 표면에 감광막(도시하지 않음)을 도포한다. 감광막은 기판(10)에 정렬된 제1 패턴 마스크(도시하지 않음)를 통하여 노광한 후 현상하면 게이트 금속의 표면에 감광막 패턴이 형성된다. 게이트 금속 박막을 감광막 패턴을 마스크 삼아 식각한 다음, 감광막 패턴을 제거한다. 따라서, 게이트 금속 박막으로부터 기판(10) 위에 게이트 전극부(GE)를 가지는 게이트 버스선(GBL), 유지 축전기(Cst)의 제1 축전기 전극부(Cst1)를 갖는 제2 게이트 전극(G2)이 동시에 형성된다.

첫 번째 패턴 마스크를 사용하여 형성한 게이트 버스선(GBL)은 도 4에 도시한 좌표계의 제1 방향을 따라 뻗어 있다. 게이트 전극부(GE)는 게이트 버스선(GBL)으로부터 제2 방향으로 돌출 되어 있으며, 게이트 전극부(GE)의 일부는 제1 게이트 전극(G1)이 된다. 제2 게이트 전극(G2)은 게이트 전극부(GE)와 소정 거리 이격되어 있고 제1 방향으로 뻗어 있다. 제1 축전기 전극부(Cst1)는 제2 게이트 전극(G2)으로부터 제2 방향으로 게이트 버스선(GBL)과 이격되도록 연장된다.

게이트 버스선(GBL)과 게이트(G1, G2), 제1 축전기 전극부(Cst1)를 형성한 후 기판(10) 전면적에 걸쳐 제1 절연층(221)을 형성한다. 제1 절연층으로는 SiNx가 바람직하나, SiOx, HfO₂ 등과 같은 고유전막도 사용할 수 있다.

도 6 및 도 7은 본 발명의 한 실시예에 따라 제1 게이트 절연막과 제2 게이트 절연막의 두께를 서로 다르게 형성하는 방법을 도시한 단면도이다.

도 6을 참조하면, 제1 게이트 전극(G1) 영역에만 형성된 차단층(blocking layer)(224)을 이용하여 제1 게이트 전극(G1) 이외의 나머지 영역에 형성된 제1 절연층(221)을 습식 식각 또는 건식 식각의 방법으로 모두 제거한다. 본 실시예에 따르면 차단층(224)으로 감광막을 이용한다. 제1 절연층(221)으로 SiNx를 사용할 경우, 인산 용액을 이용한 습식 식각으로 제거하거나, SF₆ 계열 가스를 이용한 건식 식각으로 제거할 수도 있다.

이어 도 7을 참고하면, 차단층(224)을 제거한 후, 게이트 전극부(GE)가 형성된 게이트 버스선(GBL), 제1 게이트 전극(G1), 제2 게이트 전극(G2) 및 제1 축전기 전극부(Cst1)를 모두 덮도록 제2 절연층(222)을 형성한다. 그 결과, 제1 게이트 전극(G1) 영역에는 제1 절연층(221)과 제2 절연층(222)의 두 층이 구비되고 제2 게이트 전극(G2) 영역에는 제2 절연층(222)만이 구비되므로 제1 게이트 전극(G1) 위의 절연층이 제2 게이트 전극(G2) 위의 절연층보다 두껍게 된다. 이어 제2 게이트 절연층(222)의 상면에 화학 기상 증착 등의 방법으로 제1 반도체층(232)을 형성한다. 본 실시예에서, 제1 반도체층(232)은 비정질 규소 박막이다.

도 8을 참조하면, 제1 반도체층(232) 상면에 제2 반도체층을 화학 기상 증착 등의 방법으로 형성한다. 제1 반도체층(232)과 제2 반도체층을 사진 식각하여 제1 채널층(230) 및 제2 채널층(235), 제3 반도체층(240) 및 제4 반도체층(241)을 형성한다.

도 9는 본 발명의 한 실시예에 따라 제3 패턴 마스크를 사용하여 형성한 데이터 버스선, 전력 공급선, 제1 및 제2 드레인 전극이 구비된 유기 발광 표시 장치의 배치도이고, 도 10은 도 9의 유기 발광 표시 장치를 X-X선을 따라 절단한 단면도이다.

도 9 및 도 10을 참조하면, 제3 및 제4 반도체층(240, 241)의 상면에 화학 기상 증착 또는 스퍼터링 방법으로 소스/드레인 금속 박막을 형성한다. 소스/드레인 금속 박막의 상면에 스핀 코팅 방법 또는 슬릿 코팅 방법으로 감광막(도시하지 않음)을 도포한다. 감광막이 형성된 기판(10) 위에는 제3 패턴 마스크를 정렬하고 이를 통하여 감광막을 노광하면, 소스/드레인 금속 박막의 상면에 감광막 패턴이 형성된다. 이어서, 감광막 패턴을 마스크 삼아 소스/드레인 금속 박막을 패터닝한다. 소스/드레인 금속 박막의 패터닝에 의하여, 기판(10)에는 제1 소스 전극(S1)을 가지는 데이터 버스선(DBL), 제1 드레인 전극(D1), 제2 소스 전극(S2)을 가지는 전력 공급선(PSL) 및 제2 드레인 전극(D2)이 동시에 형성됨과 동시에 제1 및 제4 반도체층(240, 241)의 일부가 노출된다. 이어 감광막 패턴을 제거하거나 제거하지 않고 제3 및 제4 반도체층(240, 241)의 노출된 부분을 제거하여 제1 채널층(230)과 제2 채널층(235)의 일부를 노출시킨다. 따라서, 제1 소스 전극(S1)의 하부에는 제1 저항성 접촉층(242)이 형성되고, 제1 드레인 전극(D1)의 하부에는 제2 저항성 접촉층(244)이 형성된다. 한편, 제2 소스 전극(S2)의 하부에는 제3 저항성 접촉층(246)이 형성되고, 제2 드레인 전극(D2)의 하부에는 제4 저항성 접촉층(248)이 형성된다. 제1 저항성 접촉층(242) 및 제2 저항성 접촉층(244)은 상호 소정 간격 이격되며, 제3 저항성 접촉층(246) 및 제4 저항성 접촉층(248)도 상호 소정간격 이격된다. 이어, 제1 채널층(230)과 제2 채널층(235)의 표면을 안정화시키기 위하여 산소 플라스마 처리를 해 주는 것이 바람직하다.

도 11은 본 발명의 한 실시예에 따라 제4 마스크를 사용하여 제1 드레인 전극(D1) 및 제2 드레인 전극(D2)에 형성한 콘택홀(CT1, CT3)이 구비된 유기 발광 표시 장치의 배치도이다. 도 12는 도 11의 유기 발광 표시 장치를 XII-XII선을 따라 절단한 단면도이다.

도 11 및 도 12를 참조하면, 기판(10) 위에 화학 기상 증착 방법 등으로 전면적에 걸쳐 하부층들을 보호하고 평탄화 역할을 하는 제1 층간 절연막(340)을 형성한다. 제1 층간 절연막(340)의 상면에 스핀코팅 또는 슬릿 코팅 등의 방법으로 감광막(도시하지 않음)을 형성한다. 제4 패턴 마스크를 사용하여 감광막을 패터닝하여 기판(10) 위에 감광막 패턴을 형성한다. 감광막 패턴을 사용하여 제1 층간 절연막(340)을 식각하여 제1 층간 절연막(340)에 제1 드레인 전극(D1)을 노출시키는 제1 콘택홀(first contact hole)(CT1), 제2 게이트 전극(G2)의 일부를 노출시키는 제2 콘택홀(second contact hole, CT2) 및 제2 드레인 전극(D2)의 일부를 노출시키는 제3 콘택홀(third contact hole, CT3)을 형성한다. 본 실시예에서는 제1 층간 절연막으로 SiNx막을 사용한다.

도 13은 본 발명의 한 실시예에 따라 제5 패턴 마스크로 형성한 연결 전극(305) 및 화소 전극(310)을 구비한 유기 발광 표시 장치의 배치도이다. 도 14는 도 13의 유기 발광 표시 장치를 XIV-XIV 선을 따라 절단한 단면도이다.

도 13 및 도 14를 참조하면, 패터닝된 제1 층간 절연막(340)의 상면에 전면적에 걸쳐 투명하면서 전기적 저항이 낮은 도전성 박막을 형성한다. 도전성 박막의 표면에 스핀코팅 또는 슬릿 코팅 방법에 의하여 감광막을 도포하고, 제5 패턴 마스크를 기판(10)에 정렬한다. 감광막을 제5 패턴 마스크를 통과한 광에 노광한 후 현상하여 도전성 박막의 상면에 감광막 패턴을 형성한다. 도전성 박막 중 감광막 패턴에 의하여 가려지지 않는 부분을 모두 식각 제거하여 화소 전극(310) 및 연결 전극(305)을 형성한다. 화소 전극(310)은 제3 콘택홀(CT3)을 통하여 제2 드레인 전극(D2)에 연결되고, 연결 전극(305)은 제1 콘택홀(CT1)을 통하여 제1 드레인 전극(D1)에 연결되며 및 제2 콘택홀(CT2)을 통해서 제2 게이트 전극(G2)에 전기적으로 연결된다.

도 2 및 도 3을 다시 참조하면, 제1 층간 절연막(340)의 상면에 무기 절연 물질 또는 유기 절연 물질을 적층하고, 그 상면에 스핀 코팅 또는 슬릿 코팅 방법으로 감광막을 형성한다. 제6 패턴 마스크(도시하지 않음)를 기판(10)에 정렬한 상태에서 제6 패턴 마스크를 통하여 광을 조사하여 감광막을 패터닝하여 무기 절연 물질층 또는 유기 절연 물질층의 상면에 감광막 패턴을 형성한다.

감광막 패턴을 마스크로 삼아 무기 절연 물질층 또는 유기 절연 물질층을 패터닝하여 화소 전극(310)을 부분적으로 노출시키는 격벽(350)을 형성한다.

화소 전극(310)의 상면에 적색, 녹색, 및 청색의 광을 방출할 수 있는 유기 발광층(320)을 화소의 각각에 형성하고, 유기 발광층(320)의 상면에는 유기 발광층(320)을 덮고 있는 대향 전극(330)을 형성한다. 본 실시예에서 화소 전극(310)은 투명한 ITO 혹은 IZO를 사용하며 유기 발광층에 정공을 주입하고, 대향 전극(350)은 Al, Ca, Ba, Mg 중 적어도 하나를 포함하는 금속 박막으로 유기 발광층에 전자를 주입한다.

대향 전극(330)의 상면에는 유기 발광층(320)을 산소 또는 수분으로부터 보호하기 위한 밀봉 캡이나 보호층 등을 더 형성하는 것이 바람직하다. 보호층(도시하지 않음)으로는 유기막, 무기막, 또는 그 적층막을 사용할 수 있다.

발명의 효과

이상에서 상세하게 설명한 바에 의하면, 개구율을 감소시키지 않으면서 유기 발광층에 충분한 구동 전류를 공급하는 박막 트랜지스터를 제공하여 휘도 성능이 향상된 유기 발광 표시 장치를 제작하는 것이 가능하다.

앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

제1 소스 전극, 제1 드레인 전극, 제1 게이트 전극, 제1 반도체 패턴, 상기 제1 게이트 전극과 제1 반도체 패턴을 전기적으로 절연시키기 위한 제1 게이트 절연막으로 이루어진 제1 박막 트랜지스터,

제2 소스 전극, 제2 드레인 전극, 상기 제1 드레인 전극에 연결된 제2 게이트 전극, 제2 반도체 패턴, 상기 제2 게이트 전극과 제2 반도체 패턴을 전기적으로 절연시키고 제1 게이트 절연막의 두께보다 얇은 두께를 갖는 제2 게이트 절연막으로 이루어진 제2 박막 트랜지스터,

상기 제2 드레인 전극에 전기적으로 연결된 화소 전극,

상기 화소 전극 상에 형성된 발광층, 그리고

상기 발광층 상에 형성된 대향 전극

을 포함하는 표시 장치.

청구항 2.

제1항에 있어서,

상기 제1 게이트 절연막은 단일막, 상기 제2 게이트 절연막은 적어도 이중막 이상으로 이루어지는 것을 특징으로 하는 표시 장치.

청구항 3.

제1항에 있어서,

상기 제1 게이트 절연막의 두께는 $3,000\text{\AA} \sim 4,500\text{\AA}$ 인 것을 특징으로 하는 표시 장치.

청구항 4.

제1항에 있어서,

상기 제2 게이트 절연막의 두께는 $1,500\text{\AA} \sim 3,000\text{\AA}$ 인 것을 특징으로 하는 표시 장치.

청구항 5.

제1항에 있어서,

상기 제1 반도체 패턴은 제1 채널층과 상기 제1 채널층 위에 위치하며 서로 이격된 제1 및 제2 저항성 접촉층을 포함하는 표시 장치.

청구항 6.

제1항에 있어서,

상기 제2 반도체 패턴은 제2 채널층, 상기 제2 채널층 위에 위치하며 서로 이격된 제3 및 제4 저항성 접촉층을 포함하는 표시 장치.

청구항 7.

제1항에 있어서,

상기 발광층은 유기 물질로 이루어지는 것을 특징으로 하는 표시 장치.

청구항 8.

제1항에 있어서,

상기 화소 전극 상에 형성되어 상기 화소 전극을 구획하는 격벽을 더 포함하는 표시 장치.

청구항 9.

제1 소스 전극에 인가된 데이터 신호를 제1 게이트 전극에 인가된 타이밍 신호에 의하여 제1 드레인 전극으로 출력하는 제1 반도체 패턴, 상기 제1 게이트 전극과 제1 반도체 패턴을 전기적으로 절연시키기 위한 제1 게이트 절연막을 갖는 제1 박막 트랜지스터,

상기 제1 드레인 전극으로부터 출력된 상기 데이터 신호의 레벨에 대응하여 제2 소스 전극에 인가된 제1 구동 전류의 전류량을 제어하는 제2 게이트 전극, 상기 제2 게이트 전극에 의하여 제어된 제2 구동 전류를 제2 드레인 전극으로 출력하는 제2 반도체 패턴, 상기 제2 게이트 전극과 상기 제2 반도체 패턴을 전기적으로 절연시키며 상기 제1 게이트 절연막의 두께보다 얇은 두께를 갖는 제2 게이트 절연막으로 이루어진 제2 박막 트랜지스터,

상기 제2 구동 전류가 인가되는 화소 전극,

상기 화소 전극의 상면에 배치된 유기 발광층, 그리고

상기 유기 발광층의 상면에 배치된 대향 전극

을 포함하는 표시 장치.

청구항 10.

제6항에 있어서,

상기 제1 게이트 전극은 상기 타이밍 신호를 인가하는 게이트 버스선에 연결되고, 제1 소스 전극은 상기 데이터 신호를 인가하는 데이터 버스선에 연결되고, 상기 제2 게이트 전극은 상기 제1 드레인 전극에 연결되고, 상기 제2 소스 전극은 상기 제1 구동 전류를 제공하는 전력 공급선에 연결된 것을 특징으로 하는 표시 장치.

청구항 11.

제7항에 있어서,

상기 제1 드레인 전극 및 상기 전력 공급선에는 지정된 시간 동안 상기 제2 게이트 전극으로 상기 데이터 신호를 인가하는 유지 축전기가 형성된 것을 특징으로 하는 표시 장치.

청구항 12.

제1항에 있어서,

상기 제1 게이트 절연막은 3,000Å ~ 4,500Å의 두께를 갖는 것을 특징으로 하는 표시 장치.

청구항 13.

제1항에 있어서,

상기 제2 게이트 절연막은 1,500Å ~ 3,000Å의 두께를 갖는 것을 특징으로 하는 표시 장치.

청구항 14.

기판에 제1 게이트 전극 및 제2 게이트 전극을 형성하는 단계,

상기 제1 및 제2 게이트 전극 위에 제1 절연층을 형성하는 단계,

상기 제1 절연층 중 상기 제2 게이트 전극 위의 부분을 제거하는 단계,

상기 제1 절연층 및 상기 제2 게이트 전극 위에 제2 절연층을 형성하는 단계,

상기 제2 절연층 상에 상기 제1 게이트 전극과 대응하는 제1 반도체 패턴, 상기 제2 게이트 전극과 대응하는 제2 반도체 패턴을 형성하는 단계,

상기 제1 반도체 패턴에 연결되어 있는 제1 소스 전극, 상기 제1 반도체 패턴을 일부 노출시키도록 상기 제1 소스 전극과 이격되어 있는 제1 드레인 전극을 형성하는 단계,

상기 제2 반도체 패턴에 연결되어 있는 제2 소스 전극, 상기 제2 반도체 패턴을 일부 노출시키도록 제2 소스 전극과 이격되어 있는 제2 드레인 전극을 형성하는 단계, 그리고

상기 제2 드레인 전극에 연결된 유기 발광 소자를 형성하는 단계

를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 15.

제14항에 있어서,

상기 제1 절연층의 부분 제거 단계는,

상기 제1 절연층 전면에 차단층을 적층하는 단계,

상기 차단층을 부분적으로 제거하여 상기 제1 게이트 전극 영역에만 남기는 단계,

상기 차단층을 마스크로 하여 상기 제1 절연층을 제거하는 단계, 그리고

상기 차단층을 제거하는 단계

를 포함하는 표시 장치의 제조 방법

청구항 16.

제14항에 있어서,

상기 제1 반도체 패턴을 형성하는 단계는,

제1 채널층을 형성하는 단계,

상기 제1 채널층상에 제1 반도체층을 형성하는 단계,

상기 제1 반도체층을 패터닝하여 제1 저항성 접촉층과 상기 제1 저항성 접촉층과 이격된 제2 저항성 접촉층을 형성하는 단계

를 포함하는 표시 장치의 제조 방법.

청구항 17.

제16항에 있어서,

상기 제2 반도체 패턴을 형성하는 단계는,

제2 채널층을 형성하는 단계,

상기 제2 채널층상에 제2 반도체층을 형성하는 단계,

상기 제2 반도체층을 패터닝하여 제3 저항성 접촉층과 상기 제3 저항성 접촉층과 이격된 제4 저항성 접촉층을 형성하는 단계

를 포함하는 표시 장치의 제조 방법.

청구항 18.

제14항에 있어서,

상기 제2 게이트 전극을 형성하는 단계에서 상기 제2 게이트 전극에 유지 축전기를 형성하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 19.

제14항에 있어서,

상기 제2 드레인 전극을 형성하는 단계 및 상기 유기 발광 소자를 형성하는 단계 사이에는 상기 제1 드레인 전극의 일부를 노출시키는 제1 콘택홀 및 상기 제2 게이트 전극의 일부를 노출시키는 제2 콘택홀, 상기 제2 드레인 전극의 일부를 노출시키는 제3 콘택홀을 포함하는 제1 층간 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 20.

제14항에 있어서,

상기 유기 발광 소자를 형성하는 단계는,

상기 제1 드레인 전극 및 상기 제2 게이트 전극을 연결하는 연결 배선 및 상기 제2 드레인 전극에 연결된 화소 전극을 형성하는 단계,

상기 화소 전극의 상면에 유기 발광층을 형성하는 단계, 그리고

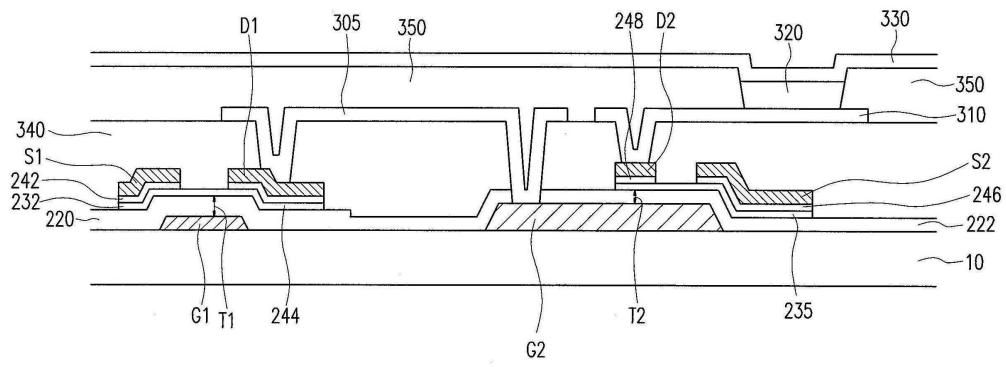
상기 화소 전극의 상면에 대향 전극을 형성하는 단계

를 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

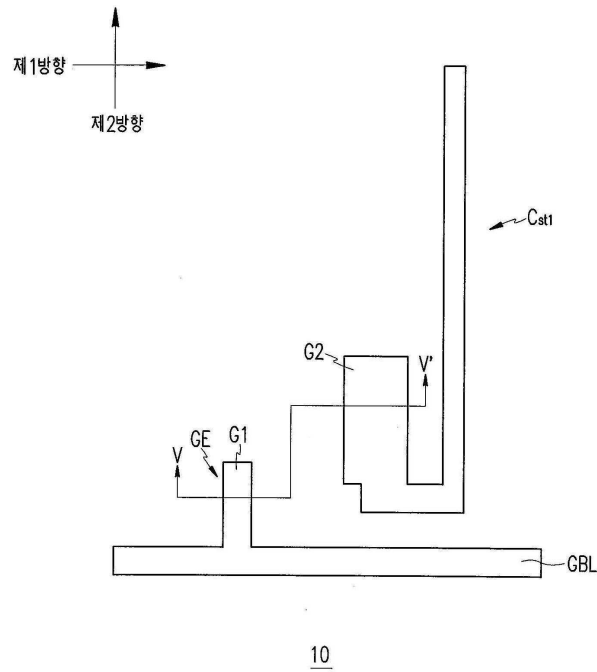
청구항 21.

제14항에 있어서,

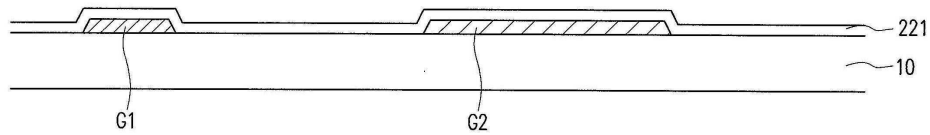
도면3



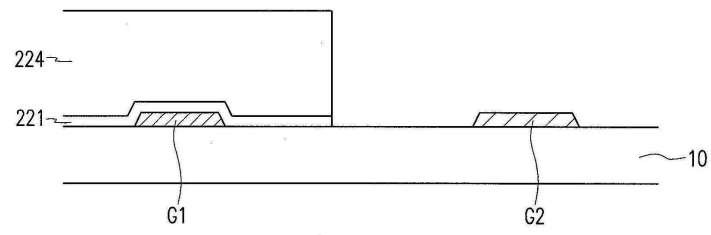
도면4



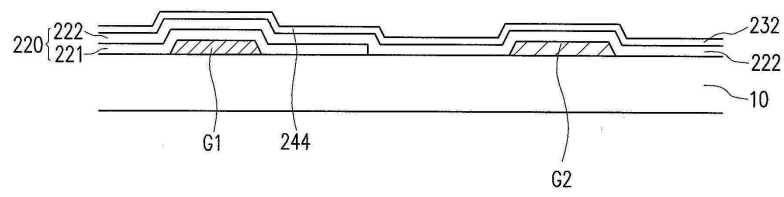
도면5



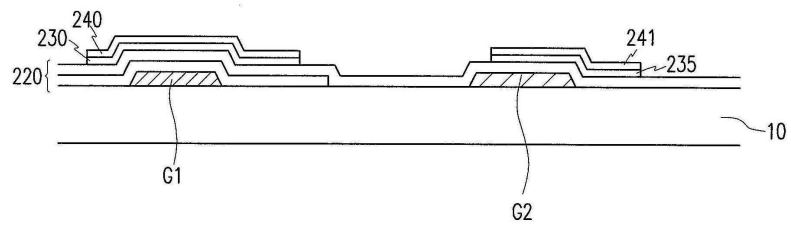
도면6



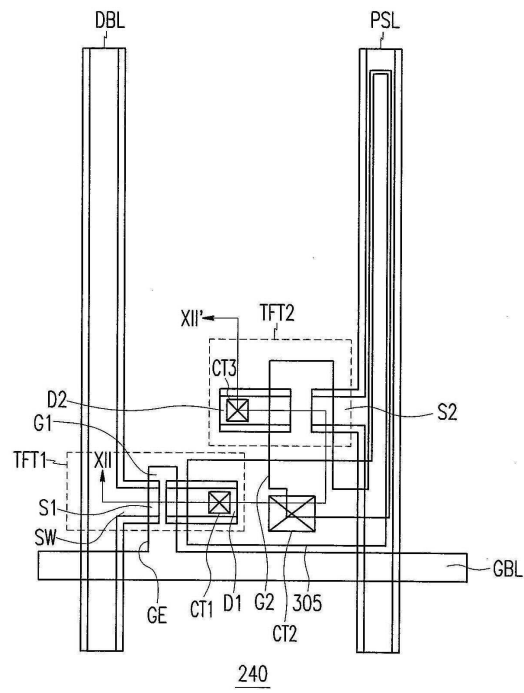
도면7



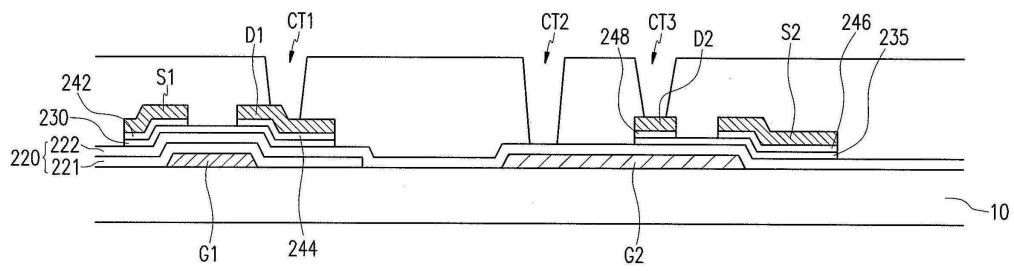
도면8



도면11



도면12



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020050104955A	公开(公告)日	2005-11-03
申请号	KR1020040030427	申请日	2004-04-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JUNG KWANWOOK		
发明人	JUNG,KWANWOOK		
IPC分类号	H05B33/08 H01L29/423 G09G3/36 H01L27/12 H01L27/32 H01L21/77		
CPC分类号	G09G2300/0842 H01L27/3244 H01L27/1214 G09G3/3233 H01L27/12 H01L29/42384		
其他公开文献	KR101054341B1		
外部链接	Espacenet		

摘要(译)

改进了电发光显示装置的亮度特性和起爆的制造方法。电发光显示 (1), 薄膜晶体管, 有机发光器件第二薄膜晶体管, 1, 薄膜晶体管和有机发光通过第二个薄膜晶体管器件驱动电流是由红色引起的, 绿色和蓝光显示的视觉效果。此时, 1、薄膜晶体管和栅极的隔离屏障厚度第二薄膜晶体管通过不同孔径率的降低而没有足够的驱动电流, 使有机发光器件能够提供, 提高亮度属性。 2指数-空气电发光显示装置, 门绝缘薄膜

