



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년07월02일

(11) 등록번호 10-1533219

(24) 등록일자 2015년06월26일

- (51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/20 (2006.01)
- (21) 출원번호 10-2009-0015267
- (22) 출원일자 2009년02월24일
심사청구일자 2014년02월11일
- (65) 공개번호 10-2009-0093829
- (43) 공개일자 2009년09월02일
- (30) 우선권주장
JP-P-2008-048258 2008년02월28일 일본(JP)
- (56) 선행기술조사문헌
KR1020100021399 A*
KR1020080011065 A
KR1020040103431 A
JP2006251631 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
- (72) 발명자
야마모토 테츠로
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시
끼 가이샤 나이
우치노 카쓰히데
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시
끼 가이샤 나이
- (74) 대리인
이화익, 김홍두

전체 청구항 수 : 총 6 항

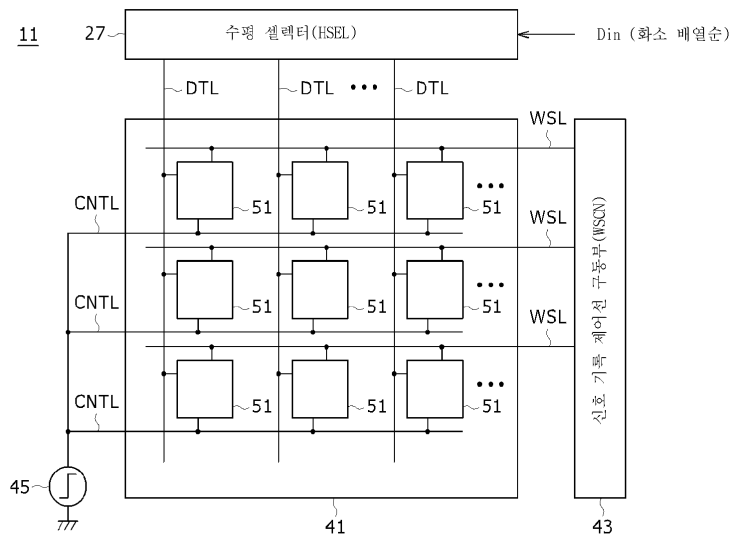
심사관 : 조기덕

(54) 발명의 명칭 EL 표시 패널, 전자기기 및 EL 표시 패널의 구동방법

(57) 요약

액티브 매트릭스 구동방식을 채용하고, 화소회로와, 용량제어선과, 커플링 용량과, 펄스 전압원을 구비한 일렉트로루미네선스 표시 패널.

대표도



명세서

청구범위

청구항 1

액티브 매트릭스 구동방식을 채용하는 일렉트로루미네선스 표시 패널로서,
 고정 전압 전원선에서 구동전류를 인입해서 유기 일렉트로루미네선스소자에 공급하는 구동 트랜지스터,
 상기 구동 트랜지스터의 게이트 전극과 소스 전극과의 사이에 접속되는 신호 유지용량 및
 상기 신호 유지용량과 상기 유기 일렉트로루미네선스 소자에의 신호 전위를 저장하는 동작을 제어하는 샘플링 트랜지스터를, 적어도 각각 갖는 화소회로와;
 상기 모든 화소회로 또는 복수의 상기 화소회로에 공통한 선으로서 접속된 용량제어선과;
 상기 화소회로의 각각에 상기 유기 일렉트로루미네선스 소자의 애노드 전극과 상기 용량제어선과의 사이에 접속된 커플링 용량과;
 적어도 1필드 기간에 1회, 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 전위의 상승 에지로부터 미리 정해진 시간 경과 후에 상기 고전위로부터 저전위로 다시 하강시키는 펄스 전압원을 구비하고,
 상기 펄스 전압원은,
 어느 하나의 화소회로에 상기 구동 트랜지스터의 임계전압의 변동의 영향을 보정하기 위한 기준전위가 인가되고 있는 동안에, 상기 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 기준전위의 화소회로의 인가 종료로부터 미리 정해진 시간 경과 후에 용량제어선의 전위를 고전위로부터 다시 저전위로 하강시키는 것을 특징으로 하는 유기 일렉트로루미네선스 표시 패널.

청구항 2

삭제

청구항 3

액티브 매트릭스 구동방식을 채용하는 일렉트로루미네선스 표시 패널로서,
 고정 전압 전원선에서 구동전류를 인입해서 유기 일렉트로루미네선스소자에 공급하는 구동 트랜지스터,
 상기 구동 트랜지스터의 게이트 전극과 소스 전극과의 사이에 접속되는 신호 유지용량 및
 상기 신호 유지용량과 상기 유기 일렉트로루미네선스 소자에의 신호 전위를 저장하는 동작을 제어하는 샘플링 트랜지스터를, 적어도 각각 갖는 화소회로와;
 상기 모든 화소회로 또는 복수의 상기 화소회로에 공통한 선으로서 접속된 용량제어선과;
 상기 화소회로의 각각에 상기 유기 일렉트로루미네선스 소자의 애노드 전극과 상기 용량제어선과의 사이에 접속된 커플링 용량과;
 적어도 1필드 기간에 1회, 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 전위의 상승 에지로부터 미리 정해진 시간 경과 후에 상기 고전위로부터 저전위로 다시 하강시키는 펄스 전압원을 구비하고,
 상기 펄스 전압원은,
 상기 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 1수평주사 기간주기로 상기 전위를 상기 고전위로부터 다시 상기 저전위로 하강시키는 것을 특징으로 하는 일렉트로루미네선스 표시 패널.

청구항 4

삭제

청구항 5

전자기기로서,
 일렉트로루미네선스 표시 패널과,
 상기 전자기기 전체를 제어하는 시스템 제어부와,
 상기 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부를 구비한 전자기기로서,
 상기 일렉트로루미네선스 표시 패널은,
 액티브 매트릭스 구동방식을 채용하고,
 고정 전압 전원선에서 구동전류를 인입해서 유기 일렉트로루미네선스소자에 공급하는 구동 트랜지스터,
 상기 구동 트랜지스터의 게이트 전극과 소스 전극과의 사이에 접속되는 신호 유지용량 및
 상기 신호 유지용량과 상기 유기 일렉트로루미네선스 소자에의 신호 전위를 저장하는 동작을 제어하는 샘플링 트랜지스터를, 적어도 각각 갖는 화소회로와;
 상기 모든 화소회로 또는 복수의 상기 화소회로에 공통한 선으로서 접속된 용량제어선과;
 상기 화소회로의 각각에 상기 유기 일렉트로루미네선스 소자의 애노드 전극과 상기 용량제어선과의 사이에 접속된 커플링 용량과;
 적어도 1필드 기간에 1회, 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 전위의 상승 에지로부터 미리 정해진 시간 경과 후에 상기 고전위로부터 저전위로 다시 하강시키는 펄스 전압원을 구비하고,
 상기 펄스 전압원은,
 어느 하나의 화소회로에 상기 구동 트랜지스터의 임계전압의 변동의 영향을 보정하기 위한 기준전위가 인가되고 있는 동안에, 상기 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 기준전위의 화소회로의 인가 종료로부터 미리 정해진 시간 경과 후에 용량제어선의 전위를 고전위로부터 다시 저전위로 하강시키는 것을 특징으로 하는 전자기기.

청구항 6

액티브 매트릭스 구동방식을 채용하는 일렉트로루미네선스 표시 패널 구동방법으로서,
 고정 전압 전원선에서 구동전류를 인입해서 유기 일렉트로루미네선스소자에 공급하는 구동 트랜지스터,
 상기 구동 트랜지스터의 게이트 전극과 소스 전극과의 사이에 접속되는 신호 유지용량 및
 상기 신호 유지용량과 상기 유기 일렉트로루미네선스 소자에의 신호 전위를 저장하는 동작을 제어하는 샘플링 트랜지스터를, 적어도 각각 갖는 화소회로와;
 상기 모든 화소회로 또는 복수의 상기 화소회로에 공통한 선으로서 접속된 용량제어선과;
 상기 화소회로의 각각에 상기 유기 일렉트로루미네선스 소자의 애노드 전극과 상기 용량제어선과의 사이에 접속된 커플링 용량과;
 적어도 1필드 기간에 1회, 상기 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 전위의 상승 에지로부터 미리 정해진 시간 경과 후에 상기 고전위로부터 저전위로 다시 하강시키고,
 어느 하나의 화소회로에 상기 구동 트랜지스터의 임계전압의 변동의 영향을 보정하기 위한 기준전위가 인가되고 있는 동안에, 상기 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 기준전위의 화소회로의 인가 종료로부터 미리 정해진 시간 경과 후에 용량제어선의 전위를 고전위로부터 다시 저전위로 하강시키는 것을 특징으로 하는 일렉트로루미네선스 표시 패널 구동방법.

청구항 7

전자기기로서,
 일렉트로루미네선스 표시 패널과,

상기 전자기기 전체를 제어하는 시스템 제어부와,
 상기 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부를 구비한 전자기기로서,
 상기 일렉트로루미네선스 표시 패널은,
 액티브 매트릭스 구동방식을 채용하고,
 고정 전압 전원선에서 구동전류를 인입해서 유기 일렉트로루미네선스소자에 공급하는 구동 트랜지스터,
 상기 구동 트랜지스터의 게이트 전극과 소스 전극과의 사이에 접속되는 신호 유지용량 및
 상기 신호 유지용량과 상기 유기 일렉트로루미네선스 소자에의 신호 전위를 저장하는 동작을 제어하는 샘플링
 트랜지스터를, 적어도 각각 갖는 화소회로와;
 상기 모든 화소회로 또는 복수의 상기 화소회로에 공통한 선으로서 접속된 용량제어선과;
 상기 화소회로의 각각에 상기 유기 일렉트로루미네선스 소자의 애노드 전극과 상기 용량제어선과의 사이에 접속
 된 커플링 용량과;
 적어도 1필드 기간에 1회, 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 전위의 상승 에지로부터
 미리 정해진 시간 경과 후에 상기 고전위로부터 저전위로 다시 하강시키는 펄스 전압원을 구비하고,
 상기 펄스 전압원은,
 상기 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 1수평주사 기간주기로 상기 전위를 상기 고전위
 로부터 다시 상기 저전위로 하강시키는 것을 특징으로 하는 전자기기.

청구항 8

액티브 매트릭스 구동방식을 채용하는 일렉트로루미네선스 표시 패널 구동방법으로서,
 고정 전압 전원선에서 구동전류를 인입해서 유기 일렉트로루미네선스소자에 공급하는 구동 트랜지스터,
 상기 구동 트랜지스터의 게이트 전극과 소스 전극과의 사이에 접속되는 신호 유지용량 및
 상기 신호 유지용량과 상기 유기 일렉트로루미네선스 소자에의 신호 전위를 저장하는 동작을 제어하는 샘플링
 트랜지스터를, 적어도 각각 갖는 화소회로와;
 상기 모든 화소회로 또는 복수의 상기 화소회로에 공통한 선으로서 접속된 용량제어선과;
 상기 화소회로의 각각에 상기 유기 일렉트로루미네선스 소자의 애노드 전극과 상기 용량제어선과의 사이에 접속
 된 커플링 용량과;
 적어도 1필드 기간에 1회, 상기 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 전위의 상승 에
 지로부터 미리 정해진 시간 경과 후에 상기 고전위로부터 저전위로 다시 하강시키고,
 상기 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 1수평주사 기간주기로 상기 전위를 상기 고전위
 로부터 다시 상기 저전위로 하강시키는 것을 특징으로 하는 일렉트로루미네선스 표시 패널 구동방법.

발명의 설명

발명의 상세한 설명

기술 분야

(관련된 출원에 대한 상호 참조)

본 발명은, 일본특허청에 2008년 2월 28일에 출원된 일본특허출원 JP 2008-048258에 관련된 내용을 포
 함하고, 그 전체 내용은 증명서로 여기에 포함된다.

이 명세서에서 설명하는 본 발명은, 액티브 매트릭스 구동방식으로 구동/제어되는 유기 E L(Electro
 Luminescence)표시패널 및 그 구동기술에 관한 것이다. 이때, 이 명세서에 기술된 본 발명은, 유기 E L 표시 패
 널, 이 유기 EL 표시패널을 이용한 전자기기 및 유기 E L 표시 패널의 구동방법의 3개의 모드를 갖는다.

[0001]

[0002]

[0003]

배경 기술

[0004] 도 1에, 액티브 매트릭스 구동방식으로 구동/제어된 유기EL표시패널(1)을 일반적인 회로 블록도를 나타낸다. 도 1의 상기 회로 블록도에 나타나 있는 바와 같이, 유기EL표시 패널(1)은, 화소 어레이부(3)와, 신호 기록 제어선 구동부(5) 및 수평 셀렉터(7)로 구성된다. 이때, 화소 어레이부(3)에는, 신호선DTL과 기록 제어선WSL의 각 교점에 화소회로(9)가 배치된다.

[0005] 그런데, 그 화소회로(9) 각각에서 이용된 유기EL소자는, 전류가 흐름에 따라 발광하는 발광소자다. 이 때문에, 유기EL표시 패널(1)에서는, 유기EL소자에 흐르는 전류량의 제어에 의해 화소들의 계조를 제어하는 구동방식이 채용된다. 도 2는, 신호선DTL에 의해 수평 셀렉터(7)와 기록 제어선WSL에 의해 신호 기록 제어선 구동부에 연결된 화소회로(9) 중 가장 단순한 회로 구성을 나타낸 블록도이다. 도 2의 블록도에 도시된 것처럼, 이 화소회로(9)는, 상기 유기EL소자 OLED와 아울러, 샘플링 트랜지스터T1, 구동 트랜지스터T2 및 신호 유지용량Cs로 구성된다.

[0006] 이때, 샘플링 트랜지스터T1은, 화소회로의 계조값에 대응하는 신호 전위Vsig의 신호 유지용량Cs에의 저장하는 동작을 제어하는 TFT(박막트랜지스터)다. 한편, 구동 트랜지스터T2는, 신호 유지용량Cs에 유지된 신호 전위Vsig에 따라 정해지는 게이트-소스간 전압Vgs에 의거하여 구동전류Ids를 유기EL소자OLED에 공급하는 박막트랜지스터이다. 이 구동전류Ids는, 구동 트랜지스터T2의 드레인 전극과 소스전극 사이에 흐르는 전류이고, 그 게이트-소스 전압 Vgs는 구동 트랜지스터T2의 게이트와 소스 전극 사이에 나타나는 전압이다. 도 2의 블록도에 도시된 화소회로(9)의 경우, 샘플링 트랜지스터T1은, N채널형 박막트랜지스터이고, 구동 트랜지스터T2은, P채널형 박막트랜지스터이다.

[0007] 도 2의 블록도에 도시된 화소회로(9)의 경우, 구동 트랜지스터T2의 소스 전극은, 고정된 전원전위Vcc에 전류공급 선에 의해 접속되고, 이 전류공급선은 본 명세서에서는 전원선이라고 한다. 구동 트랜지스터T2는 전형적으로 포화 영역에서 동작한다. 즉, 구동 트랜지스터T2는, 신호 전위Vsig에 의해 정해진 크기의 구동전류를 유기EL소자OLED에 공급하는 정전류원으로서 동작한다. 구동전류Ids는 다음식으로 주어진다:

[0008]
$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$

[0009] 위식에서, 참조부호 μ 는, 구동 트랜지스터T2의 다수 캐리어의 이동도고, V_{th} 는, 구동 트랜지스터T2의 한계지전압이다. 또한, 참조부호 k 는, $(W/L) \cdot C_{ox}$ 로 나타낸 계수이고, 여기에서, W 는 채널 폭, L 은 채널길이, C_{ox} 는 단위면적당의 게이트 용량이다.

[0010] 이때, 도 2의 블록도에 도시된 구성을 갖는 화소회로(9)에서 이용된 구동 트랜지스터T2는, 상술한 구동 전류 Ids와, 유기EL소자 OLED의 양극과 음극 사이에 인가된 전압간의 관계를 에이징 처리로 인한 시간 경과에 따라 변화하는 관계를 나타낸 I-V특성의 변화로서 도 3에 도시된 변화에 따라 에이징의 처리로 인한 변화하는 드레인 전압 특성을 나타내는 것으로 알려져 있다. 그러나, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는 상기 신호 유지 용량Cs에 의해 일정한 레벨로 유지되므로, 유기EL소자OLED에 공급되는 구동전류 Ids 양에는 변화가 없고, 유기EL소자OLED의 발광 휘도를 일정하게 유지할 수 있다.

[0011] 이하에, 액티브 매트릭스 구동방식을 채용하는 유기EL 패널 디스플레이에 관한 문헌으로서의 역할을 하는 본 명세서에서 사용된 문헌을 열거한다: 일본국 공개특허공보 특개 2003-255856호, 2003-271095호, 2004-133240호, 2004-029791호 및 2004-093682호.

발명의 내용

해결 하고자하는 과제

[0012] 그런데, 화소회로(9)를 생성하는 박막 프로세스의 종류에 따라서는, 화소회로(9)는, 도 2에 나타내는 전형적인 회로 구성을 채용하지 않는 경우도 있다. 즉, 현재의 박막 프로세스에서는, P채널형의 박막트랜지스터를 채용하지 않는 경우도 있다. 이러한 경우, 대신에 구동 트랜지스터T2를 N채널형 박막트랜지스터로서 사용한다.

[0013] 도 4는 신호선 DTL에 의해 수평 셀렉터(7)와 기록제어 선 WSL에 의해 신호 기록 제어선 구동부(5)에 연결된 화소회로(9)가 샘플링 트랜지스터T1과 구동 트랜지스터T2로서 각각 역할을 하는 2개의 박막 트랜지스터를 이용하는 화소회로(9)로서의 역할을 하는 전형적인 회로구성을 나타낸 블록도이다. 이러한 회로 구성의 경우에,

구동 트랜지스터T2의 소스 전극은 유기EL소자OLED의 애노드 전극에 접속된다. 그렇지만, 도 4의 블록도에 도시된 화소회로(9)는, 도 3에 도시된 것과 같은 에이징의 처리로 인한 시간의 경과로 상기 유기EL소자 OLED로 나타낸 변화로 인한 시간의 경과에 따라 구동 트랜지스터T2의 게이트-소스간 전압Vgs가 변화하는 문제점을 일으킨다. 이들 게이트-소스간 전압Vgs의 변화는, 구동전류량 Ids를 변화시켜, 유기EL소자 OLED의 발광 휘도를 바람직하지 못하게 변화시킨다.

[0014] 이밖에, 각 화소회로(9)에서 이용된 구동 트랜지스터T2의 임계전압 및 이동도는, 화소마다 변화한다. 이 구동 트랜지스터T2의 임계전압 및 이동도의 변동은, 유기EL소자에 흐르는 구동전류량 Ids의 변동으로서 나타나고, 그 유기EL소자에 흐르는 구동전류량 Ids의 변동은 화소마다 유기EL소자 OLED의 발광 휘도의 값의 변동으로서 나타난다.

[0015] 따라서, 도 4의 블록도에 나타낸 전형적인 구성의 화소회로(9)를 채용할 경우에는, 시간의 경과에 따른 변동으로서 유기EL소자 OLED에 의해 나타낸 특성에 의존하지 않는 안정한 발광 특성을 나타내는 구동방법으로서의 역할을 하는 화소회로(9)를 구동하는 방법을 확립하는 것이 필요하다.

과제 해결수단

[0016] 상술한 문제점을 해결하기 위해서, 본 발명의 발명자들은, (a) 고정 전압 전원선에서 구동전류를 인입해서 유기EL소자에 공급하는 구동 트랜지스터와, 상기 구동 트랜지스터의 게이트 전극과 소스 전극과의 사이에 접속되는 신호 유지용량과, 상기 신호 유지용량과 상기 유기EL소자에의 신호 전위를 저장하는 동작을 제어하는 샘플링 트랜지스터를 적어도 각각 갖는 화소회로와, (b) 모든 화소회로 또는 복수의 상술한 화소회로에 공통한 선으로서 접속된 용량제어선과, (c) 화소회로들의 각각에 유기EL소자의 애노드 전극과 용량제어선의 사이에 접속된 커플링 용량과, (d) 적어도 1필드 기간에 1회, 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 전위의 상승 예지로부터 미리 정해진 시간 경과 후에 상기 고전위로부터 저전위로 다시 하강시키는 펄스 전압원을 갖는, 유기EL 표시 패널을 제안한다.

[0017] 부수적으로, 펄스 전압원은, 어느 하나의 화소회로에 구동 트랜지스터의 임계전압의 변동의 영향을 보정하기 위한 기준전위가 인가되고 있는 동안에, 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 기준전위의 화소회로로의 인가 종료로부터 미리 정해진 시간 경과 후에 용량제어선의 전위를 고전위로부터 다시 저전위로 하강시키도록, 펄스 전압원을 구동시키는 것이 바람직하다.

[0018] 또한, 펄스 전압원은, 펄스 전압원이, 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 수평주사기간마다 주기적으로 고전위로부터 다시 저전위로 하강시키도록 펄스 전압원을 구동시키는 것이 바람직하다. 부수적으로, 구동 트랜지스터는 N채널형 박막 트랜지스터를 사용하는 것이 바람직하다.

[0019] 또한, 본 발명의 발명자들은, 전술한 패널구조를 갖는 유기EL 표시 패널을 각각 이용한 다양한 전자기기를 제안한다. 그 제안한 각 전자기기는, 유기EL 표시 패널과, 유기EL 표시 시스템 전체를 제어하는 시스템 제어부와, 그 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부로 구성한다.

효과

[0020] 본 발명의 발명자들이 제안하는 발명에서는, 적어도 1필드에 1회, 용량제어선의 전위를 저전위로부터 고전위로 상승시키고, 상기 전위의 상승 예지로부터 미리 정해진 시간 경과 후에 고전위로부터 다시 저전위로 하강시켜서, 유기EL 소자의 애노드 전위 및 상기 구동 트랜지스터의 게이트 전위를 커플링 구동한다.

[0021] 이 구동방법의 채용에 의해, 구동전류를 공급하는 전류 공급선을 2값전위로 구동하지 않고서 유기EL 표시 소자의 애노드 전위와 구동 트랜지스터의 게이트 전위 각각을 적절한 구동전위로 제어할 수 있다. 따라서, 2값 전위로서 수평 라인 단위로 전류 공급선의 전위를 공급하는 구성과 비교하여, 관리해야 할 동작 타이밍의 수는, 상기 제안한 유기EL 표시 패널에서 사용된 상기 용량제어선 CNTL이 수평 라인 모두에 대해 공통한 라인이기 때문에 1을 상술한 수평 라인의 수로 나눈 결과로서 얻어진 몫인 분수로 줄일 수 있다.

[0022] 결과적으로, 모든 수평 라인 또는 복수 개의 수평 라인에 공통한 구동신호로서 모든 수평 라인이 전류 공급선에 의해 반송되는 구동신호를 공용할 수 있다. 이렇게 구동신호의 공용화에 의해, 구동부의 회로 구성을 보다 간략화 할 수 있고, 회로규모도 삭감할 수 있다. 이렇게 하여, 유기EL 표시 패널의 제조 비용을 저감시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0023] 이하, 본 발명의 실시예들을, 액티브 매트릭스 구동형의 유기EL표시 패널에 적용할 경우에 대해서 설명한다. 이때, 본 명세서에서 도면에 나타내지 않은 어떠한 부분 또는 본 명세서에 기재되지 않은 어떠한 부분도, 해당 기술분야에 공지된 부분 또는 공지 기술에 따른 부분이라고 가정할 수 있다. 또, 이하에 설명하는 모든 실시예는, 본 발명의 실시예들 중 대표적인 실시예이며, 본 발명의 실시예들은 이하에 설명된 실시예들에 결코 한정되는 것은 아니다.
- [0024] (A): 외관 구성
- [0025] 이때, 이 명세서에서는, 화소 어레이부와 구동회로를 같은 반도체 프로세스를 사용해서 같은 기판 위에 형성한 표시 패널뿐만 아니라, 예를 들면 특정 응용 IC로서 일반적으로 제조된 구동회로를 화소 어레이부가 형성된 기판 위에 설치한 것도 유기EL표시 패널이라고 부른다.
- [0026] 도 5는 유기EL표시 패널(11)의 전형적인 외관 구성을 나타낸 도면이다. 도 5에 도시된 것처럼, 유기EL표시 패널(11)은, 화소 어레이부의 형성 영역으로서의 역할을 하는 지지 기판(13)에 포함된 영역에 대향부(15)를 부착한 구조를 하고 있다.
- [0027] 지지 기판(13)은, 유리, 플라스틱 또는 기타의 물질로 구성되고, 그 표면에 유기EL층이나 보호막을 적층한 구조를 가지고 있다. 마찬가지로, 대향부(15)는, 유리, 플라스틱 또는 기타의 물질 등의 재료로 구성된다. 이때, 유기EL표시 패널(11)은, 외부 소스로부터 지지 기판(13)에 일반적으로 신호들을 공급하여 그 지지 기판(13)으로부터 외부 목적지로 신호들을 출력하기 위한 FPC(플렉시블 프린트 서킷)(17)를 구비한다.
- [0028] (B): 제 1 실시예
- [0029] (B-1): 시스템 구성
- [0030] 이하에서는, 화소 및 화소로부터 구동 트랜지스터T2의 특성 변동의 영향을 막을 수 있고, 각 화소회로(9)를 구성하는 소자수가 적은 유기EL표시 패널(11)의 전형적인 시스템 구성을 설명한다.
- [0031] 도 6은, 유기EL표시 패널(11)의 전형적인 시스템 구성을 나타낸 블록도이다. 도 6의 블록도에 나타낸 유기EL표시 패널(11)은, 화소 어레이부(21)와, 신호 기록 제어선 구동부(23)와, 전류 공급선 구동부(25)와, 수평 셀렉터(27)와, 타이밍 생성기(29)로 구성된다.
- [0032] 화소 어레이부(21)는, 신호선DTL과 기록 제어선WSL과의 각 교점 위치에 서브 화소회로를 배치한 매트릭스 구조를 갖고 있다. 이와 관련하여, 서브 화소회로는 1화소를 구성하는 화소구조의 최소단위이다. 예를 들면, 화이트 유닛으로서의 1화소는, 서로 다른 3개의 서브 화소회로, 즉 R(적색), G(녹색), B(청색) 서브 화소회로로 이루어지도록 구성된다.
- [0033] 도 7은, 화소 어레이부(21)에서의 각각 서브 화소회로에 대응하는 화소회로(31)와, 구동회로로서 각각 기능하는 신호 기록 제어선 구동부(23), 전류 공급선 구동부(25) 및 수평 셀렉터(27)와의 사이의 배선 접속을 나타낸 블록도이다. 도 8은, 그 화소회로(31)의 내부 구성에 초점을 두어서, 제 화소회로(31)와, 상기 신호 기록 제어선 구동부(23), 상기 전류 공급선 구동부(25) 및 상기 수평 셀렉터(27)와의 사이의 배선 접속을 나타낸 블록도이다. 도 8의 블록도에 나타낸 것처럼, 화소회로(31)는, 샘플링 트랜지스터T1, 구동 트랜지스터T2, 신호 유지용량Cs 및 유기EL소자OLED로 구성된다. 각 샘플링 트랜지스터T1 및 구동 트랜지스터T2는 N채널형 박막 트랜지스터이다.
- [0034] 이 회로 구성의 경우도, 신호 기록 제어선 구동부(23)는, 기록 제어선WSL을 통해서 샘플링 트랜지스터T1을 개폐의 상태를 제어한다. 샘플링 트랜지스터T1은, 개폐 상태로 되어, 신호선DTL 전위를 신호 유지용량Cs에 저장하는 동작을 제어한다. 이와 관련하여, 신호 기록 제어선 구동부(23)는, 수직해상도 입상만큼 많은 출력단을 갖는 쉬프트 레지스터를 이용하도록 구성된다.
- [0035] 전류 공급선 구동부(25)는, 전류 공급선DSL의 전위를 후술하는 것처럼 미리 결정된 2개의 레벨 Vcc와 Vss 중 하나로 설정한다. 전류 공급선DSL은, 구동 트랜지스터T2의 특정한 한쪽의 주 전극에 접속되어 신호 기록 제어선 구동부(23)와 수평 셀렉터(27)인 다른 구동회로와의 협동동작에 의해 화소회로(31)에 의해 실행된 동작을 제어한다. 구동 트랜지스터T2의 주 전극은, 구동 트랜지스터T2의 소스 및 드레인 전극이다. 화소회로(31)에 의한 동작은, 유기EL소자OLED를 구동하여 발광 또는 비발광하는 동작뿐만 아니라, 화소단위의 특성 변동에 대해 화소회로(31)를 보정하는 동작도 포함된다. 이 제 1 실시예의 경우, 화소단위의 특성 변동에 대해 화

소회로(31)를 보정하는 동작은, 구동 트랜지스터T2의 임계전압의 변동과 이동도의 변동을 보상하여 이 임계전압과 이동도의 변동에 의해 생긴 유니포머티의 열화를 제거하는 동작을 포함한다.

[0036] 수평 셀렉터(27)는, 신호선DTL에, 화소단위의 임계전압 변동의 영향에 대한 구동 트랜지스터T2를 보상하기 위한 화소 데이터Din를 나타내는 신호 전위Vsig 또는 기준전위Vofs를 인가한다. 이하, 기준전위Vofs를 오프셋 전위라고 한다. 이때, 수평 셀렉터(27)는, 수평해상도 입상만큼 많은 출력단을 갖는 쉬프트 레지스터를 구비하도록 구성된다. 또한, 수평 셀렉터(27)는, 각 출력단에 대응하는 래치회로와, D/A변환 회로와, 버퍼 회로와, 셀렉터로 구성된다.

[0037] 타이밍 생성기(29)는, 기록 제어선WSL, 전류 공급선DSL, 신호선DTL의 구동에 필요한 타이밍 펄스를 생성하기 위한 회로소자이다.

[0038] (B-2): 전형적인 구동 동작

[0039] 도 9는, 도 8의 블록도에 나타낸 전형적인 구성에 포함된 화소회로(31)의 구동 동작에 관련된 신호들의 복수의 타이밍 차트를 나타낸 타이밍도다. 이와 관련하여, 도 9의 타이밍도에서는, 전류 공급선DSL에 인가하는 발광 전위인 고전위가 참조부호 Vcc를 의미하고, 전류 공급선DSL에 인가하는 비발광 전위인 저전위가 참조부호 Vss를 의미한다. 상술한 것처럼, 전류 공급선 구동부(25)는, 전류 공급선DSL의 전위를 상기 2개의 레벨 Vcc와 Vss 중 하나로 설정한다.

[0040] 우선, 발광 상태에 있어서의 화소회로(31)의 동작 상태를 도 10의 회로도를 참조하여 설명한다. 이 발광 상태에서, 샘플링 트랜지스터T1은 오프 상태다. 한편, 구동 트랜지스터T2는 포화 영역에서 동작하고 있고, 게이트-소스간 전압Vgs에 따라 정해지는 구동전류 Ids를 도 9의 기간 t1에 유기EL소자OLED에 공급한다.

[0041] 다음에, 비발광 상태의 화소회로(31)의 동작을 설명한다. 화소회로(31)의 상태는, 전류 공급선DSL의 전위가 고전위Vcc로부터 저전위Vss로 도 9의 타이밍도의 기간 t2에서 변화시켜서 발광상태로부터 비발광 상태로 전환된다. 이 경우에, 저전위Vss가 유기EL소자OLED의 임계전압Vth1과 캐소드 전위Vcath와의 합보다 작은 경우(즉, $Vss < (Vth1 + Vcath)$), 유기EL소자OLED는 소등한다.

[0042] 이때, 구동 트랜지스터T2의 소스 전위 Vs는 전류 공급선DSL의 전위와 같다. 즉, 유기EL소자OLED의 애노드 전극은 저전위Vss로 전기적으로 충전된다. 도 11은 화소회로(31)의 동작 상태를 나타낸 회로도다. 도 11의 회로도에 파선 화살표로 나타낸 바와 같이, 신호 유지용량Cs에 유지되어 있었던 전하는 전류 공급선DSL에 방전된다.

[0043] 이 후, 신호선DTL의 전위가 화소단위의 임계전압 변동의 영향에 대한 구동 트랜지스터T2의 보정용의 오프셋 전위Vofs로 설정된 상태에서, 기록 제어선WSL이 고전위로 변화되면, 온 동작한 샘플링 트랜지스터T1을 통하여 구동 트랜지스터T2의 게이트 전위 Vg가 오프셋 전위Vofs로 도 9의 타이밍도에 도시된 기간 t3에서 변화된다.

[0044] 도 12는 이 경우에 있어서의 화소회로(31)의 동작 상태를 나타낸 회로도다. 이 때, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는 (Vofs-Vss)의 전위차로 주어진다. 이 (Vofs-Vss)의 전위차는, 구동 트랜지스터T2의 임계전압Vth보다도 큰 값으로 설정된다. 이것은, 관계 $(Vofs - Vss) > Vth$ 를 만족시키지 않으면, 화소단위의 임계전압 변동의 영향에 대한 구동 트랜지스터T2를 보정하는 동작을 실행할 수 없기 때문이다.

[0045] 다음에, 전류 공급선DSL의 전위가 다시 저전위Vss로부터 고전위Vcc로 도 9의 타이밍도에 도시된 기간 t4에서 바뀔 수 있다. 도 13은 이 경우에 있어서의 화소회로(31)의 동작 상태를 나타낸 회로도다. 이때, 도 13의 회로도에서는, 유기EL소자OLED를 등가회로로서 나타낸다.

[0046] 즉, 유기EL소자OLED를, 다이오드와 기생 용량Cel로 이루어진 등가회로로서 나타낸다. 이 경우에, $Vel \leq (Vcat + Vth1)$ 의 관계를 충족시키는 한, 유기EL소자OLED의 리크 전류가 구동 트랜지스터T2에 흐르는 구동 전류 Ids보다 작다고 생각할 수 있다면, 구동 트랜지스터T2에 흐르는 구동전류 Ids는, 신호 유지용량Cs와 기생 용량Cel을 전기적으로 충전하는데 사용된다. 이 관계에서, 참조부호 Vel은 유기EL소자OLED의 애노드 전위를 나타내고, 참조부호 Vth1은 유기EL소자OLED의 임계전압Vth1을 나타내고, 참조부호 Vcath는 유기EL소자OLED의 캐소드 전위를 나타낸다. 유기EL소자OLED의 애노드 전위 Vel은 구동 트랜지스터T2의 소스전위 Vs이다.

[0047] 결과적으로, 도 14의 회로도에 나타나 있는 바와 같이 시간의 경과와 함께 유기EL소자OLED의 애노드 전위 Vel은 상승한다. 즉, 구동 트랜지스터T2의 게이트 전위는 오프셋 전위Vofs에 고정된 상태 그대로, 구

동 트랜지스터T2의 소스 전위 V_s 가 상승을 시작한다. 이 동작이 화소단위의 임계전압 변동의 영향에 대한 구동 트랜지스터T2를 보정하는 동작이다.

[0048] 드디어, 구동 트랜지스터T2의 게이트-소스간 전압 V_{gs} 는 구동 트랜지스터T2의 임계전압 V_{th} 에 도달한다. 이 때, $V_{el}=(V_{ofs}-V_{th})\leq(V_{cat}+V_{thel})$ 관계를 만족시키고 있다. 화소단위의 임계전압 변동의 영향에 대한 구동 트랜지스터T2를 보정하는 동작이 종료하면, 샘플링 트랜지스터T1이 도 9의 타이밍도에 도시된 기간 t_5 에서 다시 오프 제어된다.

[0049] 이 후, 신호선DTL의 전위가 신호 전위 V_{sig} 로 변화하기를 바라는 타이밍 이후에, 샘플링 트랜지스터T1은 도 9의 타이밍도에 도시된 기간 t_6 에서 다시 온 상태로 제어된다. 도 15는, 이 경우에 있어서의 화소회로(31)의 동작 상태를 나타낸 회로도다. 이와 관련하여, 신호 전위 V_{sig} 은, 화소회로(31)의 게조값을 나타내는 전위다.

[0050] 이 때, 구동 트랜지스터T2의 게이트 전위 V_g 은, 신호 전위 V_{sig} 로 천이한다. 한편, 구동 트랜지스터T2의 소스 전위 V_s 는, 전류 공급선DSL로부터 신호 유지용량 C_s 에 흐르는 전류로 인한 시간의 경과와 함께 상승한다.

[0051] 이 때, 구동 트랜지스터T2의 소스 전위 V_s 가 유기EL소자OLED의 임계전압 V_{thel} 과 캐소드 전압 V_{cat} 의 합을 초과하지 않으면, 즉 유기EL소자OLED의 리크 전류가 구동 트랜지스터T2에 흐르는 구동전류보다도 상당히 작으면, 구동 트랜지스터T2를 통해 흐르는 구동전류 I_{ds} 는, 신호 유지용량 C_s 와 기생 용량 C_{el} 을 전기적으로 충전하는데 사용된다.

[0052] 이때, 화소단위의 임계전압 변동의 영향에 대한 구동 트랜지스터T2를 보정하는 동작이 종료되었으므로, 구동 트랜지스터T2를 통해 흐르는 구동전류 I_{ds} 는, 구동 트랜지스터T2의 이동도 μ 을 반영한 크기가 된다. 구체적으로는, 구동 트랜지스터T2의 이동도 μ 가 클수록, 구동 트랜지스터T2를 흐르는 구동전류 I_{ds} 가 커짐에 따라, 소스 전위 V_s 의 상승속도도 도 16의 실선 그래프로 나타낸 것과 같이 빨라진다. 반대로, 구동 트랜지스터T2의 이동도 μ 가 작을수록, 구동 트랜지스터T2를 흐르는 구동전류 I_{ds} 가 작아짐에 따라, 도 16의 파선의 그래프로 나타낸 것과 같이 소스 전위 V_s 의 상승속도는 늦어진다.

[0053] 결과적으로, 신호 유지용량 C_s 의 유지 전압은, 화소단위로 구동 트랜지스터T2의 이동도 μ 의 변동에 대해 보정된다. 즉, 구동 트랜지스터T2의 게이트-소스간 전압 V_{gs} 는, 화소단위의 이동도 μ 의 변동의 영향에 대한 구동트랜지스터T2를 보정하는 결과로서 얻어진 전압으로 변화된다.

[0054] 최후에, 샘플링 트랜지스터T1이 오프 제어되어서 신호 전위 V_{sig} 를 도 9의 타이밍도에 도시된 기간 t_7 에 저장하는 동작이 종료하고, 유기EL소자OLED의 발광 기간이 개시된다. 도 17은 이 경우에 있어서의 화소회로(31)의 동작 상태를 나타낸 회로도다. 이때, 구동 트랜지스터T2의 게이트-소스간 전압 V_{gs} 의 크기는 일정하다. 그래서, 이 상태에서, 구동 트랜지스터T2는 일정한 구동전류 I_{ds}' 을 유기EL소자OLED에 출력한다.

[0055] 이에 따라, 유기EL소자OLED의 애노드 전위 V_{el} 은, 유기EL소자OLED에 구동전류 I_{ds}' 을 흘려보내는 전위 V_x 까지 상승한다. 이 때문에, 유기EL소자OLED에 의한 발광이 개시된다.

[0056] 부수적으로, 이 제 2 실시예에 따른 화소회로(31)의 경우에도, 발광 기간의 길이가 길어지면, 즉 시간이 감에 따라, 유기EL소자OLED의 I-V특성이 도 3을 참조하여 상승한 것처럼 변화된다.

[0057] 그래서, 구동 트랜지스터T2의 소스 전위 V_s 도 변화된다. 그러나, 구동 트랜지스터T2의 게이트-소스간 전압 V_{gs} 는, 신호 유지용량 C_s 에 의해 일정하게 유지되므로, 유기EL소자OLED에 공급된 구동전류 I_{ds} 의 양은 변화되지 않고, 유기EL소자OLED의 발광 휘도가 일정한 값으로 유지될 수 있다. 이렇게, 이 제 1 실시예에 따른 화소회로(31)의 사용과 화소회로(31)를 구동하는 구동방식의 채용에 의해, 유기EL소자OLED의 시간의 경과에 따른 I-V특성의 변화에 관계없이, 신호 전위 V_{sig} 에 의해 결정된 구동전류 I_{ds} 를 유기EL소자OLED에 항상 계속해서 흘려보낼 수 있다. 이에 따라, 유기EL소자OLED의 시간의 경과에 따른 I-V특성으로 나타난 변화에 영향을 받지 않고 유기EL소자OLED의 발광 휘도를 신호 전위 V_{sig} 에 의해서만 결정된 값으로 계속해서 유지할 수 있다.

[0058] (B-3): 결론

[0059] 상승한 것처럼, 이 제 2 실시예에 따른 화소회로(31)의 사용과 화소회로(31)를 구동하는 구동방식의 채용에 의해, 화소회로(31)의 구동 트랜지스터T2를 N채널형 박막트랜지스터로 구성할 경우에도, 화소마다 휘도 변동이 없는 유기EL표시 패널을 실현할 수 있다. 또한, N채널형 박막트랜지스터로서 화소회로(31)에서 이용된

모든 트랜지스터를 생성하여, 유기 E L 표시 패널의 제조 프로세스로서, 아모르포스 실리콘계의 프로세스를 채용할 수 있다.

[0060] (C): 제 2 실시예

[0061] (C-1): 시스템 구성

[0062] 제 2 실시예에서는, 보다 낮은 가격으로 제조할 수 있는 유기 E L 표시 패널의 구조를 실현하고, 그 유기 E L 표시 패널에서 이용된 유기 E L 소자 구동방법을 실현한다.

[0063] 도 18 은, 유기 E L 표시 패널(11)의 전형적인 시스템 구성을 나타낸 블록도다. 도 6의 블록도에 도시된 시스템 구성에 포함된 각각의 대응부분과 동일한 구성요소들로서 상기 전형적인 시스템 구성에서 이용된 구성요소들은, 대응 부분과 동일한 참조번호 및 참조 표시로 나타내어져 있다. 도 18의 블록도에 나타낸 유기 E L 표시 패널(11)은, 화소 어레이부(41), 신호 기록 제어선 구동부(43), 펄스 전압원(45), 수평 셀렉터(27) 및 타이밍 생성기(47)로 구성된다. 특히, 각 신호 기록 제어선 구동부(43), 상기 펄스 전압원(45) 및 상기 수평 셀렉터(27)는, 화소 어레이부(41)의 구동회로로서 역할을 한다.

[0064] 화소 어레이부(41)도, 액티브 매트릭스 구동방식을 채용한다. 따라서, 화소 어레이부(41)도, 신호선 DTL과 기록 제어선 WSL의 교점에 각각 위치된 서브 화소회로로 이루어진 매트릭스 구조를 갖는다. 그렇지만, 제 2 실시예의 경우, 상기 구동전류 Ids를 공급하는 전원선에 인가된 전원전위는, 일정한 고전위 Vcc이다. 이것에 따라, 화소회로(51)의 구성에는, 구동 트랜지스터 T2의 게이트 전위 Vg와 유기 E L 소자 O L E D의 애노드 전위 Ve1을 다른 배선을 통해서 제어할 수 있는 구조를, 새롭게 추가한다.

[0065] 도 19는 화소 어레이부(41)에서 서브 화소회로로서 각각 역할을 하는 화소회로(51)와, 구동회로로서 각각 기능하는 신호 기록 제어선 구동부(43), 펄스 전압원(45) 및 수평 셀렉터(27)와의 사이의 배선 접속을 도시한 블록도이다. 또, 도 20은, 화소회로(51)의 내부 구성에 초점을 두어서, 화소회로(51)와, 상기 신호 기록 제어선 구동부(43), 상기 펄스 전압원(45) 및 상기 수평 셀렉터(27)와의 사이의 배선 접속을 도시한 블록도이다. 도 20의 블록도에 도시된 것처럼, 화소회로(51)는, 샘플링 트랜지스터 T1, 구동 트랜지스터 T2, 신호 유지용량 Cs 및 커플링 용량 Cc를 사용한다. 샘플링 트랜지스터 T1과 구동 트랜지스터 T2 각각은, N 채널형의 박막트랜지스터이다.

[0066] 도 20의 블록도에 나타나 있는 바와 같이, 샘플링 트랜지스터 T1, 구동 트랜지스터 T2, 신호 유지용량 Cs 및 유기 E L 소자 O L E D는, 제 1 실시예와 같은 방식으로 서로 접속된다. 커플링 용량 Cc는 화소회로(51)에서 이용된 새로운 구성요소이다. 이 커플링 용량 Cc의 특정한 전극은, 구동 트랜지스터 T2의 소스 전극에 접속된다. 이전에 설명된 것처럼, 구동 트랜지스터 T2의 소스전극은 유기 E L 소자 O L E D의 애노드 전극에 접속된다. 상기 커플링 용량 Cc의 다른 쪽의 전극은 전체 화소회로(51)에 공통되는 선인 용량제어선 C N T L에 접속된다.

[0067] 이 실시예의 경우, 용량제어선 C N T L은 수평 라인을 따라 배선되어 있다. 그렇지만, 용량제어선 C N T L은 수평 라인에 대하여 수직방향으로 배향되는 화소열을 따라 배선될 수도 있다. 어느쪽의 경우든, 모든 용량제어선 C N T L은 일단에 있어서 하나의 접합점에 서로 접속되어, 펄스 전압원(45)의 출력단자와 전기적으로 접속된 신호선을 형성한다.

[0068] 제 2 회로 구성일 경우에도, 신호 기록 제어선 구동부(43)는, 기록 제어선 W S L을 통해서 샘플링 트랜지스터 T1을 개폐 상태의 동작을 제어한다. 샘플링 트랜지스터 T1은, 개폐 상태로 되어, 신호선 DTL 전위를 신호 유지용량 Cs에 저장하는 동작을 제어한다. 이와 관련하여, 신호 기록 제어선 구동부(43)는, 수직해상도 입상만큼 많은 출력단을 갖는 쉬프트 레지스터를 이용하도록 구성된다.

[0069] 펄스 전압원(45)은, 각 화소회로(51)와 전기적으로 접속된 용량제어선 C N T L을 2개의 소정의 전위레벨, 즉 고전위 Vdd와 저전위 Vini로 설정하는 회로 디바이스다. 펄스 전압원(45)은, 주기적으로 펄스 신호를, 즉 수평주사기간마다 1펄스를 발생한다. 그 펄스신호의 하이레벨과 로우레벨은, 각각 고전위 Vdd와 저전위 Vini이다.

[0070] 즉, 제 2 실시예의 경우에, 펄스 전압원(45)은, 그 수평주사기간의 시작에서 펄스를 생성하고, 일정 기간동안 고전위 Vdd로 상기 펄스의 고전위를 유지한다. 그 후에, 펄스 전압원(45)은, 그 펄스를 저전위 Vini로 강하시키고, 상기 저전위를 나머지 수평주사 기간동안 상기 저전위 Vini로 유지한다. 펄스 전압원(45)은, 이 동작을 전원이 투입되고 있는 동안, 반복 실행한다.

[0071] 이때, 상기 펄스의 폭은, 나중에 설명될 임계전압 보정준비 처리를 실행하는데 필요한 시간 길이를 고

려해서 정해진다. 상기 펄스의 폭은, 상기 펄스의 전위가 고전위Vdd에 있는 동안의 기간의 길이이다.

[0072] 이 제 2 실시예의 경우, 용량제어선CNTL의 전위변화는 모든 화소회로(51)에 공통한 변화로서, 모든 화소회로(51)에서 공유된다. 그래서, 용량제어선CNTL의 전위변화는, 커플링 효과의 양으로 결정된 레벨차만큼 구동 트랜지스터T2의 게이트 전극 및 소스전극 각각에 나타나는 게이트 전위Vg과 소스 전위Vs를 상승 및 강하시킨다.

[0073] 이와 관련하여, 구동 트랜지스터T2의 게이트 전극이 샘플링 트랜지스터T1의 오프 상태 또는 샘플링 트랜지스터T1의 개방상태에 의해 생긴 플로우팅 상태에 있는 경우, 구동 트랜지스터T2의 게이트 전위Vg는, 구동 트랜지스터T2의 게이트-소스간 전압Vgs를 일정한 크기로 유지한 상태로 구동 트랜지스터T2의 소스 전위Vs의 변위에 연동해서 변화된다.

[0074] 한편, 구동 트랜지스터T2의 게이트 전극이 샘플링 트랜지스터T1의 온 상태 또는 샘플링 트랜지스터T1의 폐쇄상태에 의해 생긴 고정 상태에 있는 경우, 구동 트랜지스터T2의 소스 전위Vs만 용량제어선CNTL의 전위 변동에 연동한다. 결과적으로, 용량제어선CNTL의 전위 변동의 전후에서, 구동 트랜지스터T2의 게이트-소스간 전압Vgs가 변화된다.

[0075] 이 제 2 실시예의 경우, 각 화소회로(51)에 전기적으로 접속된 용량제어선CNTL을 2개의 전위레벨, 즉 고전위Vdd와 저전위Vini로 설정함으로써, 다른 구동회로에 의해 행해진 동작과 협동하여 다른 배선 전위를 제어하는 상기 설명한 것처럼, 임계전압 보정준비 처리, 임계전압 보정 처리, 신호 전위Vsig의 신호 유지용량Cs에 저장하는 동작 및 이동도 보정처리를 정확히 실행할 수 있다. 임계전압 보정처리 및 이동도보정처리를 정확히 실행함으로써, 제 1 실시예의 경우와 같이 화소단위의 특성 변동에 대해 구동 트랜지스터T2를 보정하고, 임계전압과 이동도의 변동을 나타낸 특성 변동에 의해 생긴 유니포머티의 열화를 없앤다.

[0076] 수평 셀렉터(27)는, 신호선DTL에 화소 데이터Din을 나타내는 신호 전위Vsig 또는 화소단위의 임계전압의 영향에 대한 구동 트랜지스터T2를 보정하는 기준전압Vofs를 인가한다. 본 명세서에서, 상기 기준전압Vofs를 오프셋 전위Vofs라고도 한다. 이때, 수평 셀렉터(27)는, 수평해상도 입상만큼 많은 출력단을 갖는 쉬프트 레지스터를 구비하도록 구성된다. 또한, 수평 셀렉터(27)는, 각 출력단에 대응하는 래치회로와, D/A변환회로와, 버퍼 회로와, 셀렉터로 구성된다.

[0077] 셀렉터는, 상기 셀렉터와 연관된 출력단에 대한 신호선DTL에 인가되는 전위로서 신호 전위Vsig 또는 오프셋 전위Vofs를 선택한다. 타이밍 생성기(47)는, 기록 제어선WSL, 용량제어선CNTL, 신호선DTL의 구동에 필요한 타이밍 펄스를 생성하는 회로 디바이스다.

[0078] (C-2): 전형적인 구동동작

[0079] 도 21은 도 20의 블록도에 나타낸 전형적인 구성에 구비된 화소회로(51)의 구동동작에 관련된 신호들의 복수의 타이밍 차트를 나타낸 타이밍도다. 이와 관련하여, 도 21의 타이밍도에서는, 용량제어선CNTL에 인가하는 2종류의 전원전위 중 고전위쪽을 참조부호 Vdd로 나타내고, 저전위쪽을 Vini로 나타낸다.

[0080] 우선, 발광 상태에 있어서의 화소회로(51)의 동작을 도 22의 회로도도를 참조하여 설명한다. 이 때, 샘플링 트랜지스터T1은 오프 상태다. 즉, 구동 트랜지스터T2의 게이트 전극은 플로우팅 상태에 있다.

[0081] 따라서, 용량제어선CNTL의 전위가 주기적인 동작으로 1수평주사기간 내에 하이레벨로 상승할 때마다, 정방향 커플링 파형은, 도 21의 타이밍도에 도시된 기간 t1 동안, 구동 트랜지스터T2의 게이트 전위Vg를 나타내기 위해 도 21의 타이밍도의 타이밍 차트 D로 나타낸 신호와, 구동 트랜지스터T2의 소스 전위Vs를 나타내기 위해 도 21의 타이밍도의 타이밍 차트 E로 나타낸 신호에 혼입된다. 한편, 용량제어선CNTL의 전위가 주기적인 동작으로 1수평주사기간 내에 로우레벨로 하강할 때마다, 부방향 커플링 파형은, 도 21의 타이밍도에 도시된 기간 t1 동안, 구동 트랜지스터T2의 게이트 전위Vg를 나타내기 위해 도 21의 타이밍도의 타이밍 차트 D로 나타낸 상기 신호와, 구동 트랜지스터T2의 소스 전위Vs를 나타내기 위해 도 21의 타이밍도의 타이밍 차트 E로 나타낸 상기 신호에 혼입된다.

[0082] 이때, 구동 트랜지스터T2의 게이트 전극은 플로우팅 상태이므로, 커플링 파형의 혼입에 관계 없이, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는 일정한 그대로다. 따라서, 구동 트랜지스터T2는 포화 영역에서의 동작을 계속한다. 결과적으로, 유기EL소자OLED는, 구동 트랜지스터T2의 게이트-소스간 전압Vgs에 따른 구동전류Ids에서의 발광 상태를 1수평주사기간에 걸쳐 계속한다.

[0083] 다음에, 비발광 상태의 동작 상태를 설명한다. 비발광 상태는, 도 21의 타이밍도에 도시된 기간t2에,

용량제어선CNTL의 전위가 고전위Vdd이며, 또한 신호선DTL의 전위가 오프셋 전위Vofs인 동안에 기록 제어선WSL이 고전위로 설정될 때 개시된다. 도 23은, 이 시점에 있어서의 화소회로(51)의 동작 상태를 나타낸 회로도다.

[0084] 이 때, 구동 트랜지스터T2의 게이트 전위Vg를 나타내기 위해 도 21의 타이밍도의 타이밍 차트 D로 나타낸 신호는, 오프셋 전위Vofs에 근접하도록 제어된다.

[0085] 한편, 구동 트랜지스터T2의 소스 전위Vs를 나타내기 위해 도 21의 타이밍도의 타이밍 차트 E로 나타낸 신호는, 신호 유지용량Cs에서 생성된 커플링 효과의 양에 대응한 강하만큼 천이된다. 이 결과, 구동 트랜지스터T2의 게이트-소스간 전압Vgs가 구동 트랜지스터T2의 임계전압Vth 이하로 천이하면, 유기EL소자OLED는 발광 상태에서부터 비발광 상태로 천이한다.

[0086] 이 때, 구동 트랜지스터T2의 소스 전위Vs이 유기EL소자OLED의 임계전압Vthel과 캐소드 전압Vcat의 합 이하이면, 유기EL소자OLED를 흐르는 리크 전류가 없기 때문에 천이후의 전압이 그대로 유지된다. 이때, 상술한 것처럼, 구동 트랜지스터T2의 소스 전위Vs가 유기EL소자OLED의 애노드 전위Vel이다.

[0087] 한편, 구동 트랜지스터T2의 소스 전위Vs가 유기EL소자OLED의 임계전압Vthel과 캐소드 전압Vcat의 합 이상일 경우에는, 신호 유지용량Cs로부터 유기EL소자OLED를 통해서 전하가 방전된다. 결과적으로, 구동 트랜지스터T2의 소스 전위Vs는, 유기EL소자OLED의 임계전압Vthel과 캐소드 전압Vcat의 합(즉, Vthel+Vcat)과 같게 된다.

[0088] 도 23은, 구동 트랜지스터T2의 소스 전위Vs가 (Vthel+Vcat)와 같게 되는 상태로서 화소회로(51)의 동작상태를 나타낸 회로도다. 이때, 오프셋 전위Vofs은, 캐소드 전압Vcat과, 유기EL소자OLED의 임계전압Vthel과, 구동 트랜지스터T2의 임계전압Vth의 합 이하이면 임의의 전압으로 설정될 수 있다.

[0089] 신호 유지용량Cs에 오프셋 전위Vofs를 저장하는 동작이 완료하면, 샘플링 트랜지스터T1이 도 21의 타이밍도에 도시된 시간 t3에 오프 제어된다. 샘플링 트랜지스터T1이 오프 제어됨에 따라, 구동 트랜지스터T2의 게이트 전극은 플로우팅 상태가 된다.

[0090] 이 후, 용량제어선CNTL의 전위가 고전위Vdd로부터 저전위Vini로 변화하도록 제어된다. 이 시점에 있어서의 화소회로(51)의 동작 상태를 도 24의 회로도에 나타낸다.

[0091] 이 때, 구동 트랜지스터T2의 게이트 전위Vg과 소스 전위Vs에는, 각각 다음식으로 주어지는 ΔV1의 커플링 성분이 중첩된다.

[0092]
$$\Delta V1 = \{C_c / (C_c + C_{el})\} \cdot (V_{dd} - V_{ini})$$

[0093] 이와 관련하여, 윗식에서, 참조부호 Cc는 커플링 용량Cc의 용량값을 나타내고, Cel은 유기EL소자OLED의 기생 용량값을 나타낸다.

[0094] 이때, 상기 커플링 성분ΔV1은, 임계전압 보정 준비 처리가 개시될 때 종료되는 기간 동안, 용량제어선CNTL의 전위가 고전위Vdd로부터 저전위Vini로, 또 저전위Vini로부터 고전위Vdd로 바뀔 때마다 구동 트랜지스터T2의 게이트 전위Vg과 소스 전위Vs에 각각 중첩된다.

[0095] 물론, 용량제어선CNTL의 전위가 고전위Vdd로부터 저전위Vini로 변화될 경우에는, 부방향의 커플링 성분ΔV1이 구동 트랜지스터T2의 게이트 전위Vg과 소스 전위Vs에 각각 중첩된다. 한편, 용량제어선CNTL의 전위가 저전위Vini로부터 고전위Vdd로 변화될 경우에는, 정방향의 커플링 성분ΔV1이 구동 트랜지스터T2의 게이트 전위Vg과 소스 전위Vs에 각각 중첩된다.

[0096] 드디어, 도 21의 타이밍도에 도시된 시간 t4 및 t5에서, 임계전압 보정준비 처리 기간이 도래한다. 즉, 도 21의 타이밍도에 도시된 시간 t4에, 임계전압 보정준비 처리는, 용량제어선CNTL의 전위가 저전위Vini이며, 또한, 신호선DTL의 전위가 오프셋전위Vofs의 상태에서, 샘플링 트랜지스터T1이 온 제어 됨으로써 시작된다. 이 시점에 있어서의 화소회로(51)의 동작 상태를 도 25의 회로도에 나타낸다.

[0097] 이 샘플링 트랜지스터T1이 이 시점에서 온 상태에서, 오프셋 전위Vofs의 샘플링에 의해, 구동 트랜지스터T2의 게이트 전위Vg과 소스 전위Vs가 변위한다. 즉, 구동 트랜지스터T2의 게이트 전위Vg은 오프셋 전위Vofs로 변화되고, 소스전위Vs는 (Vcat+Vthel-ΔV1)로부터 (Vcat+Vthel-ΔV1+ΔV2)로 변화된다. 여기에서의 소스전위Vs의 변위량ΔV2은, 다음식으로 주어진다:

[0098]
$$\Delta V2 = \left\{ \frac{C_s + C_{gs}}{C_s + C_{gs} + C_c + C_{el}} \right\} \cdot \Delta V1 = g \cdot \Delta V1$$

[0099] 또한, 임계전압 보정준비 처리 기간 동안에는, 샘플링 트랜지스터T1이 온 제어된 상태로, 용량제어선CNTL의 전위가 저전위Vini로부터 고전위Vdd로 변화되도록 제어되어 상술한 것과 같은 구동 트랜지스터T2의 소스전위Vs에 중첩된 커플링 성분ΔV3이 생긴다. 이러한 정방향 커플링 성분ΔV3의 중첩에 따라, 구동 트랜지스터T2의 소스 전위Vs가 변위한다. 즉, 구동 트랜지스터T2의 소스 전위Vs는 (Vcat+Vthel-(1-g)·ΔV1)로부터 (Vcat+Vthel-(1-g)·ΔV1+ΔV3)로 변화된다.

[0100] 소스 전위Vs에서의 변화를 나타내는 정방향 커플링 성분ΔV3은, 다음식으로 주어진다:

[0101]
$$\Delta V3 = \left\{ \frac{C_c}{C_s + C_{gs} + C_c + C_{el}} \right\} \cdot (V_{dd} - V_{ini})$$

[0102] 이 정방향 커플링 성분ΔV3이 구동 트랜지스터T2의 소스전위Vs에 중첩될 때 임계전압 보정준비 처리가 종료된다. 도 21의 타이밍도에 도시된 기간 t5에서, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는, 정방향 커플링 성분ΔV3가 구동 트랜지스터T2의 소스전위Vs에 중첩하기 때문에 역바이어스 상태로 제어된다. 이 시점에 있어서의 화소회로(51)의 동작 상태를 도 26의 회로도에 나타낸다.

[0103] 그래서, 임계전압 보정준비 처리가 종료하면, 샘플링 트랜지스터T1이 오프된 상태에서, 용량제어선CNTL의 전위가 고전위Vdd로부터 저전위Vini로 변화되도록 제어된다. 즉, 구동 트랜지스터T2의 게이트 전극이 플로우팅된 상태에서, 용량제어선CNTL의 전위가 부방향 커플링 성분ΔV1을 생성하도록 구동된다. 이 때 생성된 부방향 커플링 성분ΔV1은, 도 21의 기간t3의 경우와 같다.

[0104] 따라서, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는, 커플링 구동전의 전압을 유지한 상태 그대로, 게이트 전위Vg과 소스 전위Vs가, 커플링 성분ΔV1씩 부방향으로 천이한다. 도 27은, 이 시점에 있어서의 화소회로(51)의 동작 상태를 나타낸 회로도다.

[0105] 이 후, 도 21의 기간 t7에 임계전압 보정처리가 개시된다. 이 임계전압 보정처리는, 용량제어선CNTL의 전위가 저전위Vini이며, 또한, 신호선DTL의 전위가 오프셋 전위Vofs에 있을 경우에, 샘플링 트랜지스터T1이 온 제어 됨으로써 개시된다. 이 때, 구동 트랜지스터T2의 게이트 전위Vg은, 물론, 오프셋 전위Vofs로 변화되도록 제어된다.

[0106] 한편, 구동 트랜지스터T2의 소스 전위Vs는, 임계전압 보정처리 직전의 구동 트랜지스터T2의 소스 전위에 대하여 gΔV1로 주어지는 커플링 성분이 중첩됨으로써 얻어진 전위로 변화된다. 도 28은, 이 시점에 있어서의 화소회로(51)의 동작 상태를 나타낸 회로도다. 도 28의 회로도에 나타나 있는 바와 같이, 구동 트랜지스터T2의 소스 전위Vs는, Vcat+Vthel-(2-2g)·ΔV1+ΔV3로 변화된다.

[0107] 결과적으로, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는, 다음식으로 주어진다:

[0108]
$$Vgs = Vofs - Vcat - Vthel + 2(1-g) \cdot \Delta V1 - \Delta V3$$

[0109] 이 게이트-소스간 전압Vgs가 구동 트랜지스터T2의 임계전압Vth보다 크면, 임계전압 보정처리가 개시된다. 바꾸어 말하면, 그 게이트-소스간 전압Vgs가 구동 트랜지스터T2의 임계전압Vth보다 클 필요가 있다.

[0110] 게이트-소스간 전압Vgs가 구동 트랜지스터T2의 임계전압Vth보다 크면, 도 28의 회로도의 파선 화살표로 나타낸 것처럼, (전원공급선의 역할을 하는) 전류 공급선에서 신호 유지용량Cs의 방향으로 전류가 흐른다.

[0111] 이때, 유기EL소자OLED의 등가회로는, 다이오드와 용량으로 이루어진다. 그래서, $V_{el} \leq (V_{cat} + V_{thel})$ 관계를 만족하면, 즉 유기EL소자OLED의 리크 전류가 구동 트랜지스터T2에 흐르는 구동전류Ids보다도 상당히 작으면, 구동 트랜지스터T2에 흐르는 구동전류Ids는 신호 유지용량Cs를 전기적으로 충전하는데 사용된다.

[0112] 이때, 유기EL소자OLED의 애노드 전위Vel은, 시간의 경과와 따라, 도 29에 나타낸 것처럼 서서히 상승한다. 그리고, 일정시간 경과 후에는, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는 구동 트랜지스터T2의 임계전압Vth와 같도록 된다. 그 후에 샘플링 트랜지스터T1을 오프 제어해서 임계전압 보정처리를 종료시킨다.

[0113] 이때, 유기EL소자OLED의 애노드 전위Vel은, 다음식으로 주어질 수 있다:

[0114]
$$V_{el} = Vofs - V_{th} \leq V_{cat} + V_{thel}$$

[0115] 이 후, 신호선DTL이 신호 전위Vsig로 설정된 시점에서, 샘플링 트랜지스터T1이 도 21의 기간 t8에

다시 온 제어된다. 이 시점에서의 화소회로(51)의 동작 상태를 도 30의 회로도에 나타낸다.

[0116] 화소회로(51)에 인가된 신호 전위Vsig은, 화소회로(51)의 계조값을 나타내는 전압이다. 샘플링 트랜지스터T1이 온으로 된 상태에서, 구동 트랜지스터T2의 게이트 전위Vg는, 샘플링 트랜지스터T1을 통해서 신호 전위Vsig와 같은 전위에 도달하도록 제어된다. 한편, 구동 트랜지스터T2의 소스 전위Vs는, 전원선으로부터 흐르는 구동전류에 의해 시간의 경과에 따라 상승한다.

[0117] 이 때, 구동 트랜지스터T2의 소스 전위Vs가 유기EL소자OLED의 임계전압Vthel과 캐소드 전압Vcat의 합을 초과하지 않으면, 즉 유기EL소자OLED의 리크 전류가 구동 트랜지스터T2를 통해 흐르는 구동전류Ids보다 작으면, 구동 트랜지스터T2에 흐르는 구동전류Ids는 신호 유지용량Cs를 전기적으로 충전하는데 사용된다.

[0118] 이때, 구동 트랜지스터T2의 임계전압 보정처리는 이미 완료되었으므로, 구동 트랜지스터T2에 흐르는 구동전류Ids는 구동 트랜지스터T2의 이동도μ를 반영한 값이 된다. 즉, 구동 트랜지스터T2의 이동도μ가 클수록, 구동 트랜지스터T2에 흐르는 구동전류Ids는 커지고, 그에 따라 도 31의 실선 그래프로 나타낸 것처럼 소스 전위Vs의 상승속도도 빨라진다. 이에 반해, 구동 트랜지스터T2의 이동도μ가 작을수록, 구동 트랜지스터T2에 흐르는 구동전류Ids는 작아지고, 그에 따라 도 31의 파선 그래프로 나타낸 것처럼 소스 전위Vs의 상승속도도 늦어진다.

[0119] 이에 따라, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는, 구동 트랜지스터T2의 이동도μ를 반영하는 크기까지 작아진다. 이 때문에, 신호 유지용량Cs의 유지 전압은 화소단위로 구동 트랜지스터T2의 이동도μ의 변동에 대해 보정된다. 즉, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는, 화소단위의 구동 트랜지스터T2의 이동도μ 변동으로서 미리 정해진 시간 경과 후에 관찰된 변동의 영향에 대한 구동 트랜지스터T2를 보정한 결과의 전압으로 변화된다.

[0120] 최후에, 샘플링 트랜지스터T1이 오프 제어되어서 도 21의 기간 t9에 신호 전위Vsig를 신호 유지용량Cs에 저장하는 동작을 종료하면, 유기EL소자OLED의 발광이 개시된다. 즉, 새로운 발광 기간이 개시된다.

[0121] 이 때, 구동 트랜지스터T2의 게이트-소스간 전압Vgs'은 일정하다. 따라서, 구동 트랜지스터T2는 일정한 구동전류Ids'을 유기EL소자OLED에 공급한다.

[0122] 이때, 유기EL소자OLED의 애노드 전위Vel은, 유기EL소자OLED에 구동전류Ids'이 흐르는 전압Vx까지 상승한다. 이에 따라, 유기EL소자OLED는 발광을 시작한다. 도 32는, 이 시점에서의 화소회로(51)의 동작 상태를 나타낸 회로도다.

[0123] 또한, 최초의 발광 시작으로부터 미리 정해진 시간이 경과한 후, 용량제어선CTL의 전위가 변화할 때마다, 커플링 성분ΔV가 구동 트랜지스터T2의 소스 전위에 중첩된다. 그렇지만, 발광 기간 동안 구동 트랜지스터T2의 게이트 전극이 플로우팅 상태이므로, 발광 개시시의 게이트-소스간 전압Vgs'이 유지된다. 결과적으로, 화소회로는 주기적으로 커플링 구동되지만, 신호 전위Vsig에 따른 발광 상태가 유지된다.

[0124] 이때, 제 2 실시예에 따른 상기 화소회로(51)의 경우에도, 발광 기간의 길이가 길어짐에 따라, 즉, 시간이 감에 따라, 도 3의 도면에 도시된 것과 같은 예정의 처리로 인한 변화로부터 유기EL소자OLED의 I-V특성이 변화하는 것을 피하기 어렵다. 따라서, 도 32의 회로도의 B점의 전위도 변화된다. 그러나, 구동 트랜지스터T2의 게이트-소스간 전압Vgs가 일정 크기로 유지되므로, 유기EL소자OLED에 흐르는 구동전류Ids의 크기는 어느 한쪽도 변화되지 않는다.

[0125] 이와 같이, 에이징 처리로 인한 시간의 경과에 따른 유기EL소자OLED의 I-V특성으로 나타낸 변화에 관계없이, 유기EL소자OLED에는, 신호 전위Vsig에 의해 정해진 구동전류Ids가 일반적으로 계속해서 흐르게 되는 것이 가능하다. 이렇게 하여, 유기EL소자OLED의 I-V특성의 시간의 경과에 따른 변화에 영향을 받지 않고 유기EL소자OLED의 발광휘도를 신호 전위Vsig로만 정해진 값으로 계속해서 유지될 수 있다.

[0126] (C-3): 결론

[0127] 이 제 2 실시예에 따른 구동방식의 채용에 의해, 전류 공급선(전원 공급선의 역할을 함)을 고정 전위화한 상태에서도, 제 1 실시예와 같은 동작 상태에서 각 화소회로(51)를 구동 제어할 수 있다.

[0128] 예를 들면, 전체 화소회로(51)에 공통되는 용량제어선CTL에 고전위Vdd를 인가한 상태에서 소광 전위인 오프셋 전위Vofs를 상기 신호 유지용량Cs에 저장하는 것에 의해, 화소회로(51)는, 발광 상태에서부터 소광상태

(또는 비발광상태)로 천이하는 제어 동작에 구동될 수 있다.

[0129] 또한, 예를 들면 오프셋 전위의 신호 유지용량Cs에의 저장 동작중에 용량제어선CTL의 전위를 저전위Vini로부터 고전위Vdd로 상승시키는 것에 의해, 화소회로(51)의 임계전압 보정준비 처리를 실현할 수 있다.

[0130] 또한, 예를 들면 용량제어선CTL에 저전위Vini이 인가된 상태에서 오프셋 전위Vofs이나 신호 전위Vsig을 신호 유지용량Cs에 저장하는 것에 의해, 임계전압 보정처리 및/또는 이동도 보정처리를 실현할 수 있다.

[0131] 결과적으로, 화소회로(51)는, 전류 공급선을 전체 화소회로(51) 공통의 고정 전압 전원 공급선으로서 이용하도록 구성될 수 있다. 제 1 실시예에서는 필수적인 복수의 출력단을 갖는 쉬프트 레지스터의 구성을 갖는 구동부로서 이용된 전류 공급선 구동부(25)를 없앨 수 있다. 게다가, 새롭게 추가하는 용량제어선CTL은, 전체 화소회로(51)에 공통되는 단일의 제어 펄스를 발생하는 펄스 전압원(45)으로 구동될 수 있다.

[0132] 즉, 구동부의 배치에 필요한 회로 면적의 크기를, 제 1 실시예의 회로 면적에 비해서 작게 할 수 있다. 특히, 패널 사이즈나 표시 해상도가 클 경우에는, 회로 면적 크기의 소형화 효과가 크다. 이러한 회로 면적 크기의 소형화 효과는 배치의 자유도를 향상시키고, 그 배치의 자유도가 큰 효과도 기대할 수 있다. 또한, 유기EL 표시 패널의 제조 비용을 저하시키는 효과도 기대할 수 있다.

[0133] 물론, 제 1 실시예의 경우와 같이 임계전압 보정처리와 이동도 보정처리는 가능하다. 그래서, 얼룩이 없는 균일한 화질에서의 표시가 가능하다.

[0134] (C-4): 임계전압 보정처리의 분할 실행

[0135] 전술한 설명에서는, 임계전압 보정처리가 1수평주사 기간내에 완료한다. 즉, 임계전압 보정처리가 1수평주사 기간내에서 한번만 실행된다. 그러나, 유기EL 소자의 고선명화 및/또는 고속으로 실행된 구동 동작에 따라, 1수평주사 기간은 단축화된다.

[0136] 이 경우, 임계전압 보정처리는, 여러번 복수의 임계전압 보정처리로 분할해서 실행할 필요가 발생한다. 도 33은, 임계전압 보정처리를 동일한 복수의 수평주사기간 중 하나에 각각 할당된 복수의 임계전압 보정처리로 분할하여 임계전압 보정처리를 실행하는 전형적인 구동 동작에 대한 복수의 타이밍 차트를 도시한 타이밍도이다. 또한, 도 33a~도 33e의 타이밍 차트는, 각각 도 21a~도 21e의 타이밍 차트에 각각 대응한다.

[0137] 우선, 임계전압 보정처리가 중단하는 시점부터 아래에 설명한다. 기간t8에서는, 신호선CTL에 화소회로(51)의 게조값에 대응하는 신호 전위Vsig가 인가되어, 샘플링 트랜지스터T1이 오프 상태로 제어된다. 이 상태에서, 구동 트랜지스터T2의 게이트 전극은 플로우팅 상태가 된다.

[0138] 임계전압 보정처리의 중단 시점에서는, 구동 트랜지스터T2의 게이트-소스간 전압Vgs가 구동 트랜지스터T2의 임계전압Vth보다 크다. 따라서, 임계전압 보정처리의 중단됨에 따라, 구동 트랜지스터T2는 온 상태를 유지하고, 이 상태에서 전류 공급선에서 흘러 들어오는 구동전류Ids가 신호 유지용량Cs와 기생 용량Cel의 전기적 충전에 사용된다. 결과적으로, 구동 트랜지스터T2의 소스 전위Vs는 상승하고, 이 상승에 따르는 신호 유지용량Cs에서 제공된 부트스트랩 효과에 따른 소위 부트스트랩 동작에서 구동 트랜지스터T2의 게이트 전위Vg도 상승한다.

[0139] 드디어, 신호선CTL에의 신호 전위Vsig의 인가가 종료하면, 샘플링 트랜지스터T1이 다시 온 상태로 제어되어, 임계전압 보정처리가 기간t9에서 재개된다. 이때, 구동 트랜지스터T2의 게이트 전위Vg는, 오프셋 전위Vofs로 하향 천이하도록 제어된다. 이 구동 트랜지스터T2의 게이트 전위Vg의 하향 천이와 연동해서, 구동 트랜지스터T2의 소스 전위Vs도 하향 천이하게 제어된다.

[0140] 이와 같이 구동 트랜지스터T2의 게이트 전위Vg가 오프셋 전위Vofs에 고정하는 상태에서, 기간t10에, 용량제어선CTL의 전위가 저전위Vini로부터 고전위Vdd로 변위시키는 제어와, 미리 결정된 시간 경과 후에 고전위Vdd로부터 저전위Vini로 변위시키는 제어가 실행된다.

[0141] 결과적으로, 기간t10에서의 임계전압 보정처리 기간 동안, 구동 트랜지스터T2의 소스 전위Vs에는, 정방향의 커플링 성분과 부방향의 커플링 성분이 서로 상쇄되도록 중첩된다.

[0142] 정방향의 커플링 성분과 부방향의 커플링 성분이 서로 상쇄된다는 사실은, 임계전압 보정처리의 재개후의 동작은, 용량제어선CNTL의 전위변화의 영향을 받지 않는다는 것을 의미한다.

[0143] 그러나, 정방향의 커플링 성분이 중첩했을 때의 소스 전위Vs가, 유기EL 소자OLED를 온 동작시키

지 않는 것이 요구된다. 즉, 구동 트랜지스터T2의 소스전위Vs는, 다음의 관계: $V_s \leq (V_{thel} + V_{cat})$ 을 만족시키는 것이 요구된다.

[0144] 이상과 같이, 임계전압 보정처리가 임계전압 보정처리를 복수의 임계전압 보정처리로 여러번 분할해서 실행되는 경우에도, 제 2 실시예에 따른 유기EL 표시 패널의 구조 및 구동방법은 효과적으로 동작한다.

[0145] (D): 제 3 실시예

[0146] (D-1): 시스템 구성

[0147] 제 3 실시예에서는, 전술한 제 1 및 제 2 실시예에서 각각 사용된 각 화소회로(31, 51)의 구성과 다른 구성을 각각 갖는 화소회로(71)를 이용하는 유기EL 표시 패널(11)의 다른 전형적인 시스템 구성을 실현하고, 그 제 3 실시예에 제공된 구동기술을 실현한다.

[0148] 아래에서는 제 3 실시예와 이전에 설명된 제 2 실시예간의 화소회로와 구동방법의 차이를 중점적으로 설명한다. 즉, 제 2 실시예와 제 3 실시예간의 화소회로와 구동방법의 차이점만을 설명한다.

[0149] 도 3 4는, 제 3 실시예에 따른 유기EL 표시 패널(11)의 전형적인 시스템 구성을 도시한 블록도이다. 도 1 8의 블록도에 도시된 시스템 구성에 포함된 구성요소 각각의 대응부분과 동일한 구성요소로서 이 전형적인 시스템 구성에서 사용된 구성요소는, 그 대응부분으로서 동일한 참조부호와 참조표시로 나타낸다.

[0150] 도 3 4에 나타난 유기EL 표시 패널(11)은, 화소 어레이부(61)와, 신호 기록 제어선 구동부(63), 펄스 전압원(45), 오프셋 신호선 구동부(65), 수평 셀렉터(67) 및 타이밍 생성기(69)로 구성된다. 특히, 신호 기록 제어선 구동부(63), 펄스 전압원(45), 오프셋 신호선 구동부(65) 및 수평 셀렉터(67) 각각은, 화소 어레이부(51)의 구동회로로서의 역할을 한다.

[0151] 화소 어레이부(61)의 화소회로(71)의 배치는 제 2 실시예와 같다. 즉, 화소 어레이부(61)는, 신호선DTL과 기록 제어선WSL과의 각 교점 위치에 서브 화소회로를 배치한 매트릭스 구조를 갖고 있다. 그렇지만, 이 제 3 실시예의 경우, 신호선DTL은 화소회로(71)에 신호 전위Vsig를 전용으로 공급하는 선으로서 사용된다. 또한, 화소회로(71)에 오프셋 전위Vofs를 전용으로 공급하는 선으로서, 새롭게 추가된 오프셋 신호선 구동부(65)에 의해 구동된 새롭게 추가된 오프셋 신호선OFSL을 사용한다.

[0152] 도 3 5는 화소 어레이부(61)의 서브화소회로로서 각각 역할을 하는 화소회로(71)와, 구동회로로서 각각 기능하는 신호 기록 제어선 구동부(63), 펄스 전압원(45), 오프셋 신호선 구동부(65) 및 수평 셀렉터(67)와의 사이의 배선 접속을 도시한 블록도이다. 또한, 도 3 6은, 화소회로(71)의 내부 구성에 초점을 두어서, 화소회로(71)와, 상기 신호 기록 제어선 구동부(63), 펄스 전압원(45), 오프셋 신호선 구동부(65) 및 수평 셀렉터(67)와의 사이의 배선 접속을 도시한 블록도이다. 도 3 6의 블록도에 도시된 것처럼, 화소회로(71)는, 제 1 샘플링 트랜지스터T1, 구동 트랜지스터T2, 제 2 샘플링 트랜지스터T3과, 신호 유지용량Cs과, 커플링 용량Cc 및 유기EL소자 OLED로 구성된다. 제 1 샘플링 트랜지스터T1, 구동 트랜지스터T2, 제 2 샘플링 트랜지스터T3 각각은, N채널형 박막트랜지스터이다.

[0153] 제 3 실시예의 경우, 신호 기록 제어선 구동부(63)는, 기록 제어선WSL을 통해 제1 샘플링 트랜지스터T1의 개폐 동작을 제어한다. 제1 샘플링 트랜지스터T1은, 신호선DTL의 신호 전위Vsig를 신호 유지용량Cs에 저장하는 온 또는 오프 상태로 놓인다.

[0154] 한편, 오프셋 신호선 구동부(65)는, 오프셋 신호선OFSL을 통해서 제2 샘플링 트랜지스터T3의 개폐 동작을 제어한다. 제2 샘플링 트랜지스터T3은, 오프셋 전위Vofs를 신호 유지용량Cs에 저장하는 동작을 제어하도록 개폐 상태로 놓인다.

[0155] 이때, 오프셋 신호선 구동부(65)의 기본구조는, 신호 기록 제어선 구동부(63)의 기본구조와 같다. 즉, 오프셋 신호선 구동부(65)는, 수직해상도 입상만큼 많은 출력단을 갖는 쉬프트 레지스터로 구성된다.

[0156] 수평 셀렉터(67)는, 신호선DTL을 통해 화소 데이터Din를 나타내는 신호 전위Vsig을 화소회로(71)에 인가하는 구동회로이다.

[0157] 수평 셀렉터(67)는, 수평해상도 입상만큼 많은 출력단을 갖는 쉬프트 레지스터를 구비한다. 또한, 수평 셀렉터(67)는, 화소 데이터Din을 래치하는 래치회로와, D/A변환회로와, 버퍼 회로를 구비한다. 제 3 실시예와 제 2 실시예간의 차이의 하나는, 제3 실시예에서 이용된 수평 셀렉터(67)가 신호선DTL에 신호 전위Vsig만 인가하고, 제 2 실시예에서 이용된 수평 셀렉터(27)가 신호선DTL에 신호 전위Vsig 또는 오프셋 전위Vofs를 인

가하는 것이다.

- [0158] 타이밍 생성기(69)는, 기록 제어선WSL, 용량제어선CNTL 및 오프셋 신호선OFSL 및 신호선DTL의 구동에 필요한 타이밍 펄스를 생성하는 부이다.
- [0159] (D-2): 전형적인 구동동작
- [0160] 도 37은, 도 36의 블록도에 도시된 전형적인 구성에 구비된 화소회로(71)를 구동하는 동작에 관련된 신호들의 복수의 타이밍 차트를 도시한 타이밍도이다. 부수적으로, 도 37의 타이밍도에도, 용량제어선CNTL에 인가하는 2종류의 전원전위 중 고전위쪽을 참조표시 Vdd로 나타내고, 저전위쪽을 참조표시 Vini로 나타낸다.
- [0161] 구체적으로, 도 37a는, 용량제어선CNTL의 전위의 타이밍 차트를 나타낸 파형을 나타낸 도면이다. 도 37b는, 오프셋 신호선OFSL의 전위의 타이밍 차트를 나타낸 파형을 나타낸 도면이다. 도 37c는, 기록 제어선WSL의 전위의 타이밍 차트를 나타낸 파형을 나타낸 도면이다. 도 37d는, 구동 트랜지스터T2의 게이트 전위Vg의 타이밍 차트를 나타낸 파형을 도시한 도면이다. 도 37e는, 구동 트랜지스터T2의 소스전위Vs의 타이밍 차트를 나타낸 파형을 도시한 도면이다.
- [0162] 우선, 발광 상태에 있어서의 화소회로(71)의 동작을 도 38의 회로도들 참조하여 설명한다. 이때, 제1 샘플링 트랜지스터T1과 제2 샘플링 트랜지스터T3 각각은, 오프 상태이다.
- [0163] 따라서, 구동 트랜지스터T2의 게이트 전극은 부유상태인 전극으로서 동작하고 있다. 결과적으로, 용량 제어선CNTL의 전위가 1수평주사 기간주기로 상승할 때마다, 정방향 커플링 파형은, 도 37의 타이밍도에 도시된 시간t1동안, 구동 트랜지스터T2의 게이트 전위Vg를 나타낸 도 37의 타이밍 차트 D로 나타낸 신호와, 구동 트랜지스터T2의 소스 전위Vs를 나타낸 도 37의 타이밍도의 타이밍 차트 E로 나타낸 신호에 혼입된다. 한편, 용량제어선CNTL의 전위가 1수평주사 기간주기로 하강할 때마다, 부방향 커플링 파형은, 도 37의 타이밍도에 도시된 시간t1동안, 구동 트랜지스터T2의 게이트 전위Vg를 나타낸 도 37의 타이밍 차트 D로 나타낸 상기 신호와, 구동 트랜지스터T2의 소스 전위Vs를 나타낸 도 37의 타이밍도의 타이밍 차트 E로 나타낸 상기 신호에 혼입된다.
- [0164] 또한, 구동 트랜지스터T2의 게이트 전극이 플로우팅 상태의 전극으로서 동작하고 있으므로, 커플링 파형의 혼입에 관계없이, 게이트-소스간 전압Vgs는 일정한 크기 그대로다. 따라서, 구동 트랜지스터T2은 포화 영역에서의 동작을 계속한다. 결과적으로, 유기EL소자OLED는, 구동 트랜지스터T2의 게이트-소스간 전압Vgs에 의해 결정된 구동전류Ids에 따른 휘도로 발광하는 발광 상태를 1수평주사기간에 걸쳐 계속한다.
- [0165] 다음에, 비발광 상태의 동작 상태를 설명한다. 비발광 상태는, 용량제어선CNTL의 전위가 고전위Vdd인 상태이고, 제2 샘플링 트랜지스터T3이 도 37의 타이밍도에 도시된 시간 t2에 온 상태인 동안에, 기록 제어선WSL이 고전위로 설정될 때 개시된다. 도 39는, 이 시점에 있어서의 화소회로(71)의 동작 상태를 나타낸 회로도이다.
- [0166] 이 때, 제1 샘플링 트랜지스터T1은 오프 상태로 제어되어 있다. 이에 따라, 구동 트랜지스터T2의 게이트 전위Vg를 나타내는 도 37의 타이밍도의 타이밍 차트D로 나타낸 신호는, 오프셋 전위Vofs에 근접하도록 천이한다.
- [0167] 상기 구동 트랜지스터T2의 게이트 전위Vg를 나타내는 도 37의 타이밍도의 타이밍 차트D로 나타낸 신호가 오프셋 전위Vofs에 근접하도록 천이할 때, 구동 트랜지스터T2의 소스 전위Vs를 나타내는 도 37의 타이밍도의 타이밍 차트E로 나타낸 신호는, 신호 유지용량Cs에서 제공된 커플링 효과로 인해 하강한다.
- [0168] 이 결과, 구동 트랜지스터T2의 게이트-소스간 전압Vgs가, 구동 트랜지스터T2의 임계전압Vth 이하이면, 유기EL소자OLED는 비발광 상태가 된다. 이때, 구동 트랜지스터T2의 소스 전위Vs이 유기EL소자OLED의 임계전압Vth1과 캐소드전압Vcat의 합 이하이면, 게이트-소스간 전압Vgs는 유지된다. 앞서 설명된 것처럼, 구동 트랜지스터T2의 소스 전위Vs는, 유기EL소자OLED의 애노드 전압이다.
- [0169] 이에 대하여, 구동 트랜지스터T2의 소스 전위Vs가 유기EL소자OLED의 임계전압Vth1과 캐소드 전압Vcat의 합 이상일 경우에는, 유기EL소자OLED를 통해서 신호 유지용량Cs의 전하의 전기적 방전이 계속된다. 결과적으로, 구동 트랜지스터T2의 소스 전위Vs는 임계전압Vth1과 캐소드 전압Vcat의 합(Vth1+Vcat)이 된다.

- [0170] 도 39는, 구동 트랜지스터T2의 소스 전위V_s가 임계전압V_{th1}과 캐소드 전압V_{cat}의 합(V_{th1}+V_{cat})인 화소회로(71)의 동작 상태를 도시한 회로도이다. 이때, 오프셋 전위V_{ofs}는, 유기E L소자O L E D의 임계전압V_{th1}과, 유기E L소자O L E D의 캐소드 전압V_{cat}와, 구동 트랜지스터T2의 임계전압V_{th}의 합 이하다.
- [0171] 신호 유지용량C_s에 오프셋 전위V_{ofs}를 저장하는 동작이 완료하면, 제2 샘플링 트랜지스터T3은 도 37의 기간 t3에 다시 오프 상태로 제어된다. 그 제2 샘플링 트랜지스터T3이 오프 상태로 됨에 따라, 구동 트랜지스터T2의 게이트 전극은 플로우팅 상태가 된다.
- [0172] 이 후, 용량제어선C N T L의 전위는, 고전위V_{dd}로부터 저전위V_{ini}로 변화되도록 제어된다. 이때, 구동 트랜지스터T2의 게이트 전위V_g과 소스 전위V_s 각각에는, 부방향의 커플링 성분ΔV₁이 중첩된다. 이 시점에 있어서의 화소회로(71)의 동작 상태를 도 40의 회로도에 나타낸다.
- [0173] 드디어, 도 37의 타이밍도에 도시된 기간t4, t5에서, 임계전압 보정준비 처리 기간이 개시된다. 구체적으로, 임계전압 보정준비 처리는, 도 37의 타이밍도에 도시된 기간t4에서, 용량제어선C N T L의 전위가 저전위V_{ini}인 상태에서, 제2 샘플링 트랜지스터T3이 온으로 됨으로써 개시된다. 이 시점에 있어서의 화소회로(71)의 동작 상태를 도 41의 회로도에 나타낸다.
- [0174] 이 경우에, 도 37의 타이밍도에 도시된 기간 t5에, 용량제어선C N T L의 전위는 다시 저전위V_{ini}로부터 고전위V_{dd}로 변화되도록 제어된다. 이 시점에 있어서의 화소회로(71)의 동작 상태를 도 42의 회로도에 나타낸다.
- [0175] 결과적으로, 구동 트랜지스터T2의 게이트 전위V_g이 오프셋 전위V_{ofs}에 고정된 상태에서, 구동 트랜지스터T2의 소스 전위V_s가 커플링 구동된다. 이에 따라, 구동 트랜지스터T2의 게이트-소스간 전압V_{gs}는 역바이어스 상태로 제어된다.
- [0176] 임계전압 보정준비 처리가 종료하면, 제2 샘플링 트랜지스터T3이 오프 상태로 제어되어, 구동 트랜지스터T2의 게이트 전극은 다시 플로우팅 상태로 놓인다. 이 상태에서, 용량제어선C N T L의 전위는, 도 37의 타이밍도에 도시된 기간t6에서, 고전위V_{dd}로부터 저전위V_{ini}로 변화되도록 제어된다. 즉, 구동 트랜지스터T2의 게이트 전극이 플로우팅된 상태에서, 용량제어선C N T L의 전위가 부방향으로 커플링 구동된다. 이 시점에서의 화소회로(71)의 동작 상태를 도 43의 회로도에 나타낸다.
- [0177] 이 후, 도 37의 타이밍도에 도시된 기간t7에서, 임계전압 보정처리가 개시된다. 구체적으로, 상기 임계전압 보정처리는, 용량제어선C N T L의 전위를 저전위V_{ini}로 설정하는 상태에서, 제2 샘플링 트랜지스터T3이 온 상태로 놓임으로써 개시된다. 도 44는, 이 시점에 있어서의 화소회로(71)의 동작 상태를 나타낸 회로도다. 이 동작상태에서, 구동 트랜지스터T2의 게이트-소스간 전압V_{gs}는, 그 구동 트랜지스터T2의 임계전압V_{th}보다 크다.
- [0178] 따라서, 구동 트랜지스터T2는 온된 상태에서 동작하고 있다. 도 44의 회로도에 파선 화살표로 나타낸 바와 같이, 이 상태에서, 전류 공급선으로부터 신호 유지용량C_s에 구동전류I_{ds}가 흐른다. 이 구동전류I_{ds}의 일부는, 유기E L소자O L E D의 기생 용량C_{el}의 전기적 충전에도 사용된다. 이에 따라, 유기E L소자O L E D의 애노드 전위V_{el}은 시간의 경과에 따라 상승한다. 그렇지만, V_{el}≤(V_{cat}+V_{th1}) 관계를 만족시키고 있다. 따라서, 유기E L소자O L E D가 발광하는 일은 없다. 드디어, 구동 트랜지스터T2의 게이트-소스간 전압V_{gs}는 그 임계전압V_{th}과 같게 된다. 이때, 구동 트랜지스터T2는 자동적으로 오프 상태로 되어, 구동전류I_{ds}의 흐름이 컷 오프된다.
- [0179] 이와 같이 임계전압 보정처리가 종료하면, 제1 샘플링 트랜지스터T1은 다시 온 상태로 제어되어, 신호선D T L로부터의 신호 전위V_{sig}를 도 37의 타이밍도의 기간t8에서 신호 유지용량C_s에 저장하는 동작이 개시된다. 그리고, 신호 전위V_{sig}를 신호 유지용량C_s에 저장하는 동작과 이동도의 보정처리가 동시에 실행된다. 이 시점에 있어서의 화소회로(71)의 동작 상태를 도 45의 회로도에 나타낸다.
- [0180] 최후에, 도 37의 타이밍도에 도시된 기간t9에서 제1 샘플링 트랜지스터T1이 오프 상태로 제어되어서 신호 전위V_{sig}를 신호 유지용량C_s에 저장하는 동작이 종료하면, 유기E L소자O L E D의 발광이 개시된다. 즉, 새로운 발광 기간이 개시된다. 이 시점에 있어서의 화소회로(71)의 동작 상태를 도 46의 회로도에 나타낸다.
- [0181] (D-3): 결론
- [0182] 이상에서 설명한 바와 같이, 오프셋 신호선O F S L에서 반송된 오프셋 전위V_{ofs}가 신호 유지용량C_s에도 저장되는 제2 샘플링 트랜지스터T3의 역할을 하는 박막트랜지스터로부터 따로따로 구성된 제 1 샘플링 트랜지스터

T1으로서 역할을 하는 박막트랜지스터를 온 및 오프하여 상기 신호선 DTL로부터 신호 유지용량Cs에, 신호 전위 Vsig를 저장할지라도, 제 2 실시예와 마찬가지로의 효과를 실현할 수 있다.

[0183] (E): 제 4 실시예

[0184] (E-1): 시스템 구성

[0185] 제 4 실시예는, 제 2 실시예의 대표적인 구현 예이다. 보다 구체적으로, 제 4 실시예는, 화소회로(91)에 구동전류를 공급하는데 사용된 새로운 박막트랜지스터를 제어하는 새로운 구동회로(83)를 구비한다.

[0186] 도 47은, 유기EL표시 패널(11)의 전형적인 시스템 구성을 나타낸 블록도이다. 도 18의 블록도에 도시된 시스템 구성에 포함된 각각의 대응부분과 동일한 구성요소들로서 상기 전형적인 시스템 구성에서 이용된 구성요소들은, 대응 부분과 동일한 참조번호 및 참조 표시로 나타내어져 있다. 도 47의 블록도에 나타낸 유기EL표시 패널(11)은, 화소 어레이부(81), 신호 기록 제어선 구동부(23), 펄스 전압원(45), 수평 셀렉터(27) 및 타이밍 생성기(85)로 구성된다.

[0187] 화소 어레이부(81)의 화소회로(91)의 배치는 제 2 실시예와 같다. 그래서, 화소 어레이부(81)는, 신호선DTL과 기록 제어선WSL과의 각 교점 위치에 서브 화소회로를 배치한 매트릭스 구조를 갖고 있다. 이 제 4 실시예의 경우도, 신호선DTL에는 신호 전위Vsig와 오프셋 전위Vofs가 시분할로 공급된다.

[0188] 도 48은, 화소 어레이부(81)의 서브화소회로로서 각각 역할을 하는 화소회로(91)와, 구동회로로서 각각 기능하는 구동전류 제어선 구동부(83), 펄스 전압원(45), 신호 기록 제어선 구동부(23) 및 수평 셀렉터(27)와의 사이의 배선 접속을 도시한 블록도이다. 도 49는, 본 화소회로(91)의 내부 구성에 초점을 두어서, 화소회로(91)와, 구동전류 제어선 구동부(83), 펄스 전압원(45), 신호 기록 제어선 구동부(23) 및 수평 셀렉터(27)와의 사이의 배선 접속을 도시한 블록도이다. 도 49의 블록도에 도시된 것처럼, 화소회로(91)는, 샘플링 트랜지스터T1, 구동 트랜지스터T2, 구동전류 제어 트랜지스터T3, 신호 유지용량Cs, 커플링 용량Cc 및 유기EL소자OLED로 구성된다. 샘플링 트랜지스터T1, 구동 트랜지스터T2 및 구동전류 제어 트랜지스터T3 각각은, N채널형 박막트랜지스터이다.

[0189] 구동전류 제어 트랜지스터T3는, 전류 공급선과 구동 트랜지스터T2과의 사이에 직렬로 접속된다. 이 구동전류 제어 트랜지스터T3를 온 또는 오프함으로써, 구동 트랜지스터T2에 의해 유기EL소자OLED에 대한 구동전류의 공급을 제어한다.

[0190] 구동전류 제어 트랜지스터T3의 온 또는 오프 동작은, 구동전류제어선ISL을 통해 구동전류 제어선 구동부(83)에 의해 제어된다. 이때, 구동전류제어 트랜지스터T3은, 신호 기록 제어선 구동부(23)와 같은 회로 구성으로 실현될 수 있다.

[0191] 타이밍 생성기(85)는, 기록 제어선WSL, 구동전류 제어선ISL, 용량제어선CNTL 및 신호선DTL의 구동에 필요한 타이밍 펄스를 생성하는 부이다.

[0192] (E-2): 전형적인 구동 동작

[0193] 도 50은, 도 49의 블록도에 도시된 전형적인 구성에 포함된 화소회로(91)를 구동하는 동작에 관련된 신호들의 복수의 타이밍 차트를 나타낸 타이밍도이다. 부수적으로, 도 50의 타이밍도에서도, 용량제어선CNTL에 인가하는 2종류의 전원전위 중 고전위쪽을 참조표시 Vdd로 나타내고, 저전위쪽을 참조표시 Vini로 나타낸다.

[0194] 보다 구체적으로, 도 50a는, 용량제어선CNTL의 전위의 타이밍 차트를 나타낸 파형을 도시한 도면이다. 도 50b는, 구동전류 제어선ISL의 전위의 타이밍 차트를 나타낸 파형을 도시한 도면이다. 도 50c는, 신호선DTL의 전위의 타이밍 차트를 나타낸 파형을 도시한 도면이다. 도 50d는, 기록 제어선WSL의 전위의 타이밍 차트를 나타낸 파형을 도시한 도면이다. 도 50e는 구동 트랜지스터T2의 게이트 전위Vg의 타이밍 차트를 나타낸 파형을 도시한 도면이다. 도 50f는 구동 트랜지스터T2의 소스 전위Vs의 타이밍 차트를 나타낸 파형을 도시한 도면이다.

[0195] 우선, 발광 상태에 있어서의 화소회로(91)의 동작 상태를 도 51의 회로도에 나타낸다. 이 때, 제1 샘플링 트랜지스터T1은 오프 상태이지만, 구동전류 제어 트랜지스터T3는 온 상태이다.

[0196] 따라서, 구동 트랜지스터T2의 게이트 전극은 플로팅 상태에 있는 전극으로서 동작하고 있다. 그렇지만, 구동 트랜지스터T2는 전류 공급선과 전기적으로 접속된 상태에서 동작한다.

- [0197] 결과적으로, 용량제어선CNTL의 전위가 1수평주사 기간주기에서 고전위로 상승할 때마다, 정방향 커플링 파형은, 도 50의 타이밍도에 도시된 기간t1동안, 구동 트랜지스터T2의 게이트 전위Vg를 나타낸 도 50의 타이밍도의 타이밍 차트 E로 나타난 신호와, 구동 트랜지스터T2의 소스 전위Vs를 나타낸 도 50의 타이밍도의 타이밍 차트 F로 나타난 신호에 혼입된다. 한편, 용량제어선CNTL의 전위가 1수평주사 기간주기로 하강할 때마다, 부방향 커플링 파형은, 도 50의 타이밍도에 도시된 기간t1동안, 구동 트랜지스터T2의 게이트 전위Vg를 나타낸 도 50의 타이밍 차트 E로 나타난 상기 신호와, 구동 트랜지스터T2의 소스 전위Vs를 나타낸 도 50의 타이밍도의 타이밍 차트 F로 나타난 상기 신호에 혼입된다.
- [0198] 또한, 구동 트랜지스터T2의 게이트 전극이 플로우팅 상태의 전극으로서 동작하고 있으므로, 커플링 파형의 혼입에 관계없이, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는 일정한 크기 그대로다. 따라서, 구동 트랜지스터T2은 포화 영역에서의 동작을 계속한다. 결과적으로, 유기EL소자OLED는, 구동 트랜지스터T2의 게이트-소스간 전압Vgs에 의해 결정된 구동전류Ids에 따른 휘도로 발광하는 발광 상태를 1수평주사기간에 걸쳐 계속한다.
- [0199] 다음에, 비발광 상태의 동작을 설명한다. 비발광 상태는, 구동전류 제어 트랜지스터T3이 도 50의 타이밍도에 도시된 기간t2에서 오프 상태로 제어될 때 개시된다. 도 52는, 이 시점에 있어서의 화소회로(91)의 동작 상태를 나타낸 회로도다. 이 때, 구동 트랜지스터T2의 소스 전위Vs는 소동시의 전위를 향해서 강하한다. 또한 이 구동 트랜지스터T2의 소스 전위Vs의 강하에 따라 구동 트랜지스터T2의 게이트 전위Vg도 마찬가지로 강하한다.
- [0200] 그렇지만, 제 4 실시예의 경우, 샘플링 트랜지스터T1이 온 상태로 놓임으로써, 구동 트랜지스터T2의 게이트 전위Vg는, 도 50e의 타이밍 차트로 나타난 것과 같은 오프셋 전위Vofs로 변화되도록 제어된다. 또한, 구동 트랜지스터T2의 소스 전위Vs는 도 50f의 타이밍 차트로 나타난 것처럼 (Vth1+Vcat)와 같게 된다.
- [0201] 도 52는, 화소회로(91)의 동작 상태를 나타낸 회로도다. 이 동작 상태에서, 구동 트랜지스터T2의 소스 전위Vs가 (Vth1+Vcat)와 같게 된다. 이때, 오프셋 전위Vofs는, 유기EL소자OLED의 임계전압Vth1과, 유기EL소자OLED의 캐소드 전압Vcath와, 구동 트랜지스터T2의 임계전압Vth의 합 이하다.
- [0202] 이 오프셋 전위Vofs의 신호 유지용량Cs에의 저장동작이 완료하면, 샘플링 트랜지스터T1은 도 50의 타이밍도의 기간t3에서 오프 상태로 제어된다. 이에 따라 샘플링 트랜지스터T1이 오프 상태로 놓임으로써, 구동 트랜지스터T2의 게이트 전극은 플로우팅 상태가 된다.
- [0203] 이 후, 용량제어선CNTL의 전위가 고전위Vdd로부터 저전위Vini로 변화되도록 제어된다. 이때, 구동 트랜지스터T2의 게이트 전위Vg과 소스 전위Vs 각각에는, 부방향의 커플링 성분ΔV1이 중첩된다. 이 시점에 있어서의 화소회로(91)의 동작 상태를 도 53의 회로도에 나타낸다.
- [0204] 드디어, 도 50의 타이밍도에 도시된 기간t4 및 t5에서, 임계전압 보정준비 처리기간이 개시된다. 구체적으로, 도 50의 타이밍도의 기간t4에서, 임계전압 보정준비 처리는, 용량제어선CNTL의 전위를 저전위Vini로 설정한 상태에서, 구동전류 제어 트랜지스터T3과 샘플링 트랜지스터T1이 동시에 온 상태로 놓임으로써 개시된다. 이 시점에 있어서의 화소회로(91)의 동작 상태를 도 54의 회로도에 나타낸다.
- [0205] 또한, 이 시점에서는, 구동 트랜지스터T2의 게이트-소스간 전압Vgs가 역바이어스 상태로 제어된다. 그래서, 구동전류 제어 트랜지스터T3이 온 상태로 제어되는 경우도, 구동전류Ids는 유기EL소자OLED에 흐르지 않는다. 따라서, 유기EL소자OLED는 비발광 상태 그대로다.
- [0206] 이 경우에, 도 50의 타이밍도에 도시된 기간t5에서, 용량제어선CNTL의 전위가 저전위Vini로부터 고전위Vdd로 변화되도록 제어된다. 이 시점에 있어서의 화소회로(91)의 동작 상태를 도 55의 회로도에 나타낸다.
- [0207] 결과적으로, 구동 트랜지스터T2의 게이트 전위Vg이 오프셋 전위Vofs에 고정된 상태에서, 구동 트랜지스터T2의 소스 전위Vs가 커플링 구동된다. 이에 따라, 구동 트랜지스터T2의 게이트-소스간 전압Vgs는 역바이어스 상태로 제어된다.
- [0208] 임계전압 보정준비 처리가 종료하면, 샘플링 트랜지스터T1이 오프 상태로 제어되어, 구동 트랜지스터T2의 게이트 전극은 다시 플로우팅 상태로 놓인다. 이 상태에서, 용량제어선CNTL의 전위가 도 50의 타이밍도에 도시된 기간t6에서, 고전위Vdd로부터 저전위Vini로 변화되도록 제어된다. 즉, 구동 트랜지스터T2의 게이트 전극이 플로우팅된 상태에서, 용량제어선CNTL의 전위가 부방향으로 커플링 구동된다. 이 시점에 있어서의 화소회로(91)의 동작 상태를 도 56의 회로도에 나타낸다.

- [0209] 이 후, 도 50의 타이밍도에 도시된 시간 t_7 에서, 임계전압 보정처리가 개시된다. 구체적으로, 용량제어선CNTL의 전위를 저전위 V_{ini} 로 설정한 상태에서, 샘플링 트랜지스터T1이 온 상태로 놓임으로써 개시된다. 도 57은, 이 시점에 있어서의 화소회로(91)의 동작 상태를 나타낸 회로도다. 이 동작상태에서, 구동 트랜지스터T2의 게이트-소스간 전압 V_{gs} 는, 구동 트랜지스터T2의 임계전압 V_{th} 보다 크다.
- [0210] 따라서, 구동 트랜지스터T2는 온 상태로 놓여 동작하고 있다. 도 57의 회로도에 나타나 있는 바와 같이, 이 상태에서, 전류 공급선에서 신호 유지용량Cs로 구동전류 I_{ds} 가 흐른다. 이 구동전류 I_{ds} 의 일부는, 유기EL소자OLED의 기생 용량 C_{el} 을 전기적으로 충전하는데도 사용된다. 이에 따라, 유기EL소자OLED의 애노드 전위 V_{el} 은 시간의 경과에 따라 상승한다. 그렇지만, $V_{el} \leq (V_{cat} + V_{thel})$ 의 관계를 만족시키고 있다. 따라서, 유기EL소자OLED가 결코 발광하지 않는다. 드디어, 구동 트랜지스터T2의 게이트-소스간 전압 V_{gs} 가 구동 트랜지스터T2의 임계전압 V_{th} 와 같게 된다. 이 때, 구동 트랜지스터T2은 자동적으로 오프상태로 되어, 구동전류 I_{ds} 의 흐름을 컷오프한다.
- [0211] 이와 같이 임계전압 보정처리가 종료하면, 샘플링 트랜지스터T1이 다시 온 상태로 제어되어, 도 50의 타이밍도의 시간 t_8 에서, 신호선DTL을 통해서 신호 전위 V_{sig} 를 신호 유지용량Cs에 저장하는 동작이 개시된다. 신호선DTL을 통해서 신호 전위 V_{sig} 를 신호 유지용량Cs에 저장하는 동작과 이동도의 보정처리가 동시에 실행된다. 이 시점에 있어서의 화소회로(71)의 동작 상태를 도 58의 회로도에 나타낸다.
- [0212] 최후에, 도 50의 타이밍도의 시간 t_9 에서, 샘플링 트랜지스터T1이 오프 상태로 제어되어서 신호 전위 V_{sig} 를 신호 유지용량Cs에 저장하는 동작이 종료하면, 유기EL소자OLED의 발광이 개시된다. 즉, 새로운 발광 기간이 개시된다. 이 시점에 있어서의 화소회로(71)의 동작 상태를 도 59의 회로도에 나타낸다.
- [0213] (E-3): 결론
- [0214] 상술한 것처럼, 구동전류 I_{ds} 를 유기EL소자OLED에 신호선DTL로부터 공급하는 동작이 구동전류제어 트랜지스터T3를 온상태로 놓아서 실행되는 반면에, 구동전류 공급동작을 정지시키는 동작이 구동전류 제어 트랜지스터T3를 오프 상태로 놓아서 실행되는 유기EL 표시 패널의 경우에도, 제 2 실시예와 같은 효과를 내는 것이 가능하다. 이때, 구동전류제어 트랜지스터T3을 갖는 구성에서는, 발광 기간 중에도 구동전류제어 트랜지스터T3와 구동 트랜지스터T2에 의해 유기EL소자OLED에 구동전류 I_{ds} 를 공급하는 동작과, 구동전류 공급동작을 정지시키는 동작은, 서로 독립적으로 제어될 수 있다. 이 기능을 실행하면, 1프레임 기간내의 발광 기간 길이를 어떤 임의의 값으로 제어할 수 있어, 동영상 응답성을 높이는데도 사용할 수 있다.
- [0215] (F): 다른 실시예
- [0216] (F-1): 배선구조
- [0217] 상기의 실시예의 경우에는, 각 용량제어선CNTL의 단부들 중 일단을 모든 화소회로에 공통한 1개의 배선 패턴으로서 펄스 전압원(45)에 의해 구동된 1개의 배선 패턴으로서 생성된다.
- [0218] 그러나, 복수의 용량제어선CNTL 각각의 단부들중 일단이 동일한 복수의 매트릭스 행에 공통한 1개의 배선 패턴으로서 생성되고 그 동일한 복수의 행에 공통한 배선 패턴이 펄스 전압원(45)에 의해 구동되는 구성을 제공하는 것도 가능하다.
- [0219] (F-2): 제품 예
- [0220] (a): 전자기기
- [0221] 상술한 것처럼, 유기EL 표시 패널을, 본 발명의 실시예들의 응용 예로서 설명한다. 그러나, 전술한 유기EL 표시 패널은, 각종의 전자기기(101)에 설치한 상품형태로도 유통된다.
- [0222] 도 60은 전자기기(101)의 전형적인 개념 구성을 나타낸 블록도다. 도 60의 블록도에 도시된 것처럼, 전자기기(101)는, 유기EL 패널(103), 시스템 제어부(105) 및 조작 입력부(107)로 구성된다. 시스템 제어부(105)로 실행되는 처리 내용은, 전자기기(101)의 상품형태에 따라 다르다. 또한 조작입력부(107)는, 시스템 제어부(105)에 대한 사용자 조작 입력을 접수하는 디바이스다. 조작 입력부(107)에는, 예를 들면 기계식 인터페이스와 그래픽 인터페이스 등의 인터페이스를 포함한다. 이 기계식 인터페이스는 스위치와 버튼으로 이루어진다.
- [0223] 이때, 전자기기(101)는, 특정한 분야에 관련되는 기기에 결코 한정되지 않는다. 즉, 전자기기(101)는, 화상 및/또는 영상을 표시부에 표시하는 기능을 가지면, 어떠한 기기이어도 될 수 있다. 상기 화상 및/또는 영

상은, 내부적으로 생성되거나 또는 외부 소스로부터 수신될 수 있다.

[0224] 도 61은, 전자기기(101)의 예로서 TV 수상기(111)의 외관을 나타낸 도면이다. TV 수상기(111)의 케이스 정면은, 프런트 패널(113) 및 필터 유리판(115)으로 구성되는 표시 화면(117)이다. 표시 화면(117)은, 상술한 실시예들 중 어느 하나에 의해 구현된 유기EL 표시패널에 대응한다.

[0225] 또 다른 전형적인 전자기기(101)로는, 디지털 카메라가 상정된다. 도 62는, 디지털 카메라(121)의 외관을 각각 나타낸 복수의 도면이다. 보다 구체적으로, 도 62a는 디지털 카메라(121)의 정면측(또는 피사체측)의 외관을 나타낸 도면이고, 도 62b는 디지털 카메라(121)의 배면측(또는 촬영자측)의 외관을 나타낸 도면이다.

[0226] 도 62에 도시된 것처럼, 디지털 카메라(121)는, 보호 커버(123), 촬영 렌즈부(125), 표시 화면(127), 콘트롤 스위치(129) 및 셔터 버튼(131)으로 구성된다. 셔터 버튼(131)은, 상술한 실시예들 중 어느 하나에 의해 구현된 유기EL 표시 패널에 대응한다.

[0227] 또 다른 전형적인 전자기기(101)로는, 비디오 카메라(141)가 상정된다. 도 63은 비디오 카메라(141)의 외관을 나타낸 도면이다.

[0228] 도 63에 도시된 것처럼, 비디오 카메라(141)는, 본체(143), 촬영 렌즈(145), 스타트/스톱 스위치(147) 및 표시 화면(149)으로 구성된다. 표시 화면(149)은, 상술한 실시예들 중 어느 하나에 의해 구현된 유기EL 표시 패널에 대응한다.

[0229] 또한, 또 다른 전형적인 전자기기(101)로는, 휴대 전화기(151)가 상정된다. 도 64는, 휴대 전화기(151)의 외관을 각각 나타낸 복수의 도면이다. 도 64에 나타낸 휴대 전화기(151)는, 접이식이다. 보다 구체적으로는, 도 64a는 휴대 전화기(151)의 케이스를 연 상태의 외관을 각각 나타낸 복수의 도면이고, 도 64b는 휴대 전화기(151)의 케이스를 접은 상태의 외관을 각각 나타낸 복수의 도면이다.

[0230] 도 64에 도시된 것처럼, 휴대 전화기(151)는, 상측케이스(153), 하측케이스(155), 연결부(157), 표시 화면(159), 보조 표시 화면(161), 픽처 라이트(163) 및 촬영 렌즈(165)로 구성된다. 휴대 전화기(151)일 경우에, 연결부(157)는 힌지이다. 표시 화면(159)과 보조 표시 화면(161) 각각은, 상술한 실시예들 중 어느 하나에 의해 구현된 유기EL 표시 패널에 대응한다.

[0231] 또한, 또 다른 전형적인 전자기기(101)로는, 노트북 컴퓨터(171)가 상정된다. 도 65에 도시된 것처럼, 노트북 컴퓨터(171)는, 하측 케이스(173), 상측 케이스(175), 키보드(177) 및 표시 화면(179)으로 구성된다. 표시 화면(179)은, 상술한 실시예들 중 어느 하나에 의해 구현된 유기EL 표시 패널에 대응한다.

[0232] 또 다른 전자기기(101)는, 오디오 재생장치, 게임기, 전자 북, 전자사전을 포함한다.

[0233] (F-3): 기타의 표시 디바이스 예

[0234] 상기의 실시예들 각각은, 유기EL 표시 패널을 구현한다. 그러나, 상기 실시예들에 따른 구동기술은, 그 밖의 유기EL 표시장치에 대하여도 적용할 수 있다. 예를 들면, 구동기술은, 그 화면에 매트릭스를 형성하게 배치된 LED(발광 다이오드)를 구비한 표시장치나, 그 화면에 매트릭스를 형성하게 배치된 발광소자를 구비한 표시장치에 적용할 수 있다. 그 발광소자는, 그 LED와 다른 구조를 갖는다. 상기 구동기술은, 무기EL 표시패널에도 적용할 수 있다.

[0235] (F-4): 기타

[0236] 전술한 실시예들은, 본 발명의 사상 및 범위로 부터 벗어나지 않고 여러가지 방식으로 변형되어도 된다. 또한, 본 발명의 개시 내용에 의거하여 다양한 변형 예 및 응용 예를 생성 또는 조합하여도 된다.

[0237] 당업자는, 첨부된 청구항 또는 그와 동등한 것의 범위 내에 있는 한 설계 요구사항 및 다른 요인들에 따라 여러 가지 변형, 조합, 세부 조합 및 변경을 하여도 된다는 것을 알아야 한다.

도면의 간단한 설명

[0238] 도 1은 액티브 매트릭스 구동방식으로 구동/제어된 유기EL 표시 패널을 나타낸 기능적 회로 블록도,

[0239] 도 2는 신호선에 의해 수평 셀렉터에, 기록 제어선에 의해 신호 기록 제어선 구동부에 접속된 화소회로의 가장 단순한 회로 구성을 나타낸 블록도,

[0240] 도 3은 유기EL 소자의 I-V특성의 시간에 따른 에이징에 의한 변화를 나타내는 도면,

- [0241] 도 4는 신호선에 의해 수평 셀렉터에, 상기 기록 제어선에 의해 신호 기록 제어선 구동부에 접속된 화소회로를 상기 샘플링 트랜지스터와 상기 구동 트랜지스터로서의 역할을 하는 N채널형의 박막트랜지스터를 이용하는 화소회로로서의 역할을 하는 전형적인 회로 구성을 나타낸 블록도,
- [0242] 도 5는 유기EL 표시 패널의 전형적인 외관 구성을 도시한 도면,
- [0243] 도 6은 제 1 실시예에 따른 유기EL 표시 패널의 전형적인 시스템 구성을 도시한 블록도,
- [0244] 도 7은 상기 제 1 실시예에 따른 유기EL 표시 패널에서 화소 어레이부의 서브화소회로로서 각 역할을 하는 화소회로와, 구동회로로서 각각 기능하는 신호 기록 제어선 구동부, 전류 공급선 구동부 및 수평 셀렉터와의 사이의 배선 접속을 나타낸 블록도,
- [0245] 도 8은 본 화소회로의 내부 구성에 초점을 두어서, 상기 제 1 실시예에 따른 화소회로와, 상기 신호 기록 제어선 구동부, 상기 전류 공급선 구동부 및 상기 수평 셀렉터와의 사이의 배선 접속을 나타낸 블록도,
- [0246] 도 9는 제 1 실시예에 따른 화소회로를 구동하는 동작에 관한 신호들의 복수의 타이밍 차트를 나타낸 타이밍도,
- [0247] 도 10은 제 1 실시예에 따른 화소회로의 동작 상태를 설명하는 회로도,
- [0248] 도 11은 제 1 실시예에 따른 화소회로의 다른 동작 상태를 설명하는 회로도,
- [0249] 도 12는 제 1 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0250] 도 13은 제 1 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0251] 도 14는 구동 트랜지스터의 소스 전위의 시간의 경과에 따른 변화를 도시한 그래프를 도시한 도면,
- [0252] 도 15는 제 1 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0253] 도 16은 서로 다른 이동도 값에 대해 시간의 경과에 따른 구동 트랜지스터의 소스 전위의 변화의 차이를 도시한 도면,
- [0254] 도 17은 제 1 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0255] 도 18은 제 2 실시예에 따른 유기EL 표시 패널의 전형적인 시스템 구성을 도시한 블록도,
- [0256] 도 19는 제 2 실시예에 따른 유기EL 표시 패널에서, 화소 어레이부에서 서브 화소회로로서 각각 역할을 하는 화소회로와, 구동회로로서 각각 기능하는 신호 기록 제어선 구동부, 펄스 전압원 및 수평 셀렉터와의 사이의 배선 접속을 도시한 블록도,
- [0257] 도 20은 본 화소회로의 내부 구성에 초점을 두어서, 제 2 실시예에 따른 화소회로와, 상기 신호 기록 제어선 구동부, 상기 펄스 전압원 및 상기 수평 셀렉터와의 사이의 배선 접속을 도시한 블록도,
- [0258] 도 21은 제 2 실시예에 따른 화소회로 구동 동작에 관한 신호들의 복수의 타이밍 차트를 도시한 타이밍도,
- [0259] 도 22는 제 2 실시예에 따른 화소회로의 동작 상태를 설명하는 회로도,
- [0260] 도 23은 제 2 실시예에 따른 화소회로의 다른 동작 상태를 설명하는 회로도,
- [0261] 도 24는 제 2 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0262] 도 25는 제 2 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0263] 도 26은 제 2 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0264] 도 27은 제 2 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0265] 도 28은 제 2 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0266] 도 29는 구동 트랜지스터의 소스 전위의 시간의 경과에 따른 변화를 나타낸 그래프를 도시한 도면,
- [0267] 도 30은 제 2 실시예에 따른 화소회로의 동작 상태를 설명하는 회로도,
- [0268] 도 31은 서로 다른 이동도 값에 대해 시간의 경과에 따른 구동 트랜지스터의 소스 전위의 변화를 나

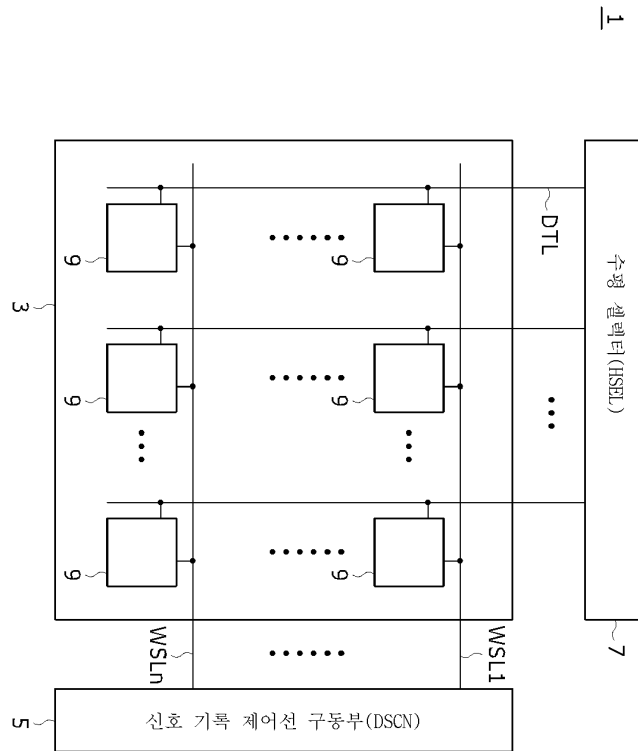
타넨 그래프를 도시한 도면,

- [0269] 도 3 2는 제 2 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0270] 도 3 3은 제 2 실시예에 따라 임계전압 보정처리를 동일한 복수의 수평주사기간 중 하나에 각각 할당된 복수의 임계전압 보정처리로 분할하여 임계전압 보정처리를 실행하는 전형적인 구동 동작에 대한 복수의 타이밍 차트를 도시한 타이밍도,
- [0271] 도 3 4는 제 3 실시예에 따른 유기EL표시 패널의 전형적인 시스템 구성을 도시한 블록도,
- [0272] 도 3 5는 제 3 실시예에 따른 유기EL표시 패널에서, 화소 어레이부의 서브화소회로로서 각각 역할을 하는 화소회로와, 구동회로로서 각각 기능하는 펄스 전압원, 신호 기록 제어선 구동부, 오프셋 신호선 구동부 및 수평 셀렉터와의 사이의 배선 접속을 도시한 블록도,
- [0273] 도 3 6은 본 화소회로의 내부 구성에 초점을 두어서, 제 3 실시예에 따른 화소회로와, 상기 펄스 전압원, 상기 신호 기록 제어선 구동부, 상기 오프셋 신호선 구동부 및 상기 수평 셀렉터와의 사이의 배선 접속을 도시한 블록도,
- [0274] 도 3 7은 제 3 실시예에 따른 화소회로를 구동시키는 동작에 관련된 신호들의 복수의 타이밍 차트를 도시한 타이밍도,
- [0275] 도 3 8은 제 3 실시예에 따른 화소회로의 동작 상태를 설명하는 회로도,
- [0276] 도 3 9는 제 3 실시예에 따른 화소회로의 다른 동작 상태를 설명하는 회로도,
- [0277] 도 4 0은 제 3 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0278] 도 4 1은 제 3 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0279] 도 4 2는 제 3 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0280] 도 4 3은 제 3 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0281] 도 4 4는 제 3 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0282] 도 4 5는 제 3 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0283] 도 4 6은 제 3 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0284] 도 4 7은 제 4 실시예에 따른 유기EL표시 패널의 전형적인 시스템 구성을 도시한 블록도,
- [0285] 도 4 8은 제 4 실시예에 따른 유기EL표시 패널에서, 화소 어레이부의 서브화소회로로서 각각 역할을 하는 화소회로와, 구동회로로서 각각 기능하는 신호 기록 제어선 구동부, 수평 셀렉터, 펄스 전압원 및 구동전류 제어선 구동부와의 사이의 배선 접속을 도시한 블록도,
- [0286] 도 4 9는 본 화소회로의 내부 구성에 초점을 두어서, 제 4 실시예에 따른 화소회로와, 상기 신호 기록 제어선 구동부, 상기 수평 셀렉터, 상기 펄스 전압원, 및 상기 구동 전류 제어선 구동부와의 사이의 배선 접속을 도시한 블록도,
- [0287] 도 5 0은 제 4 실시예에 따른 상기 화소회로를 구동하는 동작에 관련된 신호들의 복수의 타이밍 차트를 나타낸 타이밍도,
- [0288] 도 5 1은 제 4 실시예에 따른 화소회로의 동작 상태를 설명하는 회로도,
- [0289] 도 5 2는 제 4 실시예에 따른 화소회로의 다른 동작 상태를 설명하는 회로도,
- [0290] 도 5 3은 제 4 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0291] 도 5 4는 제 4 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0292] 도 5 5는 제 4 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0293] 도 5 6은 제 4 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0294] 도 5 7은 제 4 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,

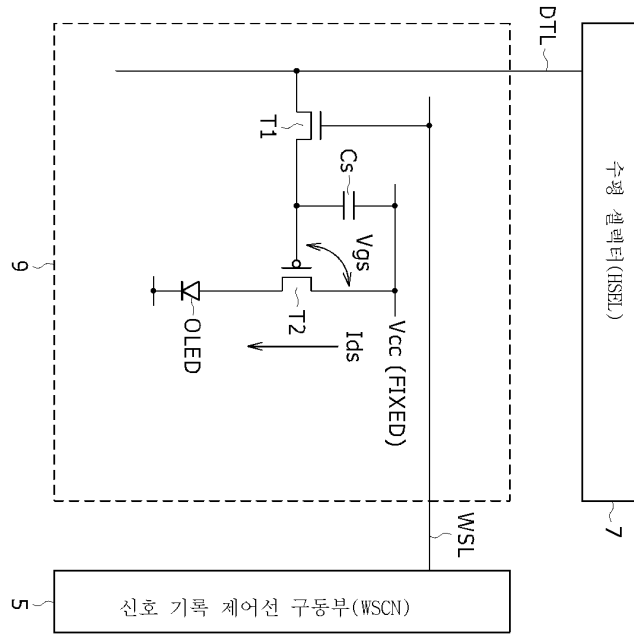
- [0295] 도 5 8은 제 4 실시예에 따른 화소회로의 또 다른 동작 상태를 설명하는 회로도,
- [0296] 도 5 9는 화소회로의 동작 상태를 설명하는 회로도,
- [0297] 도 6 0은 전자기기의 전형적인 개념 구성을 도시한 블록도,
- [0298] 도 6 1은 전형적인 전자기기인 TV 수신기의 외관을 도시한 도면,
- [0299] 도 6 2는 디지털 카메라의 외관을 각각 나타낸 복수의 도면,
- [0300] 도 6 3은 디지털 카메라의 외관을 나타낸 도면,
- [0301] 도 6 4는 휴대폰의 외관을 각각 나타낸 복수의 도면,
- [0302] 도 6 5는 노트북 컴퓨터의 외관을 나타낸 도면이다.

도면

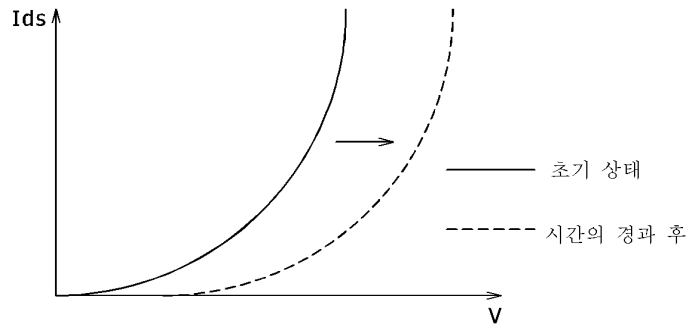
도면1



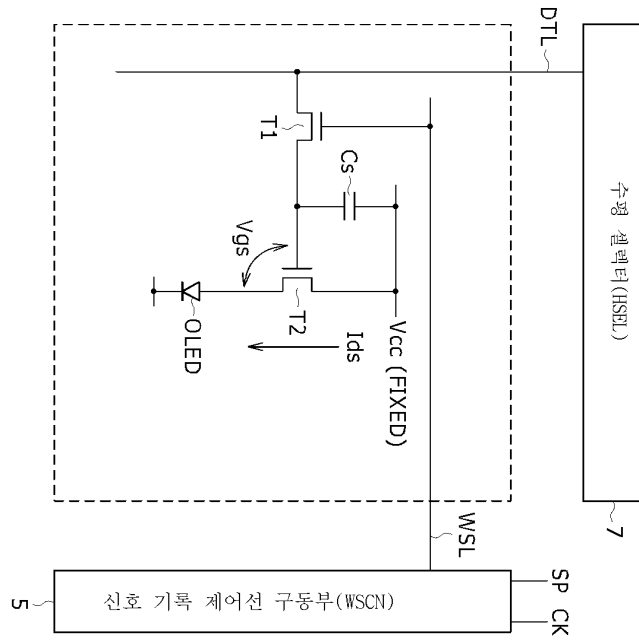
도면2



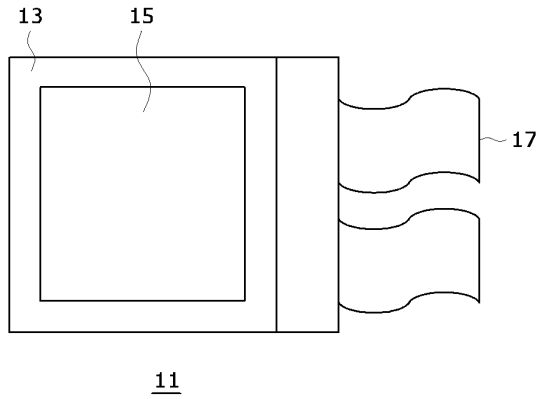
도면3



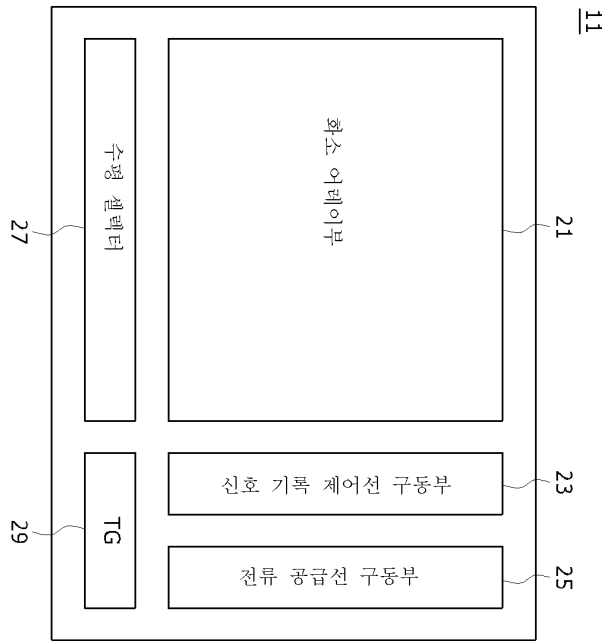
도면4



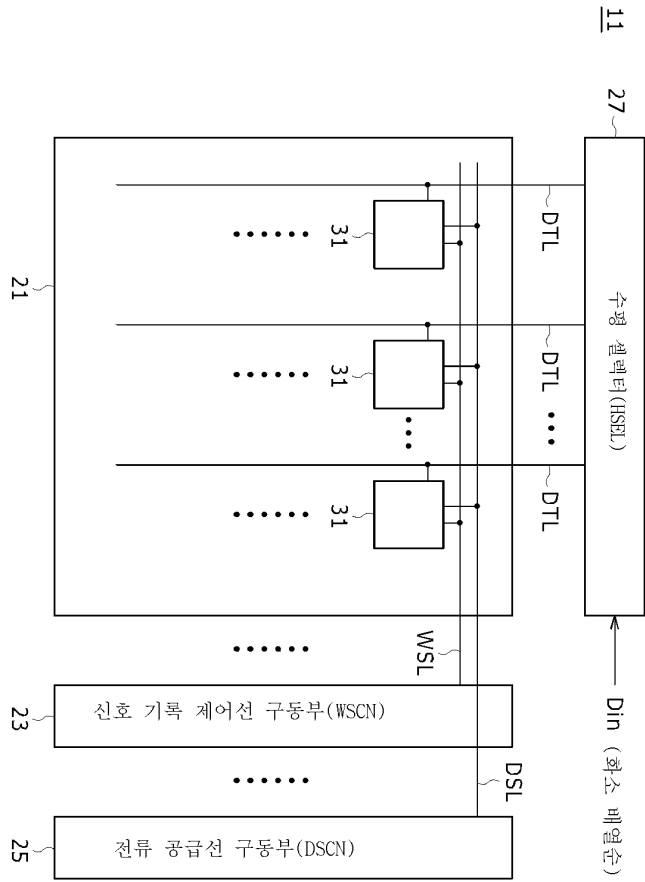
도면5



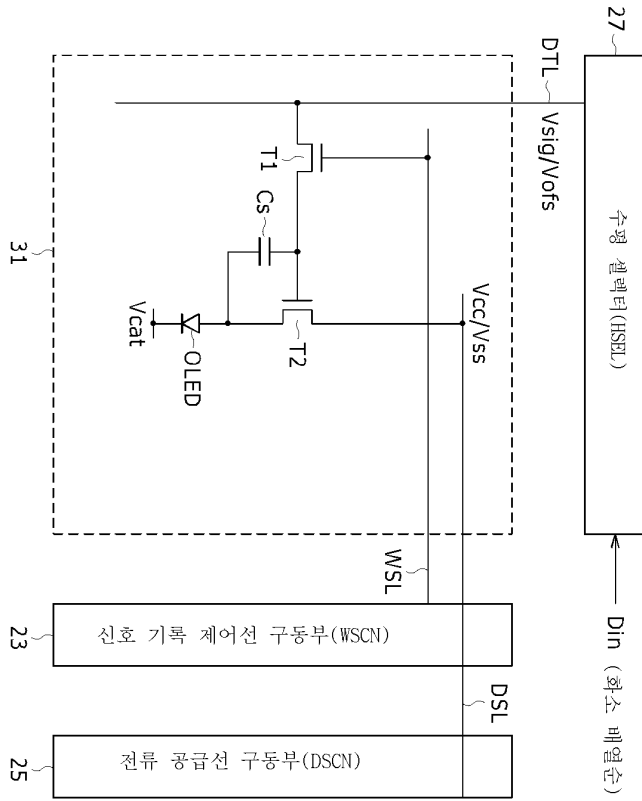
도면6



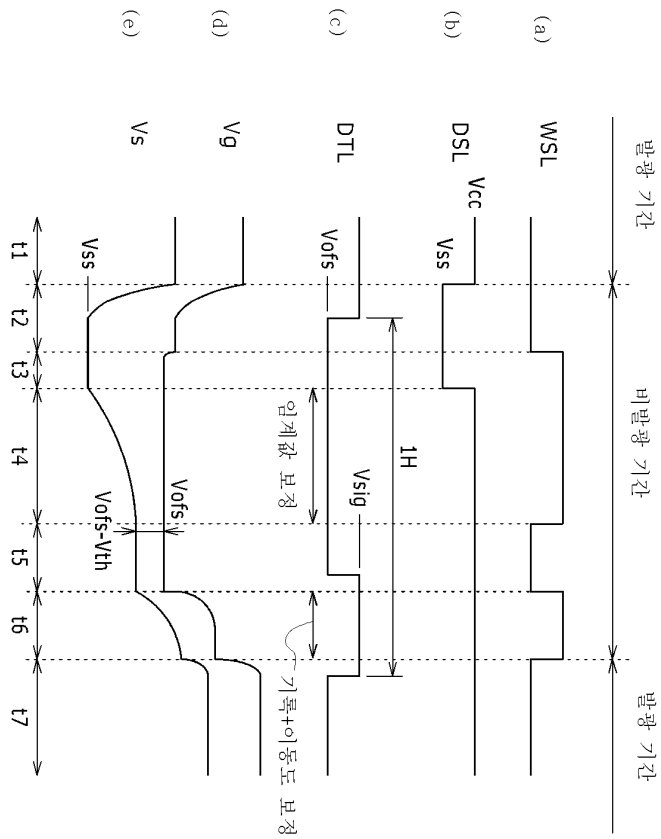
도면7



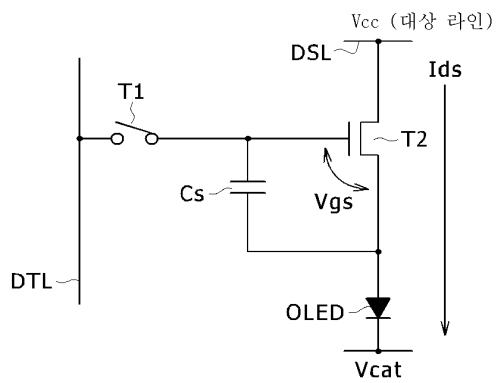
도면8



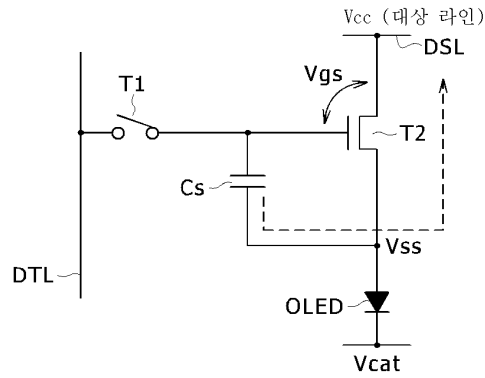
도면9



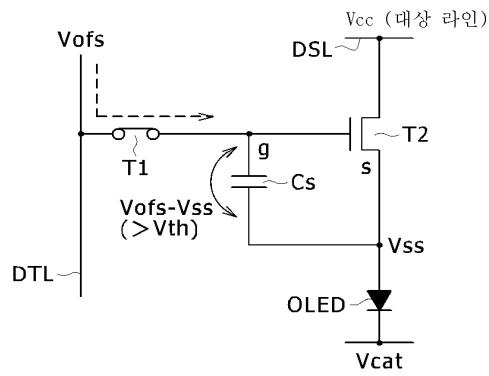
도면10



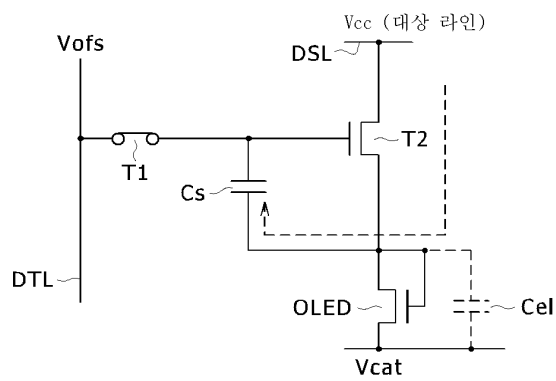
도면11



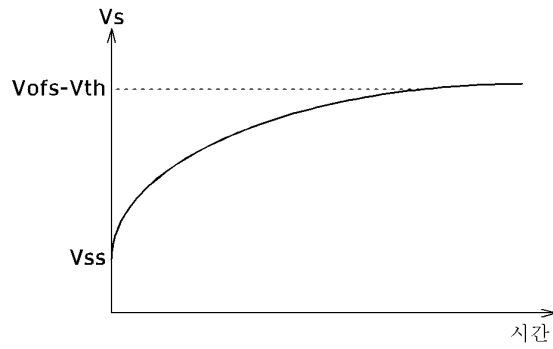
도면12



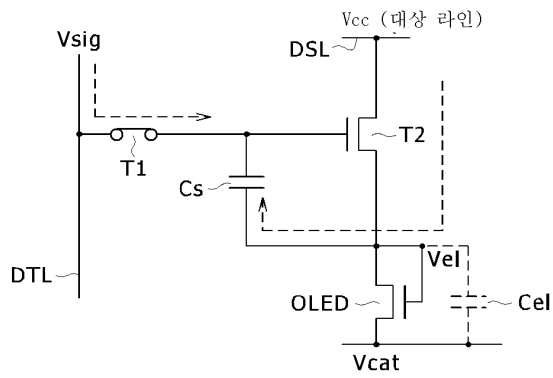
도면13



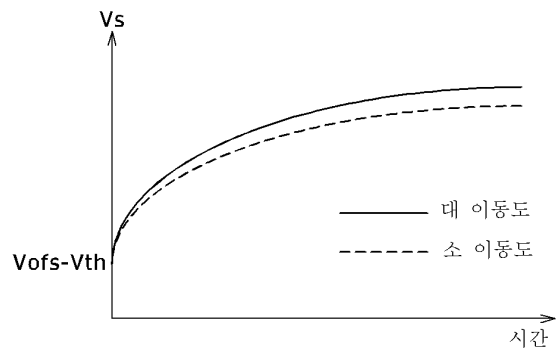
도면14



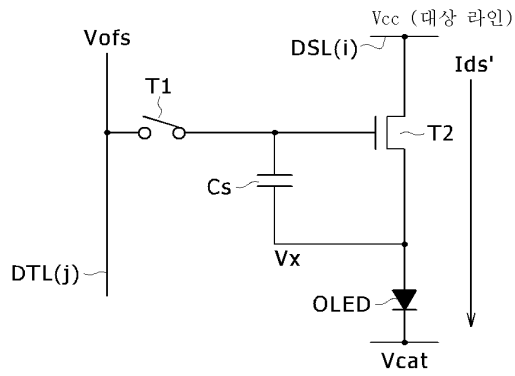
도면15



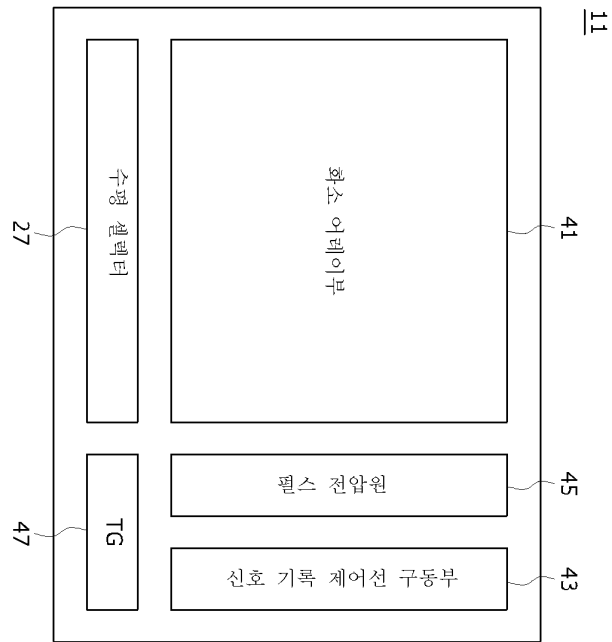
도면16



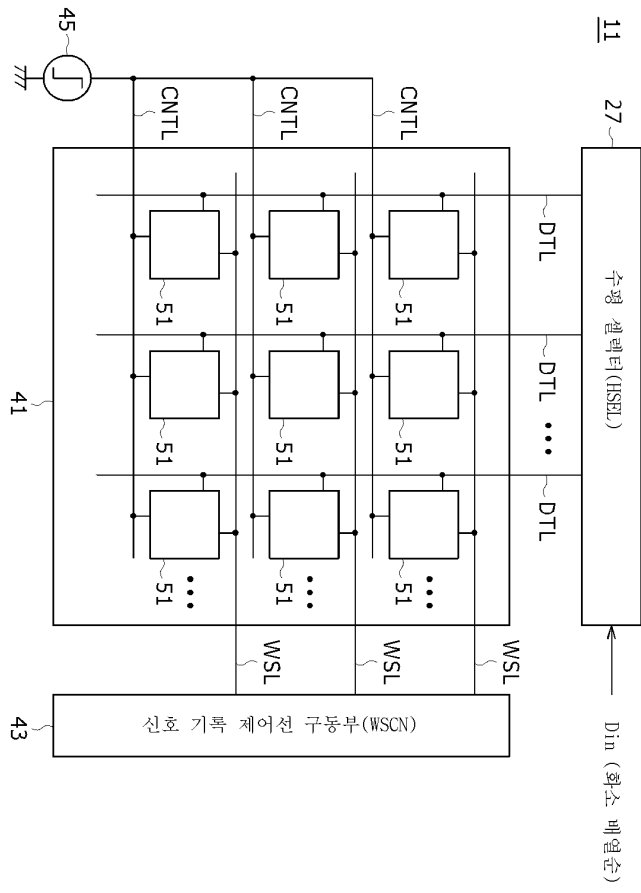
도면17



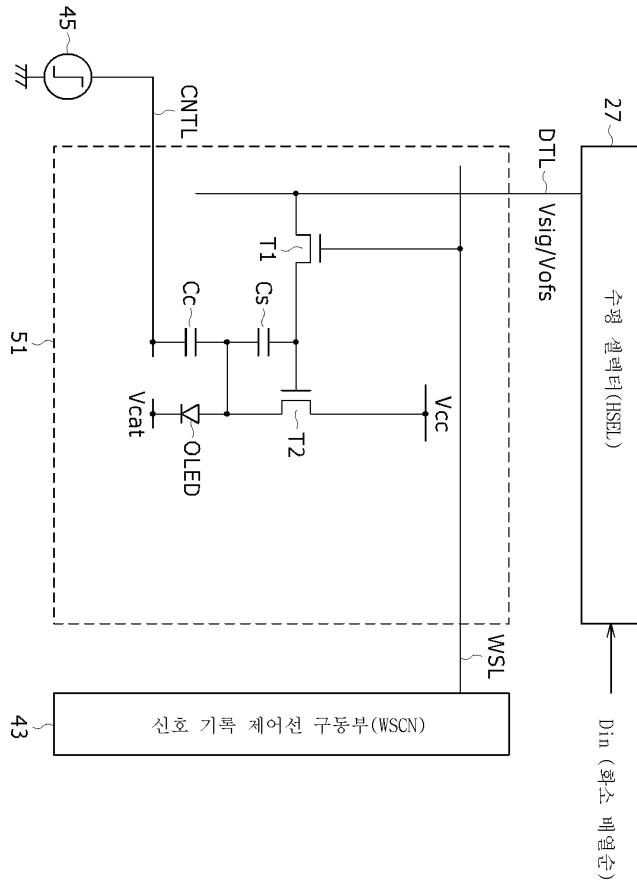
도면18



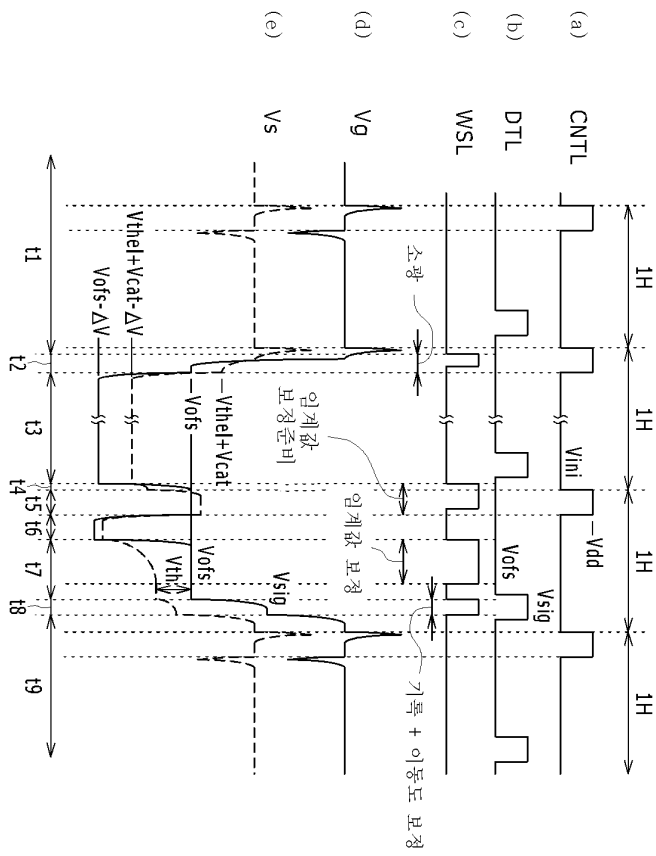
도면19



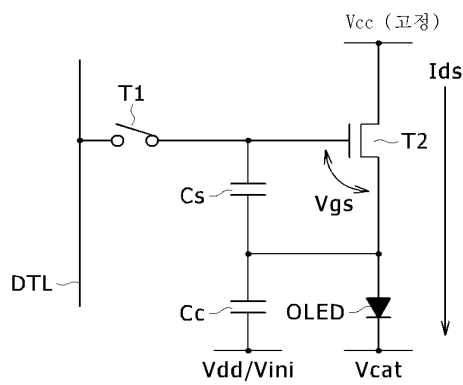
도면20



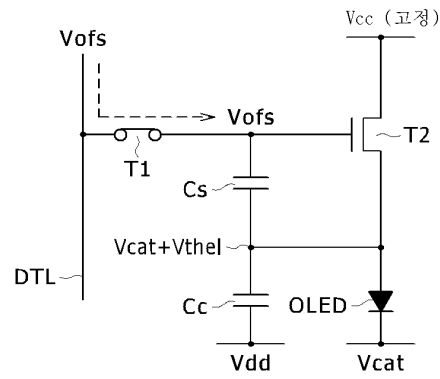
도면21



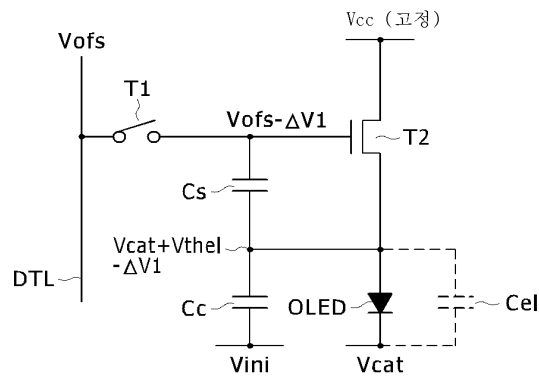
도면22



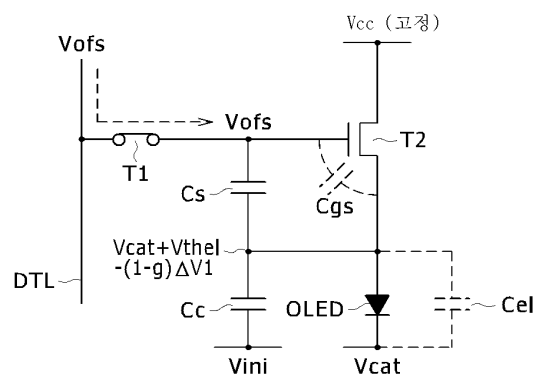
도면23



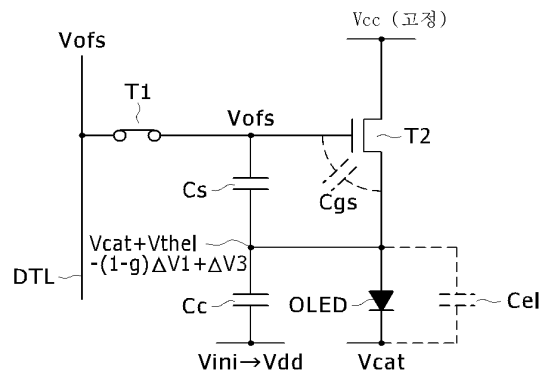
도면24



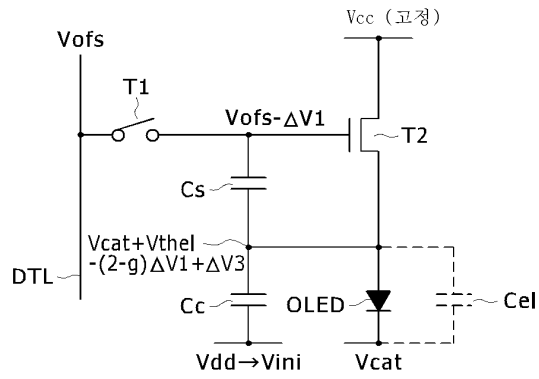
도면25



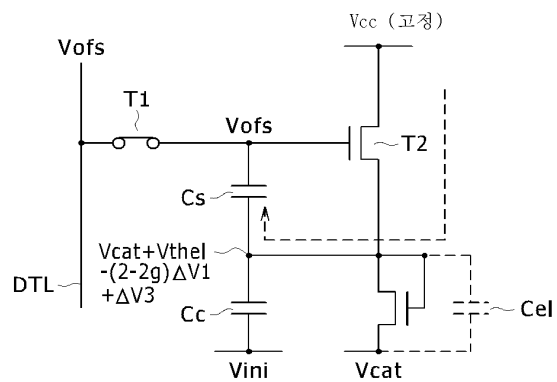
도면26



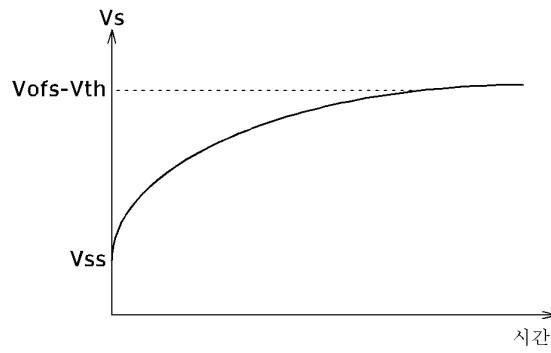
도면27



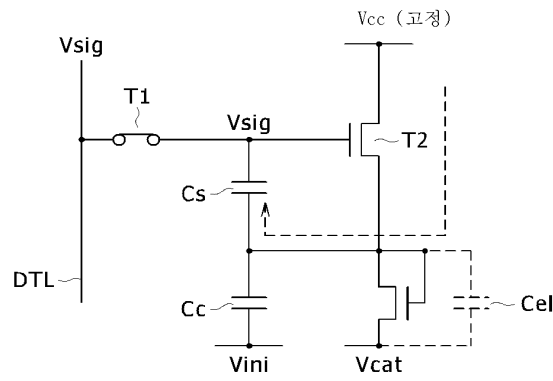
도면28



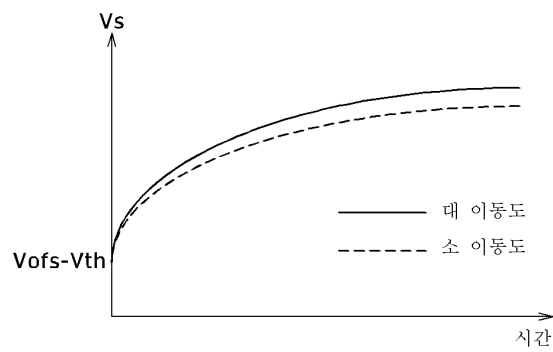
도면29



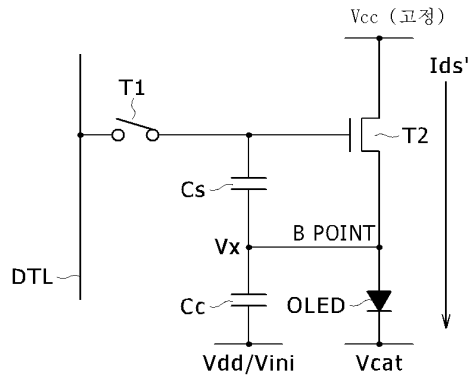
도면30



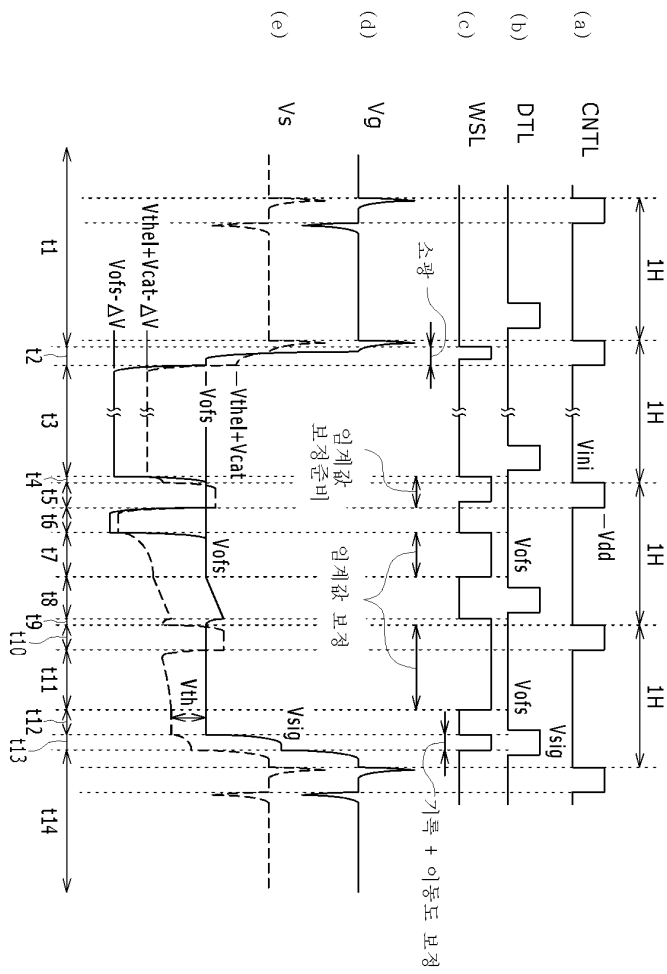
도면31



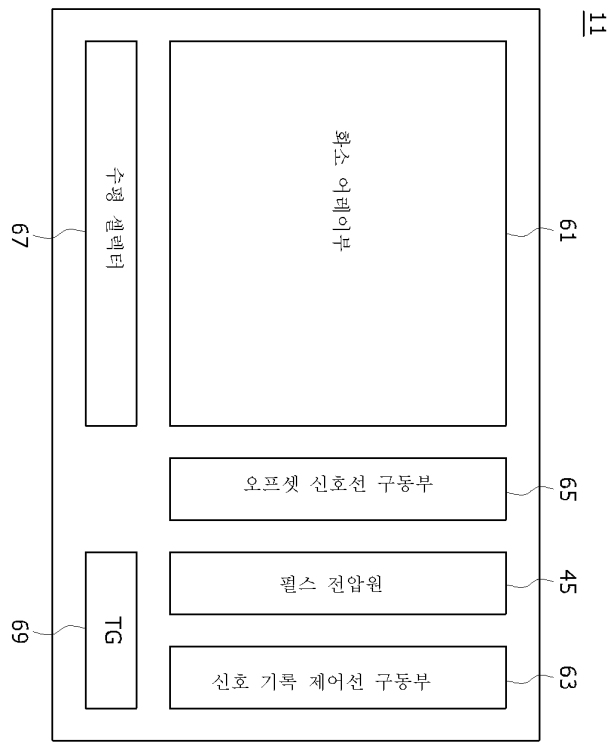
도면32



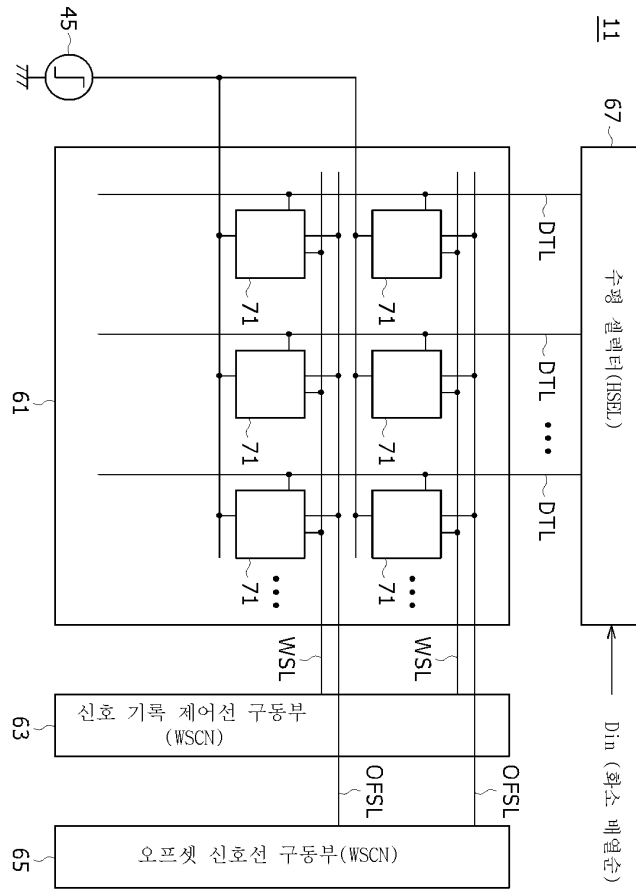
도면33



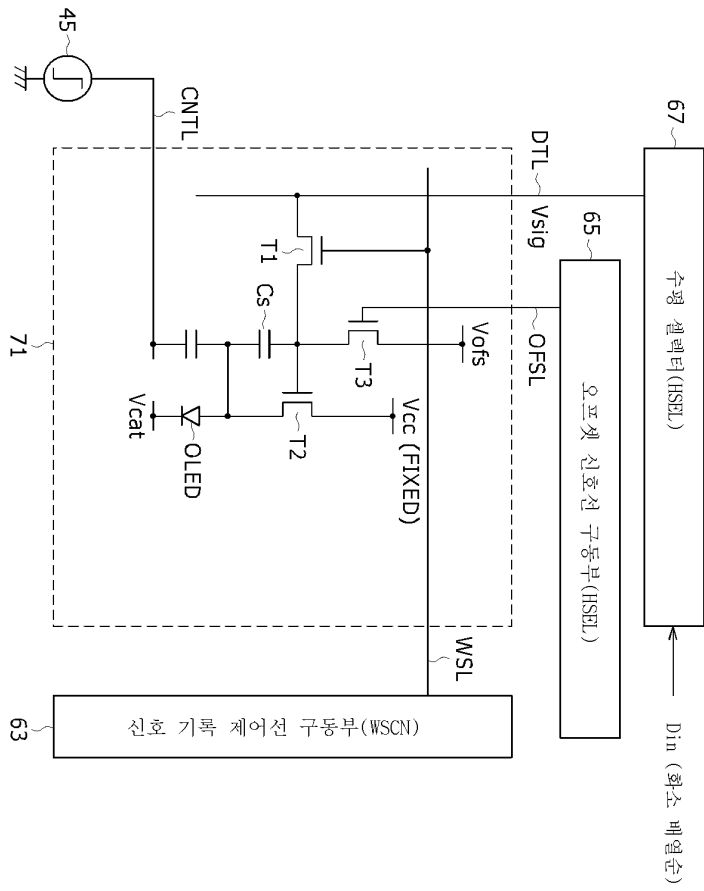
도면34



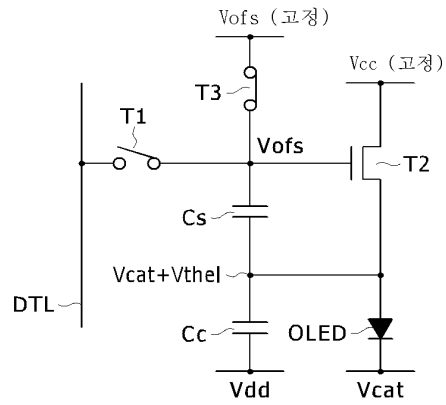
도면35



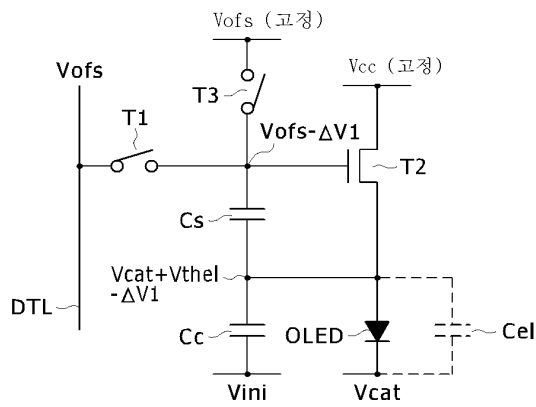
도면36



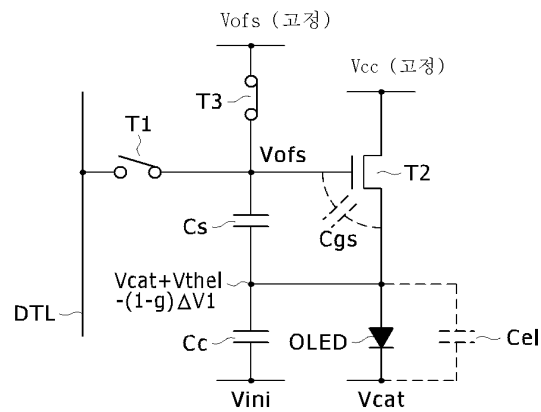
도면39



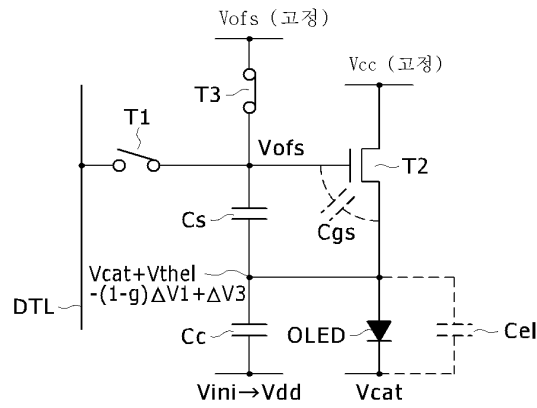
도면40



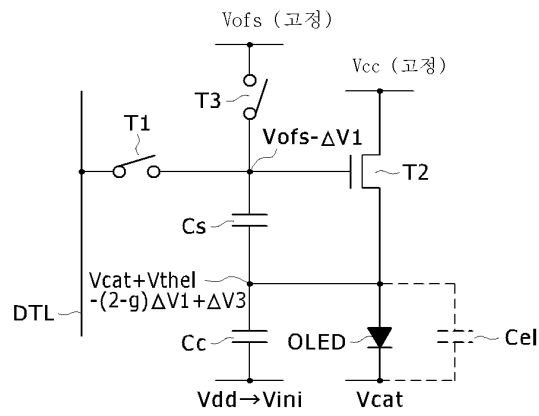
도면41



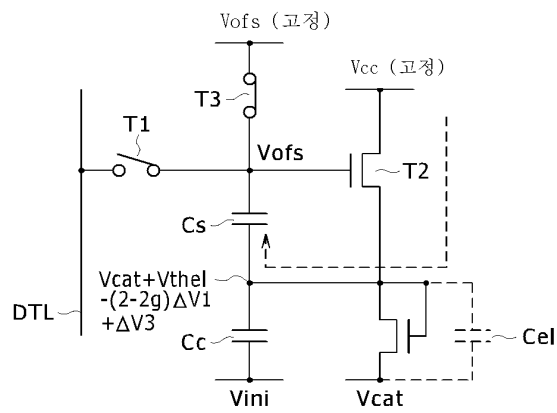
도면42



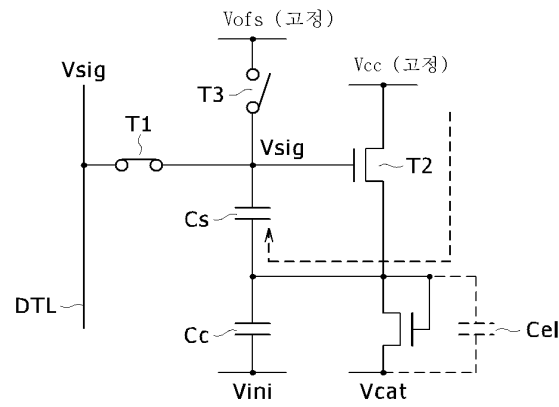
도면43



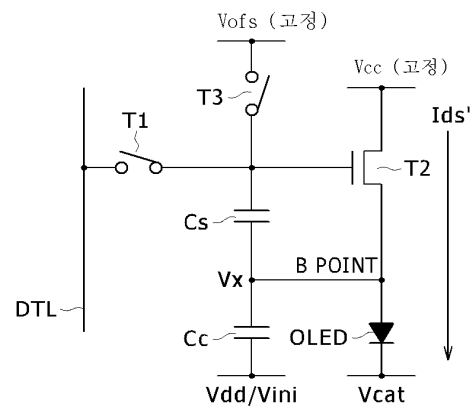
도면44



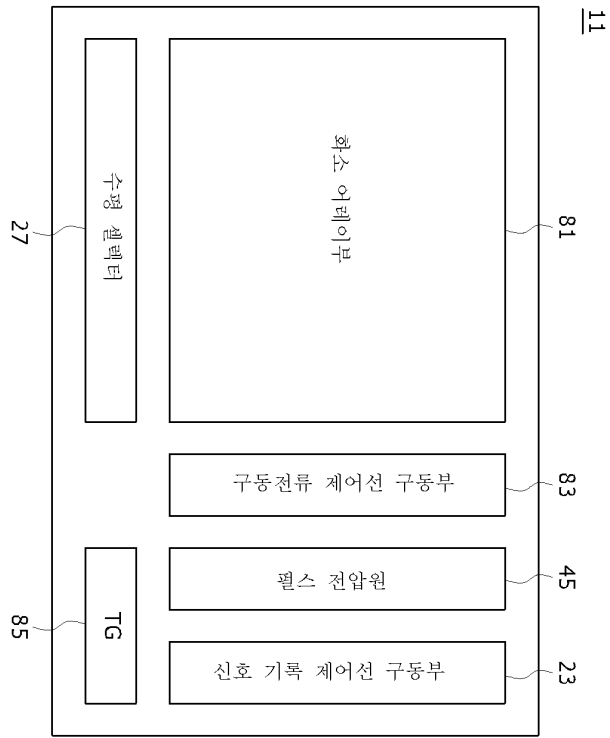
도면45



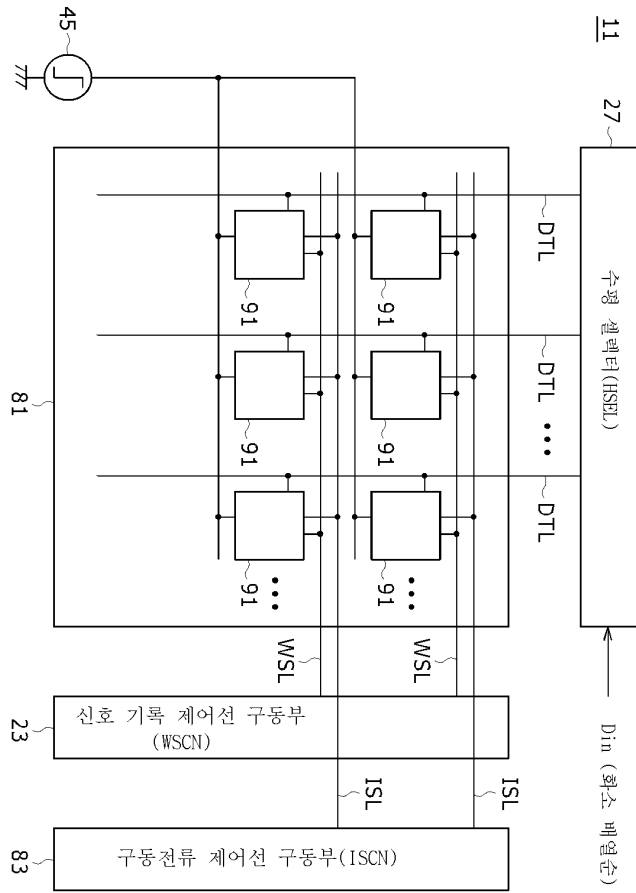
도면46



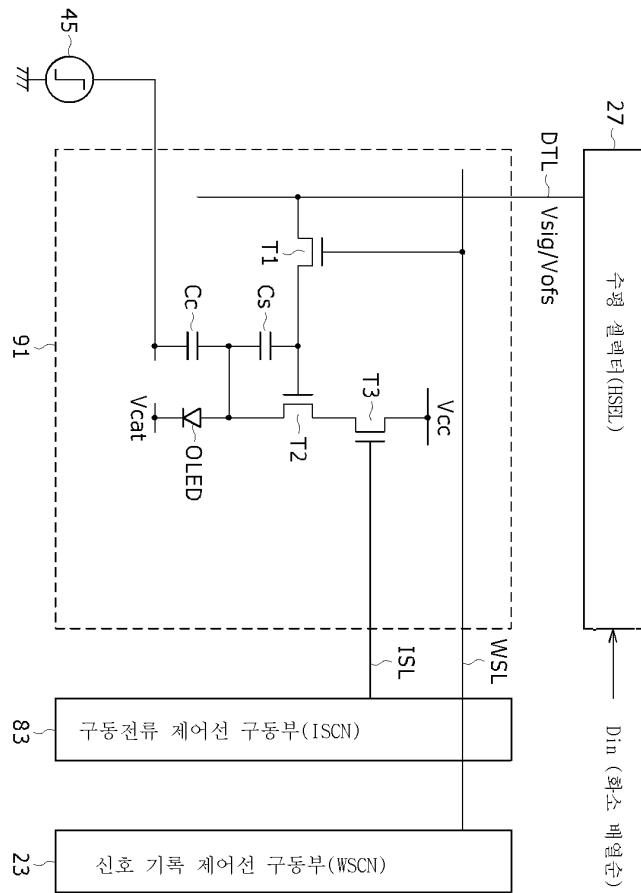
도면47



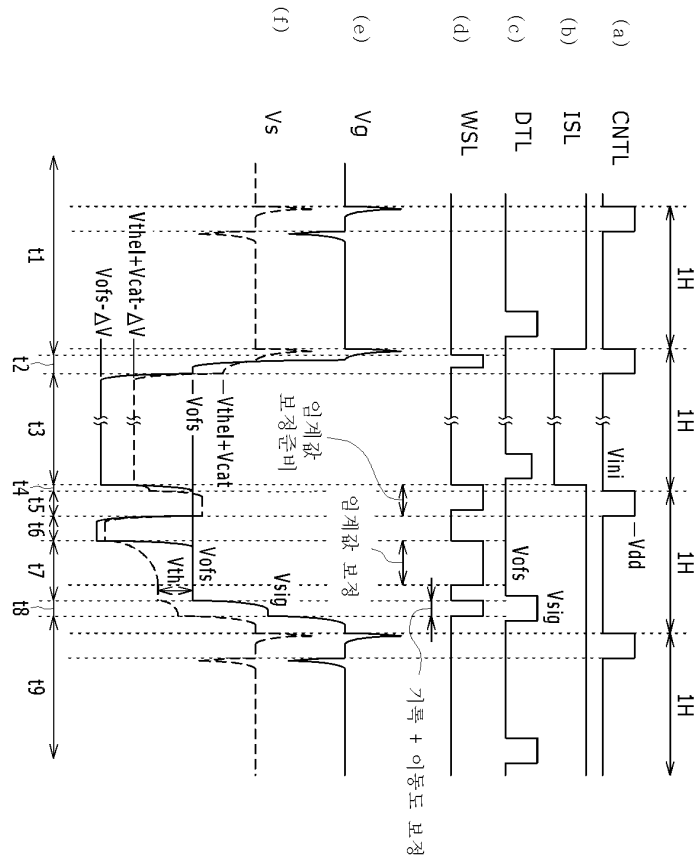
도면48



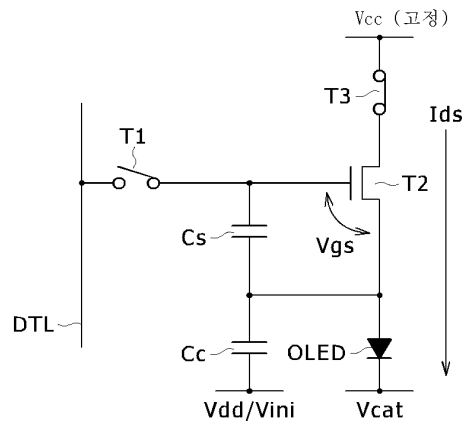
도면49



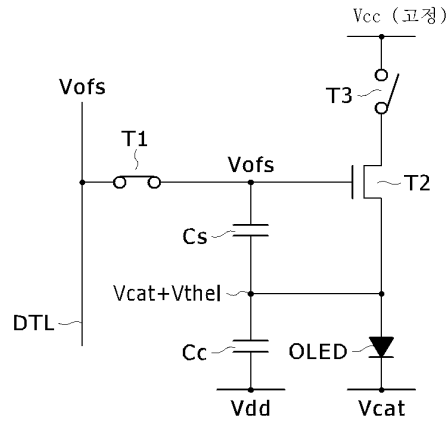
도면50



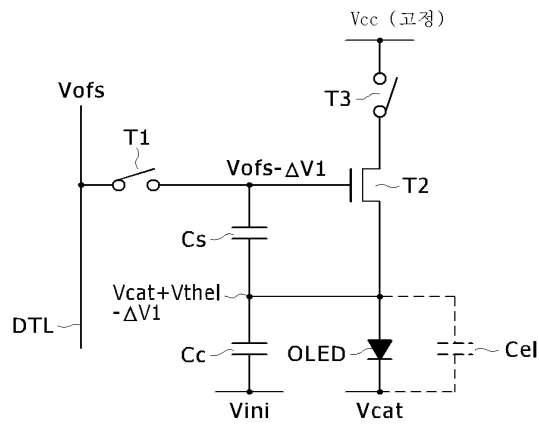
도면51



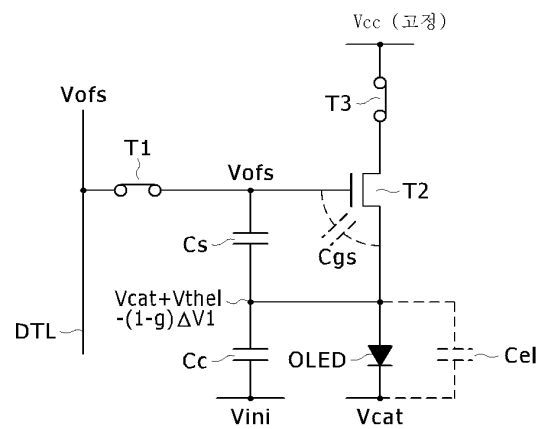
도면52



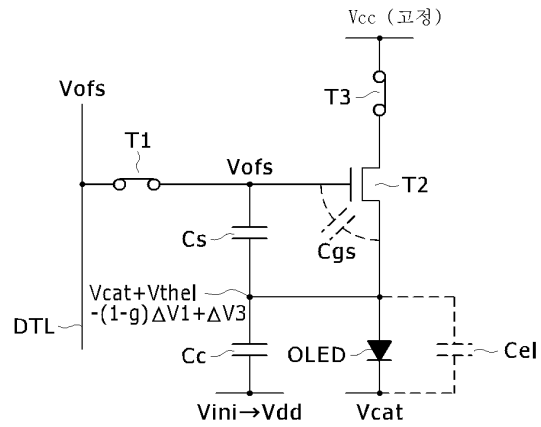
도면53



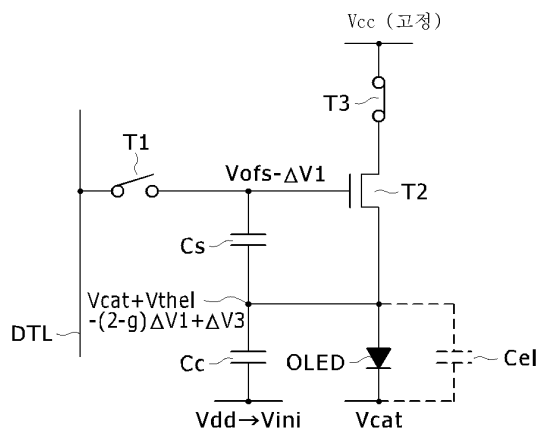
도면54



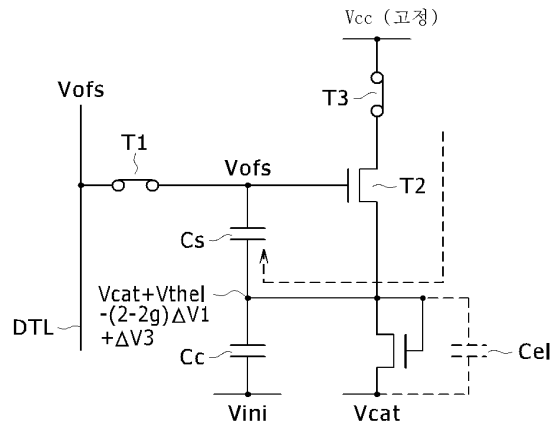
도면55



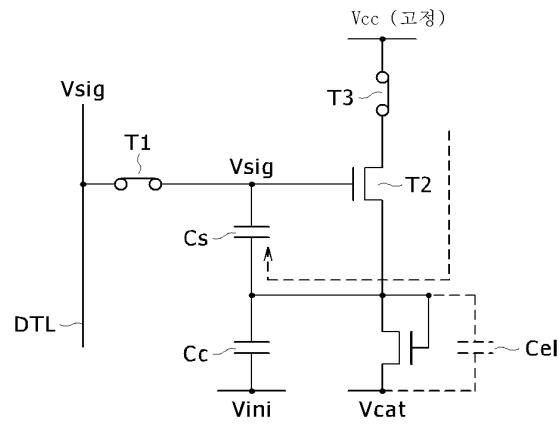
도면56



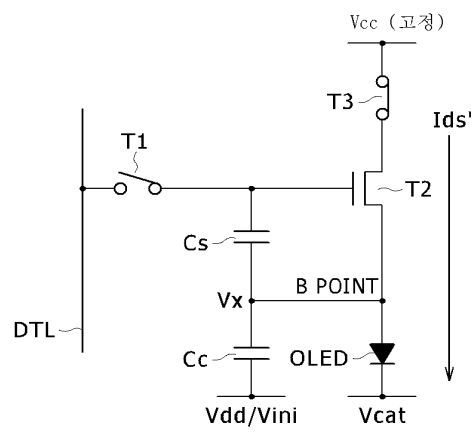
도면57



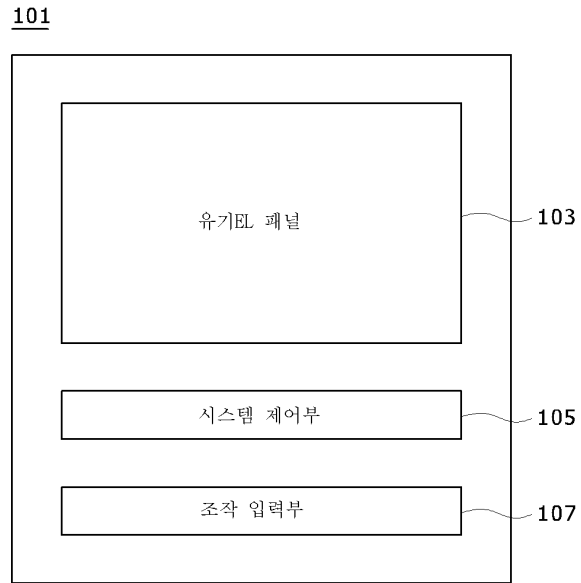
도면58



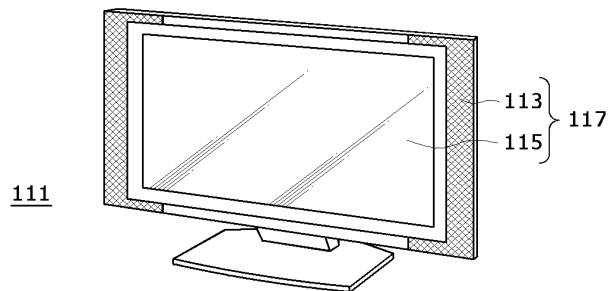
도면59



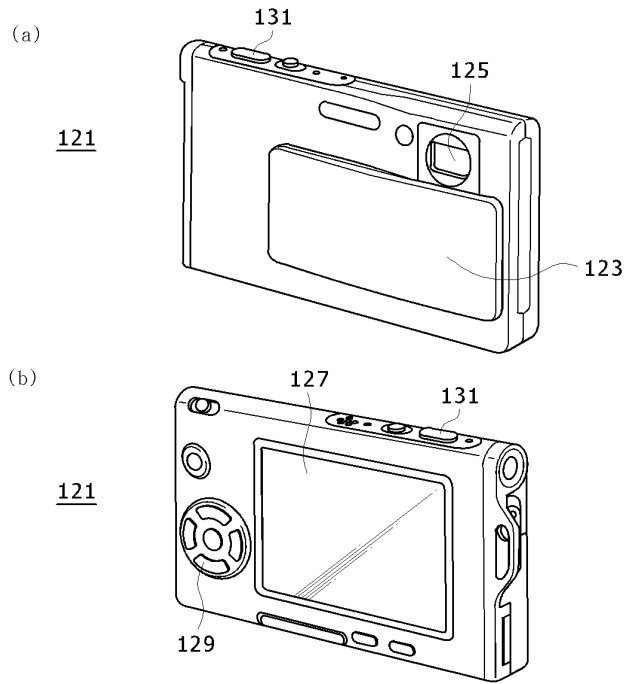
도면60



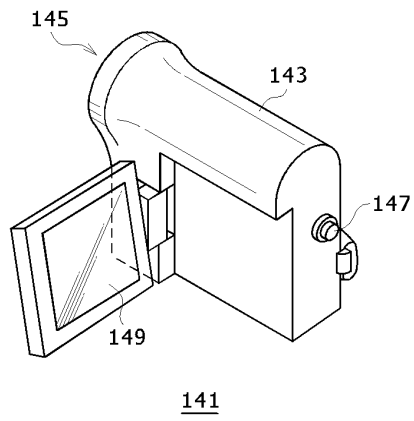
도면61



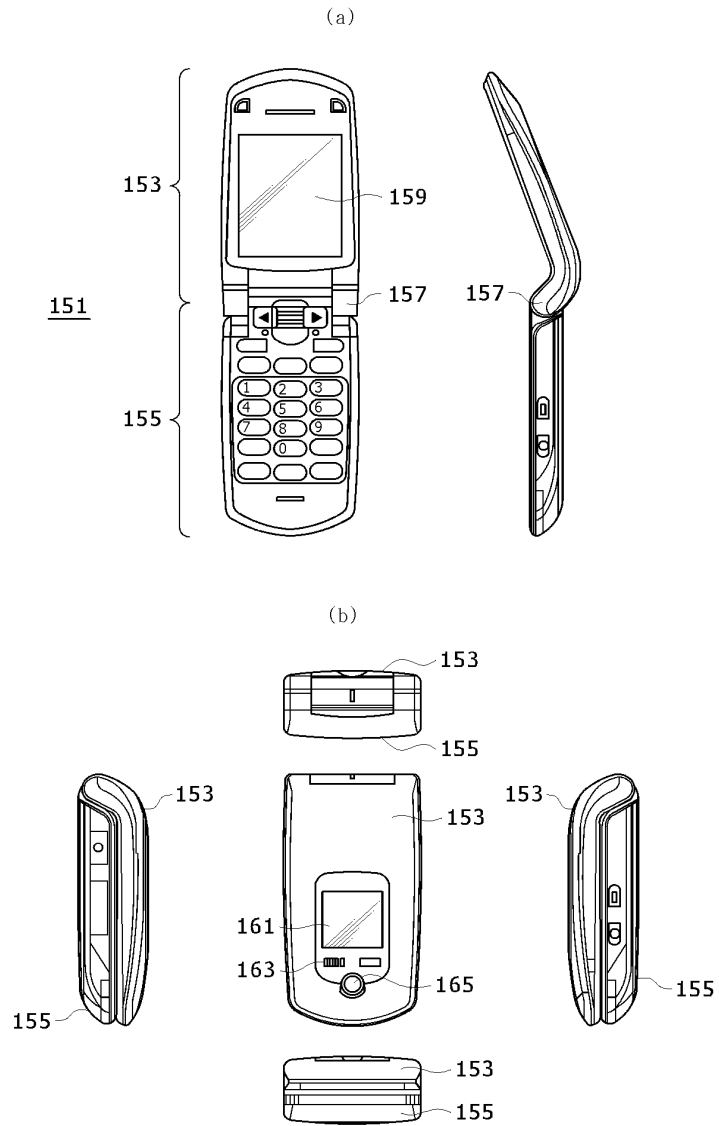
도면62



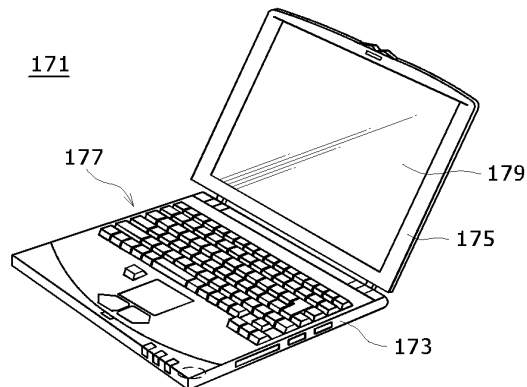
도면63



도면64



도면65



专利名称(译)	标题：EL显示板，电子设备和用于驱动EL显示板的方法		
公开(公告)号	KR101533219B1	公开(公告)日	2015-07-02
申请号	KR1020090015267	申请日	2009-02-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMAMOTO TETSURO 야마모토테츠로 UCHINO KATSUhide 우치노카쓰히데		
发明人	야마모토테츠로 우치노카쓰히데		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0866 G09G2310/0256 G09G2320/043 G09G2320/045		
代理人(译)	Yihwaik 金红豆		
优先权	2008048258 2008-02-28 JP		
其他公开文献	KR1020090093829A		
外部链接	Espacenet		

摘要(译)

目的：提供EL显示面板，电子设备和EL显示面板的驱动方法，以耦合驱动有机电致发光显示器的阳极电压和驱动晶体管的栅极电压。组成：EL显示面板包括驱动晶体管 (T2)，像素电路 (71)，电容控制线 (CNTL)，耦合电容和脉冲电压源 (45)。驱动晶体管从固定电压电源线接收驱动电流并提供给有机发光二极管。像素电路具有信号维持能力 (Cs) 和采样晶体管。信号存储电容布置在驱动晶体管的栅电极和源电极之间。采样晶体管 (T3) 控制存储有机发光二极管的信号电位 (Vsig) 和信号存储电容的操作。容量控制线通过公共线连接到像素电路。KIPO 2009

