



## 특허청구의 범위

### 청구항 1

기관;

상기 기관 상에 배치되고 금속산화물층 및 금속층을 포함하는 게이트 전극;

상기 게이트 전극과 절연되도록 상기 기관 상에 배치되고 상기 금속산화물층을 포함하는 화소 전극;

상기 게이트 전극을 덮도록 상기 기관 상에 배치된 게이트 절연막;

상기 게이트 전극에 대응하는 위치에 배치된 채널영역과, 상기 채널영역의 외부에 각각 배치된 제1,2 영역을 구비하며, 상기 게이트 절연막 상에 배치된 반도체층;

상기 반도체층의 제1영역에 접속되는 제1전극;

상기 반도체층의 제2영역 및 상기 화소전극에 접속되는 제2전극;

상기 반도체층의 제1영역과 상기 제1전극 사이 및 상기 반도체층의 제2영역과 상기 제2전극 사이에 배치된 오믹 콘택층;

상기 제1전극, 제2전극, 반도체층 및 화소전극을 덮도록 상기 기관 상에 배치되고, 상기 화소전극의 일부를 노출시키는 개구부를 구비한 화소정의막;

상기 개구부의 상기 화소전극 상에 배치된 유기 발광층; 및

상기 유기 발광층을 덮는 대향 전극;을 포함하는 유기발광 표시장치.

### 청구항 2

제1항에 있어서,

상기 게이트 전극의 금속산화물층 및 금속층은, 상기 기관으로부터 금속산화물층 및 금속층의 순서로 적층된 유기발광 표시장치.

### 청구항 3

제1항에 있어서,

상기 화소 전극은 금속층을 더 포함하는 유기발광 표시장치.

### 청구항 4

제3항에 있어서,

상기 게이트 전극 및 화소 전극의 금속층 및 금속산화물층은, 각각 상기 기관으로부터 금속층 및 금속산화물층의 순서로 적층된 유기발광 표시장치.

### 청구항 5

제1항에 있어서,

상기 금속산화물층은 ITO, IZO, ZnO 및  $\text{In}_2\text{O}_3$ 로 이루어진 군에서 선택된 적어도 하나의 금속산화물질을 포함하는 유기발광 표시장치.

### 청구항 6

제1항에 있어서,

상기 금속층은 Mo, Cr, Ti, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Li, Ca 및 이들의 화합물로 이루어진 군에서 선택된 적어도 하나의 금속물질을 포함하는 유기발광 표시장치.

### 청구항 7

제1항에 있어서,

상기 반도체층은 다결정 실리콘층을 포함하는 유기발광 표시장치.

#### 청구항 8

제1항에 있어서,

상기 게이트 절연막, 반도체층 및 오믹콘택층의 단부의 패턴이 동일한 유기발광 표시장치.

#### 청구항 9

제1항에 있어서,

상기 기판 상에 버퍼층을 더 포함하는 유기발광 표시장치.

#### 청구항 10

기판 상에 게이트 전극 및 화소 전극을 형성하는 물질을 증착하고 패터닝하여, 서로 절연된 게이트 전극 및 화소 전극을 형성하는 단계;

상기 게이트 전극 및 화소 전극 상에 게이트 절연물질이 증착되는 단계;

상기 게이트 절연물질 상에 비정질 실리콘층이 증착되는 단계;

상기 비정질 실리콘층이 다결정 실리콘층으로 결정화되는 단계;

상기 다결정 실리콘층 상에 오믹콘택물질이 증착되는 단계;

상기 게이트 전극 상에 배치된 상기 게이트 절연물질, 다결정 실리콘층 및 오믹콘택물질을 패터닝하여, 상기 화소 전극과 분리되고 상기 화소 전극이 노출되도록 게이트 절연막, 반도체층 및 오믹콘택층을 형성하는 단계;

상기 기판, 오믹콘택층 및 화소 전극 상에 도전물질이 증착되고, 상기 게이트 전극에 대응하는 위치의 오믹콘택층이 노출되도록 상기 도전물질을 패터닝하여 상기 오믹콘택층과 접속하는 제1전극, 및 상기 제1전극과 분리되고 상기 오믹콘택층 및 화소 전극에 접속하는 제2전극을 형성하는 단계;

상기 노출된 오믹콘택층이 에칭되는 단계;

상기 기판, 제1, 2 전극층, 반도체층 및 화소 전극 상에 화소정의막 형성물질이 증착되고 화소 전극이 노출되도록 패터닝하여 화소정의막을 형성하는 단계; 및

상기 화소전극 상에 유기 발광층 및 대향 전극이 형성되는 단계;를 포함하는 유기발광 표시장치의 제조방법.

#### 청구항 11

제10항에 있어서,

상기 게이트 전극 및 화소 전극을 형성하는 단계는, 상기 기판 상에 금속산화물층 및 금속층을 순차로 증착하고 패터닝하여, 상기 금속산화물층 및 금속층을 포함하는 게이트 전극 및 화소 전극을 형성하는 단계인 유기발광 표시장치의 제조방법.

#### 청구항 12

제11항에 있어서,

상기 게이트 절연막, 반도체층 및 오믹콘택층을 형성하는 단계는, 상기 화소 전극의 상기 금속산화물층이 노출되도록 패터닝되는 단계인 유기발광 표시장치의 제조방법.

#### 청구항 13

제12항에 있어서,

상기 단계는 하프톤(half-tone) 마스크를 이용하여 동시에 패터닝되는 유기발광 표시장치의 제조방법.

#### 청구항 14

제10항에 있어서,

상기 게이트 전극 및 화소 전극을 형성하는 단계는, 상기 기판상에 금속층 및 금속산화물층을 순차로 증착하고 패터닝하여, 상기 금속층 및 금속산화물층을 포함하는 게이트 전극 및 화소 전극을 형성하는 단계인 유기발광 표시장치의 제조방법.

#### 청구항 15

제14항에 있어서,

상기 게이트 절연막, 반도체층 및 오믹콘택층을 형성하는 단계는, 상기 화소 전극의 상기 금속산화물층이 노출 되도록 패터닝되는 단계인 유기발광 표시장치의 제조방법.

#### 청구항 16

제10항에 있어서,

상기 게이트 절연막, 반도체층 및 오믹콘택층을 형성하는 단계는, 상기 게이트 절연막, 반도체층 및 오믹콘택층의 단부의 패턴이 동일하게 패터닝되는 단계인 유기발광 표시장치의 제조방법.

#### 청구항 17

제10항에 있어서,

상기 기판 상에 버퍼층을 형성하는 단계를 더 포함하는 유기발광 표시장치의 제조방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 유기발광 표시장치 및 유기발광 표시장치의 제조방법에 관한 것으로, 더 상세하게는 제조공정이 단순화된 바텀 게이트 타입의 박막 트랜지스터를 포함한 유기발광 표시장치 및 유기발광 표시장치의 제조방법에 관한 것이다.
- <17> 박막 트랜지스터는 액정 표시장치나 유기 발광 표시장치 등 평판 표시장치의 스위칭 소자 또는 구동 소자로 사용되고 있다. 박막 트랜지스터는 게이트 전극의 위치에 따라 탑 게이트(top gate) 타입과 바텀 게이트(bottom gate) 타입으로 분류되고, 이들 가운데 탑 게이트 타입의 박막 트랜지스터는 유기 발광 표시장치를 비롯한 평판 디스플레이 장치에 널리 사용되고 있다.
- <18> 한편, 유기발광 표시장치는 화소 전극과 대향 전극 사이에 유기 발광층을 갖는 자발광형 표시장치로서, 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빨라, 차세대 표시소자로 주목받고 있다.
- <19> 도 1은 종래의 탑 게이트 타입의 박막 트랜지스터를 구비한 유기발광 표시장치의 구조를 개략적으로 도시한 단면도이다. 상기 도면을 참조하면, 종래의 유기발광 표시장치는 기판(10) 상에 버퍼층(11), 반도체층(21), 층간 절연막(12), 게이트 전극(22), 게이트 절연막(13), 소스 및 드레인 전극(23, 24), 평탄화막(14), 화소정의막(15), 화소 전극(27), 유기발광층(28) 및 대향 전극(29)을 구비한다.
- <20> 상기 유기발광 표시장치는 먼저 기판(10) 상에 버퍼층(11)과 비정질 실리콘층을 순차로 증착하고, 비정질 실리콘층을 다결정 실리콘으로 결정화시킨 후, 제1마스크를 이용하여 다결정 실리콘층을 소정의 패턴으로 패터닝한다. 그 후, 제2마스크를 이용하여 패터닝된 다결정 실리콘층을 소스 및 드레인 영역으로 만들기 위하여 이온 도핑 공정을 실시하여, 반도체층(21)을 형성한다.
- <21> 다음으로, 버퍼층(11) 및 상기 패터닝된 반도체층(21) 상에 층간 절연막(12)과 게이트 전극(22)으로 사용될 도전물질을 증착한 후, 제3마스크를 이용하여 도전물질을 소정 패턴으로 패터닝하여 게이트 전극(22)을 형성한다.
- <22> 게이트 전극(22)을 형성 한 후, 게이트 전극(22) 상에 게이트 절연막(13)을 증착하고, 그 후 제4마스크를 이용

하여 소스/드레인 전극(23, 24)과 반도체층(21)을 전기적으로 접속시키기 위한 콘택홀(25)을 패터닝한다.

- <23> 콘택홀(25)을 형성한 후, 게이트 절연막(13) 상에 소스/드레인 전극 물질을 증착하고 제5마스크를 이용하여 소스/드레인 전극물질을 소정 패턴으로 패터닝하여 소스/드레인 전극(23, 24)을 형성한다.
- <24> 소스/드레인 전극(23, 24)을 형성한 후, 소스/드레인 전극(23, 24) 및 게이트 절연막(13) 상에 평탄화막(14)을 증착하고, 소스/드레인 전극(23, 24) 중 어느 하나의 전극과 화소 전극(27)을 전기적으로 접속시키기 위한 비어홀(26)을 제6마스크를 이용하여 패터닝한다.
- <25> 비어홀(26)을 형성한 후, 평탄화막(14) 상에 도전물질을 증착하고, 제7마스크를 이용하여 상기 도전물질을 소정 패턴의 화소 전극(27)으로 패터닝한다.
- <26> 화소 전극(27)을 형성한 후, 평탄화막(14)과 화소 전극(27) 상에 화소정의막(15)을 증착하고, 제8마스크를 이용하여 화소 전극(27)의 일부가 개구되도록 패터닝한다. 화소 정의막(15) 상에 스페이서(미도시)를 더 구비할 경우에는 스페이서(미도시)를 증착하고 또 다른 마스크(제9마스크)를 이용하여 스페이서(미도시)를 패터닝한다.
- <27> 개구된 화소 전극(27) 상에 유기 발광층(28)을 새도우 마스크나 오픈 마스크를 이용하여 증착하고, 그 다음 유기 발광층(28) 상에 대향 전극(29)을 오픈 마스크를 이용하여 증착한다.
- <28> 상술한 종래 탑 게이트 타입의 박막 트랜지스터를 포함하는 유기 발광 표시장치는 소정의 패턴을 형성하기 위하여 마스크를 사용하는 공정이 많은데, 이러한 공정은 포토레지스터를 도포, 노광, 현상하는 일련의 과정을 거치기 때문에 제조 공정이 복잡하고 이로 인하여 제조 원가가 상승하는 문제가 있었다.

### 발명이 이루고자 하는 기술적 과제

- <29> 본 발명은 상기와 같은 문제 및 그 밖의 문제를 해결하기 위하여, 마스크를 이용한 패터닝 공정 수를 줄일 수 있는 유기발광 표시장치 및 이의 제조방법을 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

- <30> 상기와 같은 목적을 달성하기 위하여 본 발명은, 기판; 상기 기판 상에 배치되고 금속산화물층 및 금속층을 포함하는 게이트 전극; 상기 게이트 전극과 절연되도록 상기 기판 상에 배치되고 상기 금속산화물층을 포함하는 화소 전극; 상기 게이트 전극을 덮도록 상기 기판 상에 배치된 게이트 절연막; 상기 게이트 전극에 대응하는 위치에 배치된 채널영역과, 상기 채널영역의 외부에 각각 배치된 제1,2 영역을 구비하며, 상기 게이트 절연막 상에 배치된 반도체층; 상기 반도체층의 제1영역 접속되는 제1전극; 상기 반도체층의 제2영역 및 상기 화소전극에 접속되는 제2전극; 상기 반도체층의 제1영역과 상기 제1전극 사이 및 상기 반도체층의 제2영역과 상기 제2전극 사이에 배치된 오믹콘택층; 상기 제1전극, 제2전극, 반도체층 및 화소전극을 덮도록 상기 기판 상에 배치되고, 상기 화소전극의 일부를 노출시키는 개구부를 구비한 화소정의막; 상기 개구부의 상기 화소전극 상에 배치된 유기 발광층; 및 상기 유기 발광층을 덮는 대향 전극;을 포함하는 유기발광 표시장치를 제공한다.
- <31> 또한 본 발명에 의하면, 상기 게이트 전극의 금속산화물층 및 금속층은 상기 기판으로부터 금속산화물층 및 금속층의 순서로 적층될 수 있다.
- <32> 상기 화소 전극은 금속층을 더 포함할 수 있다.
- <33> 상기 게이트 전극 및 화소 전극의 금속층 및 금속산화물층은, 각각 상기 기판으로부터 금속층 및 금속산화물층의 순서로 적층될 수 있다.
- <34> 상기 금속산화물층은 ITO, IZO, ZnO 및  $\text{In}_2\text{O}_3$ 로 이루어진 군에서 선택된 적어도 하나의 금속산화물질을 포함할 수 있다.
- <35> 상기 금속층은 Mo, Cr, Ti, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Li, Ca 및 이들의 화합물로 이루어진 군에서 선택된 적어도 하나의 금속물질을 포함할 수 있다.
- <36> 상기 반도체층은 다결정 실리콘층을 포함할 수 있다.
- <37> 상기 게이트 절연막, 반도체층 및 오믹콘택층의 단부의 패턴이 동일할 수 있다.
- <38> 상기 기판 상에 버퍼층을 더 포함할 수 있다.
- <39> 상기와 같은 목적을 달성하기 위하여 본 발명은, 기판 상에 게이트 전극 및 화소 전극을 형성하는 무질을 증착

하고 패터닝하여, 서로 절연된 게이트 전극 및 화소 전극을 형성하는 단계; 상기 게이트 전극 및 화소 전극 상에 게이트 절연물질이 증착되는 단계; 상기 게이트 절연물질 상에 비정질 실리콘층이 증착되는 단계; 상기 비정질 실리콘층이 다결정 실리콘층으로 결정화되는 단계; 상기 다결정 실리콘층 상에 오믹콘택물질이 증착되는 단계; 상기 게이트 전극 상에 배치된 상기 게이트 절연물질, 다결정 실리콘층 및 오믹콘택물질을 패터닝하여, 상기 화소 전극과 분리되고 상기 화소 전극이 노출되도록 게이트 절연막, 반도체층 및 오믹콘택층을 형성하는 단계; 상기 기판, 오믹콘택층 및 화소 전극 상에 도전물질이 증착되고, 상기 게이트 전극에 대응하는 위치의 오믹콘택층이 노출되도록 상기 도전물질을 패터닝하여 상기 오믹콘택층과 접속하는 제1전극, 및 상기 제1전극과 분리되고 상기 오믹콘택층 및 화소 전극에 접속하는 제2전극을 형성하는 단계; 상기 노출된 오믹콘택층이 에칭되는 단계; 상기 기판, 제1, 2 전극층, 반도체층 및 화소 전극 상에 화소정의막 형성물질이 증착되고 화소 전극이 노출되도록 패터닝하여 화소정의막을 형성하는 단계; 및 상기 화소전극 상에 유기 발광층 및 대향 전극이 형성되는 단계;를 포함하는 유기발광 표시장치의 제조방법을 제공한다.

- <40> 또한 본 발명에 의하면, 게이트 전극 및 화소 전극을 형성하는 단계는, 상기 기판 상에 금속산화물층 및 금속층이 순차로 증착되고, 상기 금속산화물층 및 금속층을 포함하는 게이트 전극 및 화소전극이 패터닝되는 단계일 수 있다.
- <41> 또한, 상기 게이트 절연막, 반도체층 및 오믹콘택층을 형성하는 단계는, 상기 화소 전극의 상기 금속산화물층이 노출되도록 패터닝되는 단계일 수 있다.
- <42> 상기 단계는 하프톤(half-tone) 마스크를 이용하여 동시에 패터닝될 수 있다.
- <43> 상기 게이트 전극 및 화소 전극을 형성하는 단계는, 상기 기판상에 금속층 및 금속산화물층을 순차로 증착하고 패터닝하여, 상기 금속층 및 금속산화물층을 포함하는 게이트 전극 및 화소 전극을 형성하는 단계일 수 있다.
- <44> 상기 게이트 절연막, 반도체층 및 오믹콘택층을 형성하는 단계는, 상기 화소 전극의 상기 금속산화물층이 노출되도록 패터닝되는 단계일 수 있다.
- <45> 상기 게이트 절연막, 반도체층 및 오믹콘택층을 형성하는 단계는, 상기 게이트 절연막, 반도체층 및 오믹콘택층의 단부의 패턴이 동일하게 패터닝되는 단계일 수 있다.
- <46> 상기 기판 상에 버퍼층을 형성하는 단계를 더 포함할 수 있다.
- <47> 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예들을 참조하여 본 발명을 보다 상세히 설명한다.
- <48> 도 2는 본 발명의 일 실시예에 관한 바텀 게이트 타입의 박막 트랜지스터를 포함한 유기발광 표시장치를 개략적으로 도시한 단면도이고, 도 3 내지 도 8은 도 2의 유기발광 표시장치에 관한 제조방법을 개략적으로 도시한 단면도이다.
- <49> 도 2를 참조하면, 본 실시예에 따른 유기발광 표시장치는 기판(110), 버퍼층(111), 게이트 전극(120), 화소 전극(130), 게이트 절연막(112), 반도체층(140), 오믹콘택층(150), 제1,2전극(161, 162), 화소정의막(170), 유기 발광층(180) 및 대향 전극(190)을 구비한다.
- <50> 기판(110)은  $\text{SiO}_2$ 를 주성분으로 하는 글라스재로 형성될 수 있으나, 이에 한정되지 않고 플라스틱재 기판 등 다양한 재질로 이루어질 수 있다. 그러나, 본 실시예에 의한 유기발광 표시소자는 후술하겠지만, 기판(110) 방향으로 화상이 구현되는 배면 발광형이므로 투명한 재질로 형성되어야 한다.
- <51> 기판(110)의 상면에는 기판(110)의 평활성과 불순 원소의 침투를 차단하기 위하여 버퍼층(111)이 구비될 수 있다. 상기 버퍼층은  $\text{SiO}_2$  및/또는  $\text{SiN}_x$  등을 이용하여 PECVD법, APCVD법, LPCVD법, ERC법 등 다양한 방법에 의해 증착될 수 있다.
- <52> 도 3을 참조하면, 버퍼층(111) 상에 ITO, IZO, ZnO, 또는  $\text{In}_2\text{O}_3$  등의 금속산화물질을 포함하는 금속산화물층(121)이 증착되고, 상기 금속산화물층(121) 상에 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti 또는 이들의 화합물을 포함한 금속층(122)이 증착된다. 상기 금속산화물층(121) 및 금속층(122)은 소정 패턴을 가진 마스크(M1)에 의해 도 4와 같은 소정 패턴을 가진 게이트 전극(120) 및 화소 전극(130)으로 패터닝된다. 게이트 전극(120)은 박막 트랜지스터의 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 이하, 마스크를 이용하여 패터닝하는 과정을 보다 상세히 설명한다.
- <53> 먼저 버퍼층(111) 상에 금속산화물층(121) 및 금속층(122)을 순차로 증착하고, 그 전면에 걸쳐 포토레지스터(photoresistor)를 도포한다. 이 포토레지스터를 통상의 사진식각(photolithography) 공정을 이용하여 소정의



패턴으로 패터닝한다. 즉, 도포된 포토레지스터를 소정의 패턴이 형성된 마스크(M1)를 이용하여 도포된 포토레지스터를 노광, 현상 및 베이킹한 후, 이를 소정 패턴에 따라 일괄 에칭하는 것이다. 이때, 에칭은 습식 에칭 및 건식 에칭 모두 적용 가능하며, 건식 에칭을 적용할 경우에는 플라즈마 식각, 반응 이온 식각(Reactive Ion Etching: RIE), 반응 스퍼터 식각(Reactive Sputter Etching), 반응이온빔 밀링 등의 방법이 적용될 수 있다. 마스크를 이용하는 패터닝 공정은 상술한 과정이 반복되므로, 이하에서는 동일한 공정에 대하여는 자세한 설명은 생략될 것이다.

<54> 도 4를 참조하면, 상술한 마스크 공정(M1)에 의하여 형성된 게이트 전극(120) 및 화소 전극(130) 상에 게이트 절연물질(112')이 증착된다. 이 게이트 절연물질(112')은 SiNx 또는 SiOx 등의 무기 절연막을 PECVD법, APCVD법, LPCVD법, ERC법 등의 방법으로 증착할 수 있다.

<55> 게이트 절연물질(112') 상에 다결정 실리콘층(140')이 형성된다. 먼저, 비정질 실리콘층이 증착된 후 결정화 과정을 거친다. 비정질 실리콘층(140)은 RTA(Rapid Thermal Annealing)공정, SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Annealing), MIC(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization), SLS법(Sequential Lateral Solidification) 등 다양한 방법에 의해 다결정 실리콘층(140')으로 결정화될 수 있다. 결정화된 다결정 실리콘층(140')은, 도 6을 참조하여 후술하는 바와 같이 패턴화되어 반도체층(140)을 형성한다. 도 6에 도시된 바와 같이, 반도체층(140)은 게이트 전극(120)의 위치에 대응하여 전자들의 통로가 되는 채널영역(142)과, 채널영역(142)의 외곽에 배치되고 후술할 오믹콘택층(150)과 접속하여 제1,2 전극(161, 162)에 연결되는 제1영역(141), 및 제2영역(143)으로 구성된다.

<56> 도 5를 참조하면, 다결정 실리콘층(140') 상에 오믹콘택물질(150')이 형성된다. 오믹콘택물질(150')은 N+ 또는 P+로 도핑된 실리콘을 CVD 등의 방법을 사용하여 다결정 실리콘층(140') 상에 증착함으로써 형성할 수 있다.

<57> 오믹콘택물질(150')이 증착된 후, 게이트 전극(120) 상에 순차로 형성된 게이트 절연물질(112'), 다결정 실리콘층(140') 및 오믹콘택물질(150')은 마스크(M2)를 이용하여 동일한 패턴으로 패터닝된다. 또한 화소 전극(130) 상에 적층되어 있던 게이트 절연물질(112'), 다결정 실리콘층(140'), 오믹콘택물질(150') 및 금속층(122)은 제거되고 금속산화물층(121)만 남게 된다. 그리고, 게이트 전극(120)과 화소 전극(130) 사이의 버퍼층(111) 상에 적층되어 있던 게이트 절연물질(112'), 다결정 실리콘층(140') 및 오믹콘택물질(150')은 제거된다. 전술한 바와 같이, 게이트 전극(120)이 있는 영역, 화소 전극(130) 영역, 및 이들 사이의 영역에서 에칭되는 영역이 서로 다르기 때문에, 패터닝에 사용되는 마스크(M2)는 광투과부와 광차단부 뿐만 아니라 반투과부를 구비한 하프톤(half-tone) 마스크(M2)가 사용된다.

<58> 도 6을 참조하면, 기판(110), 오믹콘택층(150) 및 화소 전극(130) 상에 소스/드레인 전극으로 형성될 도전물질이 증착되고, 이 도전물질은 마스크(M3)에 의하여 소스/드레인 전극에 해당하는 제1전극(161) 및 제2전극(162)으로 패터닝된다.

<59> 제1전극(161)은 오믹콘택층(150)을 사이에 두고 반도체층(140)의 제1영역(141)과 접속된다. 제2전극(162)은 오믹콘택층(150)을 사이에 두고 반도체층(140)의 제2영역(143) 및 화소 전극(130)과 접속된다. 여기서 제1전극(161) 및 제1영역(141)은 각각 소스 전극 및 소스 영역에 해당되고, 제2전극(162) 및 제2영역(143)은 각각 드레인 전극 및 드레인 영역에 해당되지만, 그 반대의 경우도 가능함은 물론이다. 이러한 전극으로 사용되는 도전물질로는 알루미늄(Al) 또는 구리(Cu) 등으로 된 단일 금속층 또는 알루미늄(Al) 층상에 몰리브덴(Mo), 우라늄(W), 크롬(Cr), 백금(Pt) 등의 금속을 적층한 이중 금속층 등을 선택할 수 있으며, 이 외에도 다양한 재료의 선택이 가능하다. 그리고, 도면에는 도시되어 있지 않으나 제1,2전극(161, 162)은 데이터 신호를 인가하는 데이터 라인(미도시)에 접속되어 있다.

<60> 도 7을 참조하면, 제1, 2 전극(161, 162)이 형성된 후, 제1, 2 전극(161, 162) 사이에 노출되어 있는 오믹콘택층(150)은 에칭되어 제거된다. 건식 에칭을 적용할 경우에는 플라즈마 식각, 반응 이온 식각(Reactive Ion Etching: RIE), 반응 스퍼터 식각(Reactive Sputter Etching), 반응이온빔 밀링 등의 방법이 적용될 수 있다.

<61> 도 8을 참조하면, 전술한 도 7에 의한 구조물 상에 화소 정의막(PDL: pixel defining layer, 170)을 구성하는 물질이 증착된다. 본 실시예의 경우 폴리이미드가 사용되었다. 화소 정의막(170)은 발광 영역을 정의하는 것 외에, 화소전극(130)의 가장자리와 대향 전극(190, 도 2 참조) 사이의 간격을 넓혀 화소 전극(130) 가장자리에 전계가 집중되는 현상을 방지함으로써 화소 전극(130)과 대향 전극(190) 사이의 단락을 방지하는 역할을 한다.

<62> 도 8과 함께 도 2를 다시 참조하면, 화소 정의막(170)이 마스크(M4)로 패터닝 된 후, 그 구조물 상에 유기 발광층(180)이 형성된다. 유기 발광층(180)은 화소 전극(130)과 대향 전극(190)의 전기적 구동에 의해 발광한다. 유

기 발광층(180)은 저분자 또는 고분자 유기물이 사용될 수 있다. 유기 발광층(180)이 저분자 유기물로 형성되는 경우, 유기 발광층(180)을 중심으로 화소 전극(130)의 방향으로 홀 수송층 및 홀 주입층 등이 적층되고, 대향 전극(190) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.

<63> 한편, 고분자 유기물로 형성된 고분자 유기층의 경우에는 유기 발광층(180)을 중심으로 화소 전극(130)의 방향으로 홀 수송층(Hole Transport Layer: HTL)만이 포함될 수 있다. 상기 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(130) 상부에 형성되며, 유기 발광층(180)은 PPV, Soluble PPV's, Cyano-PPV, 폴리플루오렌(Polyfluorene) 등을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.

<64> 유기 발광층(180) 상에는 공통전극으로 대향 전극(190)이 증착된다. 본 실시예에 따른 유기발광 표시장치의 경우, 화소 전극(130)은 애노드 전극으로 사용되고, 대향 전극(190)은 캐소드 전극으로 사용된다. 물론 전극의 극성이 반대로 적용될 수도 있다. 전술한 바와 같이 기판(110)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소 전극(130)은 투명전극이 되고 대향 전극(190)은 반사 전극이 된다. 반사 전극으로는 일함수가 작은 금속 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등으로 형성될 수 있다.

<65> 대향 전극(190) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층(180)을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.

<66> 상술한 본 실시예에 의한 유기발광 표시장치에 의하면, 금속산화물층과 금속층을 순차로 증착하여 게이트 전극과 화소 전극을 동시에 패터닝하고, 반도체층의 패터닝과 동시에 화소 전극의 금속층을 제거함으로써 마스크 공정의 회수를 상당히 줄일 수 있다. 또한, 본 실시예에 의한 유기발광 표시장치에 의하면 배면 발광형의 유기발광 표시장치로 사용될 수 있기 때문에, 중대형의 유기발광 표시장치에서 공통전극으로 사용되는 대향 전극인 캐소드 전극의 IR drop에 의해 형성되는 암점(dark spot)에 의한 표시품질의 저하를 염려할 필요가 없다.

<67> 이하, 도 9 내지 도 15를 참조하여 본 발명의 다른 실시예에 따른 유기발광 표시장치에 대해 상세히 설명한다. 본 유기 발광 표시장치는 전술한 실시예에서 이미 상세히 설명된 부분에 대하여는 상세한 설명을 생략하기로 한다.

<68> 도 9는 본 발명의 다른 실시예에 관한 바텀 게이트 타입의 박막 트랜지스터를 포함한 유기발광 표시장치를 개략적으로 도시한 단면도이고, 도 10 내지 도 15는 도 9의 유기발광 표시장치에 관한 제조방법을 개략적으로 도시한 단면도이다.

<69> 도 9를 참조하면, 본 실시예에 따른 유기발광 표시장치는 기판(210), 버퍼층(211), 게이트전극(220), 화소전극(230), 게이트 절연막(212), 반도체층(240), 오믹콘택층(250), 제1,2전극(261,262), 화소정의막(270), 유기 발광층(280) 및 대향 전극(290)을 구비한다.

<70> 기판(210)은 SiO<sub>2</sub>를 주성분으로 하는 글라스재로 형성될 수 있으나, 이에 한정되지 않고 플라스틱재 기판 등 다양한 재질로 이루어질 수 있다. 기판(210)의 상면에는 기판(210)의 평활성과 불순 원소의 침투를 차단하기 위하여 버퍼층(211)이 구비될 수 있다.

<71> 도 10을 참조하면, 버퍼층(211) 상에 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti 또는 이들의 화합물을 포함한 금속층(222)이 증착되고, 상기 금속층(222) 상에 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등의 금속산화물질을 포함하는 금속산화물층(221)이 증착된다. 상기 금속층(222) 및 금속산화물층(221)은 소정 패턴을 가진 마스크(M1')에 의해 도 11과 같은 소정 패턴을 가진 게이트 전극(220) 및 화소 전극(230)으로 패터닝된다. 게이트 전극(220)은 박막 트랜지스터의 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다.

<72> 도 11을 참조하면, 상술한 마스크 공정(M1')에 의하여 형성된 게이트 전극(220) 및 화소 전극(230) 상에 게이트 절연물질(212')이 증착된다. 게이트 절연물질(212') 상에는 비정질 실리콘층이 증착되고, 전술한 비정질 실리콘의 결정화 방법에 의해 결정화된 다결정 실리콘층(240')이 형성된다. 다결정 실리콘층(240')은 후술할 도 13에 도시된 바와 같이 반도체층(240)으로 패터닝된다. 도 3에 도시된 바와 같이, 반도체층(240)은 게이트 전극(220)의 위치에 대응하여 전자들의 통로가 되는 채널영역(242)과, 채널영역(242)의 외곽에 배치되고 후술할 오믹콘



택층(250)과 접속하여 제1, 2 전극(261, 262)에 연결되는 제1영역(241) 및 제2영역(243)으로 구성된다.

- <73> 도 12를 참조하면, 다결정 실리콘층(240') 상에, CVD 등의 방법을 사용하여 N+ 또는 P+로 도핑된 실리콘을 포함하는 오믹콘택물질(250')이 증착된다. 오믹콘택물질(250')이 증착된 후, 게이트 전극(220) 상에 순차로 형성된 게이트 절연물질(212'), 다결정 실리콘층(240') 및 오믹콘택물질(250')은 마스크(M2')를 이용하여 동일한 패턴으로 패터닝된다. 상기 게이트 전극(220) 영역의 패터닝은 화소 전극(230) 영역의 패터닝과 분리되어 별도로 패터닝된다.
- <74> 전술한 실시예의 경우 화소 전극의 금속층 및 금속산화물층 가운데, 금속층은 제거되고 금속산화물층(121)만 남게 된다. 그러나, 본 실시예의 경우에는 화소전극(230)의 금속층(222) 및 금속산화물층(221)은 그대로 남고, 금속층(222) 및 금속산화물층(221) 상에 적층되어 있던 게이트 절연물질(212'), 다결정 실리콘층(240') 및 오믹콘택물질(250')만 제거된다. 따라서, 전술한 실시예의 경우 광투과부 및 광차단부 뿐만 아니라 반투과부를 구비한 하프톤(half-tone) 마스크(M2)가 사용되었으나, 본 실시예의 경우에는 하프톤 마스크를 사용할 필요가 없다. 즉, 광투과부 및 광차단부를 구비한 마스크(M2')를 이용한 노광, 현상 및 에칭에 의해, 화소전극(230)의 금속산화물층(221)이 노출된다.
- <75> 본 실시예에 의한 화소 전극(230)의 경우 기판(210) 상면에 금속층(222)이 먼저 증착되고 금속층(222) 상에 ITO 등과 같은 금속산화물질로 구성된 금속산화물층(221)이 배치되기 때문에 기판(210)의 반대방향으로 화상이 구현되는 전면 발광형 유기발광 표시장치로 사용될 수 있다.
- <76> 도 13을 참조하면, 기판(210), 오믹콘택층(250) 및 화소 전극(230) 상에 소스/드레인 전극으로 형성될 도전물질이 증착되고, 마스크(M3')에 의하여 소스/드레인 전극에 해당하는 제1전극(261) 및 제2전극(262)으로 패터닝된다.
- <77> 제1전극(261)은 오믹콘택층(250)을 사이에 두고 반도체층(240)의 제1영역(241)과 접속된다. 제2전극(262)은 오믹콘택층(250)을 사이에 두고 반도체층(240)의 제2영역(243) 및 화소 전극(230)과 접속된다. 그리고, 도면에는 도시되어 있지 않으나 제1,2전극(261, 262)은 데이터 신호를 인가하는 데이터라인(미도시)에 접속되어 있다.
- <78> 도 14를 참조하면, 제1, 2 전극(261, 262)이 형성된 후, 제1, 2 전극(261, 262) 사이에 노출되어 있는 오믹콘택층(250)은 에칭되어 제거된다. 건식 에칭을 적용할 경우에는 플라즈마 식각, 반응 이온 식각(Reactive Ion Etching: RIE), 반응 스퍼터 식각(Reactive Sputter Etching), 반응이온빔 밀링 등의 방법이 적용될 수 있다.
- <79> 도 15를 참조하면, 전술한 도 14에 의한 구조물 상에 화소 정의막(PDL: pixel defining layer, 270)을 구성하는 물질이 증착된다.
- <80> 화소 정의막(270)이 마스크(M4')로 패터닝 된 후, 그 구조물 상에 유기 발광층(280)이 형성된다. 유기 발광층(280)의 재료 및 형성방법은 전술한 실시예와 동일하므로 상세한 설명은 생략한다.
- <81> 유기 발광층(280) 상에는 공통전극으로 대향 전극(290)이 형성된다. 본 실시예에 따른 유기발광 표시장치의 경우, 화소 전극(230)은 유기발광소자의 애노드 전극으로 사용되고, 대향 전극(290)은 캐소드 전극으로 사용된다. 물론 전극의 극성이 반대로 적용될 수도 있다.
- <82> 기판(210)의 반대 방향으로 화상이 구현되는 전면 발광형(top emission type)의 경우, 화소 전극(230)은 반사 전극이 되고 대향 전극(290)은 투명 전극이 된다. 이때, 화소 전극(230)이 되는 반사 전극은 전술한 바와 같이 Mo, Cr, Ti, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Li, Ca 또는 이들의 화합물로 이루어진 금속층(222)으로 반사막을 형성한 후, 그 위에 일함수가 높은 ITO, IZO, ZnO, 또는 In2O3 등으로 이루어진 금속산화물층(221)을 형성하여 이루어질 수 있다. 그리고, 대향 전극(290)이 되는 투명 전극은, 일함수가 작은 금속 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 또는 이들의 화합물을 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In2O3 등의 투명 도전물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다.
- <83> 대향 전극(290) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층(280)을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.
- <84> 상술한 본 실시예에 의한 유기발광 표시장치에 의하면, 금속층(222) 및 금속산화물층(221)을 순차로 증착하여 게이트 전극(220)과 화소 전극(230)을 동시에 패터닝하고, 반도체층(240)의 패터닝과 동시에 화소 전극(230)의 금속산화물층(221)을 노출시킴으로써 마스크 공정의 회수를 상당히 줄일 수 있다.

## 발명의 효과

- <85> 상술한 바와 같이 이루어진 본 발명은 다음과 같은 하나 또는 그 이상의 효과를 얻을 수 있다.
- <86> 첫째, 게이트 전극과 화소 전극을 동시에 패터닝함으로써 마스크 공정의 횟수를 줄일 수 있다.
- <87> 둘째, 배면 발광형의 경우 공통전극인 캐소드의 IR drop에 의한 흑점 발생으로 인한 표시품질저하의 영향을 피할 수 있다.
- <88> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

## 도면의 간단한 설명

- <1> 도 1은 종래의 탑게이트 타입의 박막 트랜지스터를 구비한 유기발광 표시장치를 개략적으로 도시한 단면도이다.

<2> 도 2는 본 발명의 일 실시예에 관한 유기발광 표시장치를 개략적으로 도시한 단면도이다.

<3> 도 3 내지 도 8은 도 2의 유기발광 표시장치에 관한 제조방법을 개략적으로 도시한 단면도이다.

<4> 도 9는 본 발명의 다른 실시예에 관한 유기 발광 표시장치를 개략적으로 도시한 단면도이다.

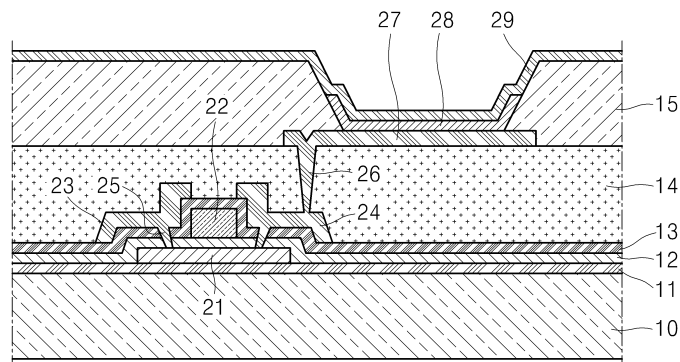
<5> 도 10 내지 도 15는 도 9의 유기발광 표시장치에 관한 제조방법을 개략적으로 도시한 단면도이다.

<6> < 도면의 주요부분에 대한 간략한 설명 >

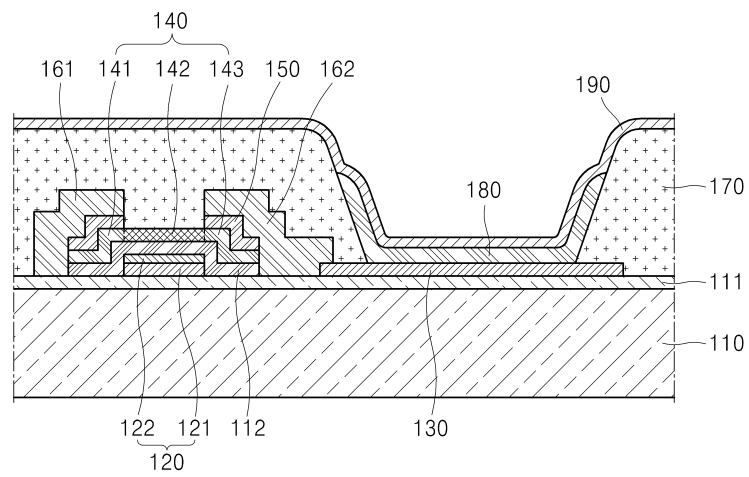
<7> 110, 210: 기판	111, 211: 버퍼층
<8> 112, 212: 게이트 절연막	120, 220: 게이트 전극
<9> 121, 221: 금속산화물층	122, 222: 금속층
<10> 130, 230: 화소 전극	140, 240: 반도체층
<11> 141, 241: 제1영역	142, 242: 채널영역
<12> 143, 243: 제2영역	150, 250: 오믹콘택층
<13> 161, 261: 제1전극	162, 262: 제2전극
<14> 170, 270: 화소정의막	180, 280: 유기발광층
<15> 190, 290: 대향 전극	

도면

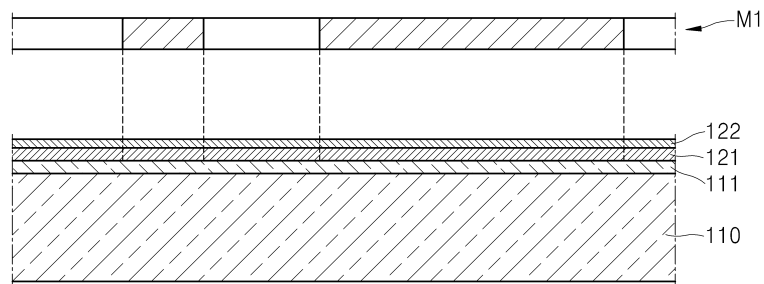
도면1



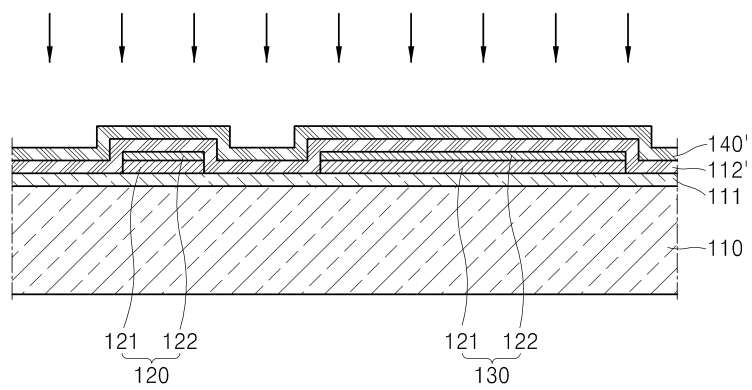
도면2



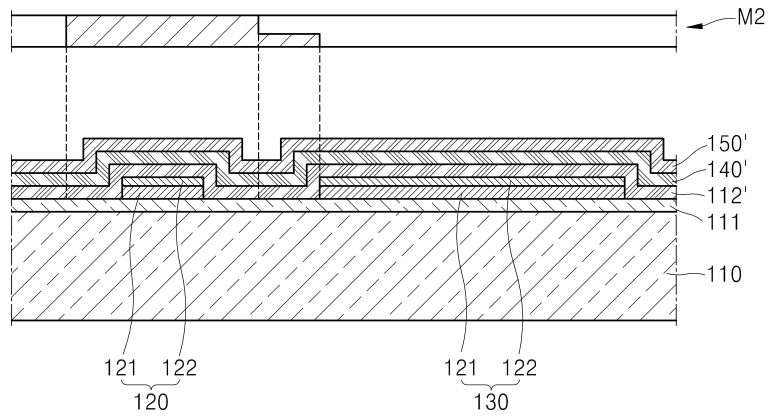
도면3



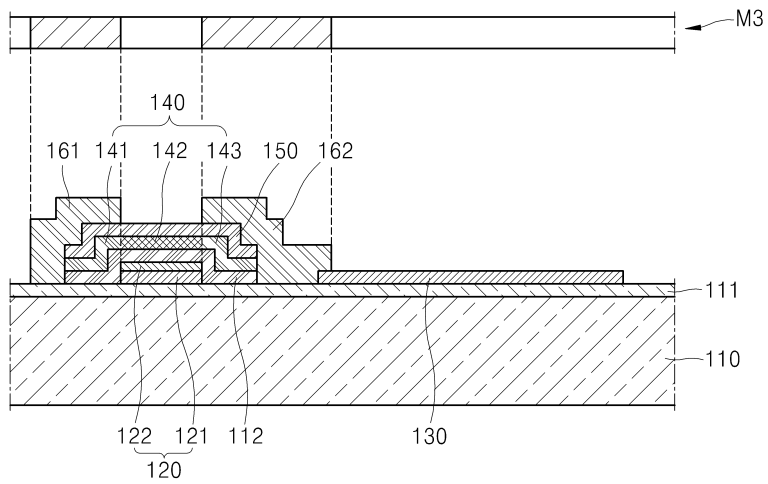
도면4



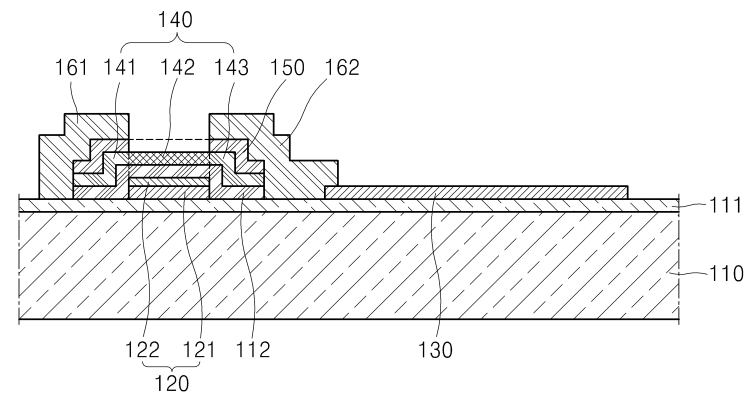
도면5



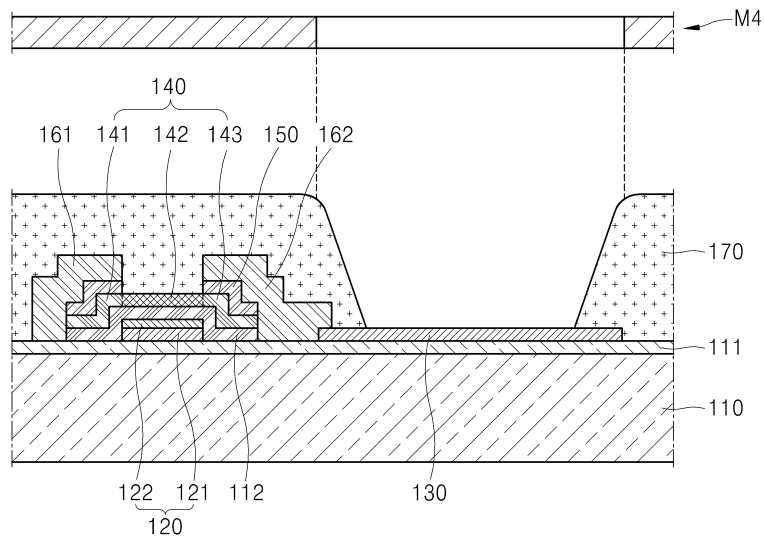
도면6



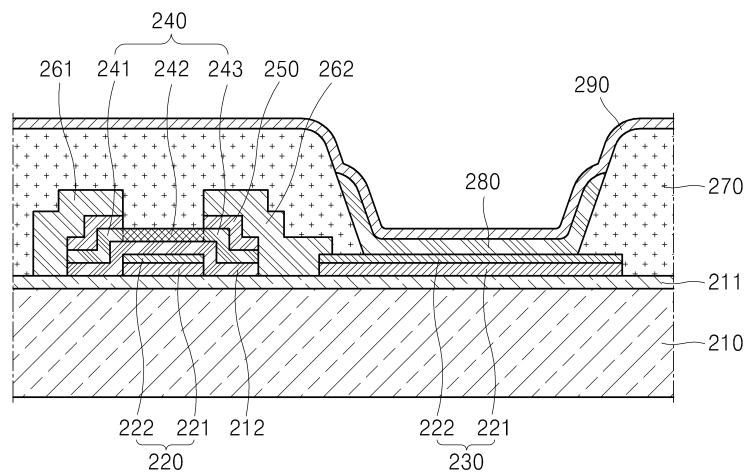
도면7



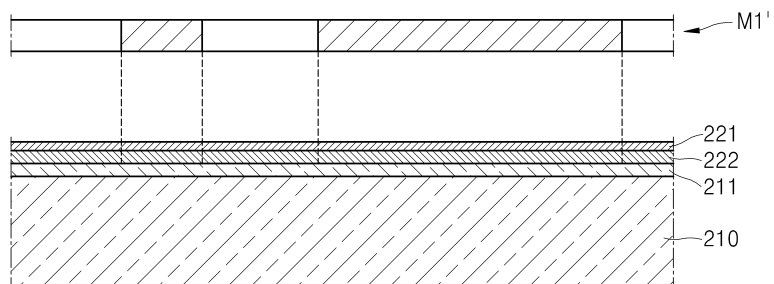
도면8



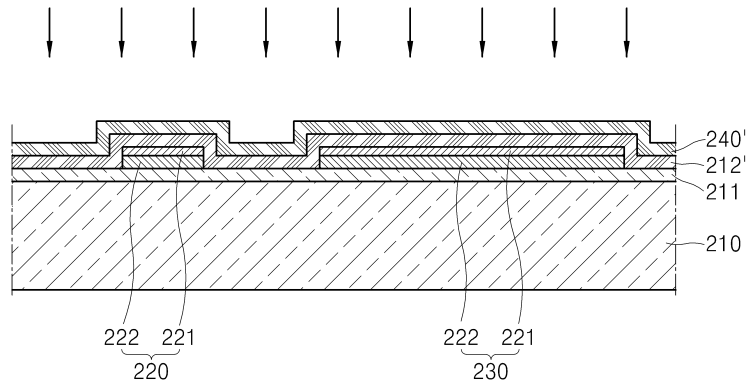
도면9



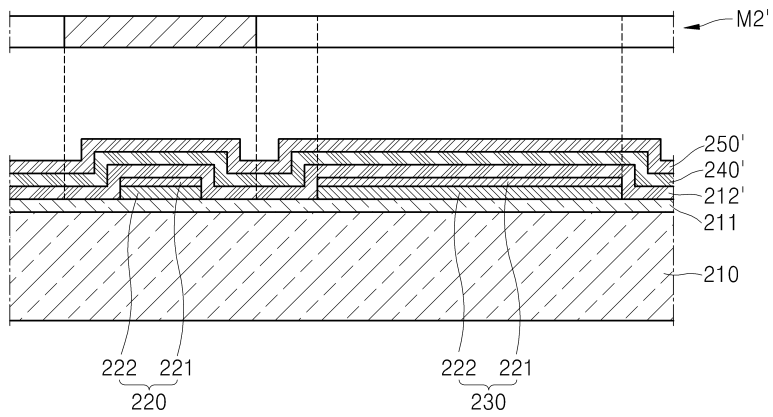
도면10



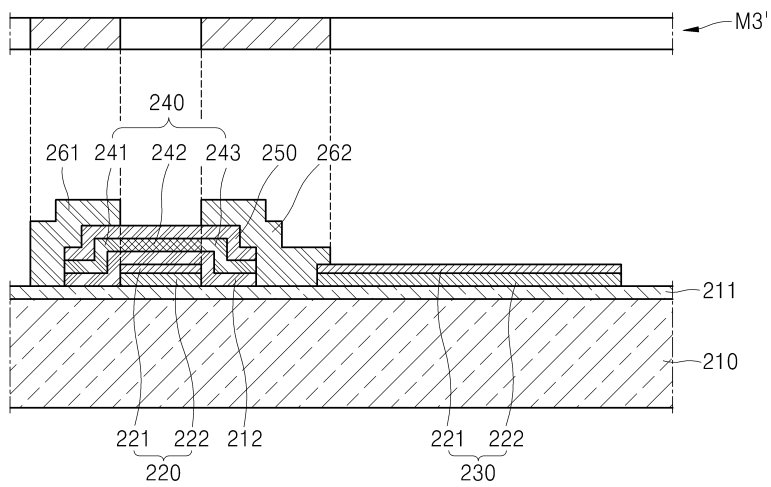
도면11



도면12

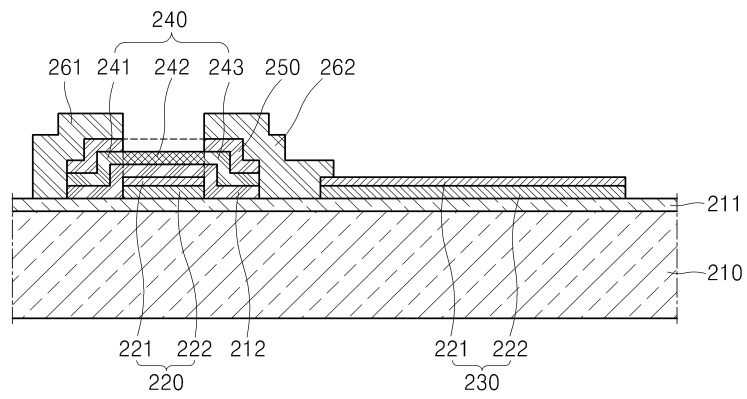


도면13

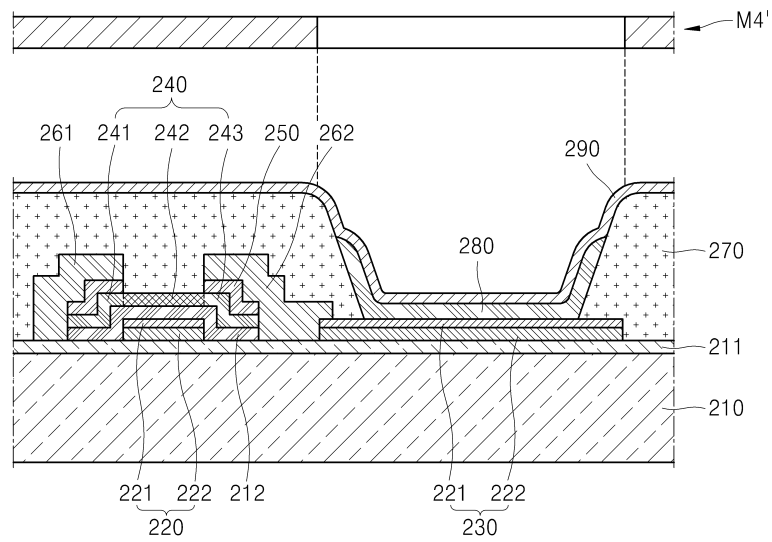




도면14



도면15



专利名称(译)	有机发光显示器和制造有机发光显示器的方法		
公开(公告)号	<a href="#">KR100875101B1</a>	公开(公告)日	2008-12-19
申请号	KR1020070079707	申请日	2007-08-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	JUN WOO SIK 전우식 JEON HEE CHUL 전희철		
发明人	전우식 전희철		
IPC分类号	H05B33/02 H05B33/26		
CPC分类号	H01L2227/323 H01L27/1214 H01L27/3246 H01L27/1288 H01L29/4908 H01L27/3248 H01L27/124		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

提供有机发光显示器及其制造方法，以通过同时图案化栅电极和像素电极来减少掩模工艺的数量。栅电极（120）布置在基板上，并包括金属氧化物层和金属层。像素电极（130）布置在基板上以与栅电极绝缘并包括金属氧化物层。栅极绝缘层（112）布置在基板上以覆盖栅电极。半导体层（140）包括布置在与栅电极对应的位置的沟道区，以及布置在沟道区外部的第一区和第二区，并且布置在栅极绝缘层上。第一个电极（161）连接到半导体层的第一区域。第二电极（162）连接到第二区域和半导体层的像素电极。欧姆接触层（150）布置在半导体的第一区域和第一电极之间以及半导体的第二区域和第二电极之间。像素限定层（170）包括用于暴露像素电极的一部分的开口，并且布置在基板上以覆盖第一电极，第二电极，半导体层和像素电极。有机发光层（180）布置在开口的像素电极上。相对电极（190）覆盖有机发光层。

