



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G09G 3/30 (2006.01)*G09G 3/20* (2006.01)

(45) 공고일자

2007년06월14일

(11) 등록번호

10-0729099

(24) 등록일자

2007년06월08일

(21) 출원번호 10-2005-0087425

(65) 공개번호 10-2007-0032870

(22) 출원일자 2005년09월20일

(43) 공개일자 2007년03월23일

심사청구일자 2005년09월20일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 신동용
서울특별시 관악구 봉천1동 969-37

(74) 대리인 신영무

(56) 선행기술조사문현
kr 1020030095272 A kr 1020030025542 A

심사관 : 최정윤

전체 청구항 수 : 총 28 항

(54) 주사 구동회로와 이를 이용한 유기 전계발광 장치**(57) 요약**

본 발명의 실시예에 의한 주사 구동회로는, 선택 신호를 출력하는 제 1주사 구동부와, 발광 신호를 출력하는 제 2주사 구동부를 포함하는 주사 구동회로에 있어서, 상기 제 1주사 구동부 및 제 2주사 구동부는 각각 입력 신호(IN1, IN2) 또는 이전 단 출력전압 라인에 종속 접속되고, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하며,

상기 각 스테이지는 상기 입력되는 제 1클럭신호 및 제 2클럭신호의 한 주기를 둘로 나누어 제 1기간에는 하이 레벨을 출력하는 프리차지를 수행하고, 제 2기간에는 상기 제 1기간에 받은 입력에 해당하는 레벨의 신호를 출력하여 로우 레벨의 펄스를 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트 하여 출력함을 특징으로 한다.

대표도

도 8

특허청구의 범위

청구항 1.

다단의 스테이지를 구비하며 각 스테이지를 통해 순차적으로 선택 신호를 출력하는 제 1주사 구동부 및 상기 다단의 스테이지를 통해 순차적으로 발광 신호를 출력하는 제 2주사 구동부를 포함하는 주사 구동회로에 있어서,

상기 각 스테이지는, 이전단 출력전압(gi) 또는 최초 입력 신호(IN1 or IN2)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와;

상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와;

상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와;

상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드 사이(N1)에 접속된 제 4트랜지스터(M4)와;

상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)가 포함되어 구성됨을 특징으로 하는 주사 구동회로.

청구항 2.

제 1항에 있어서,

상기 제 1트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함되어 구성됨을 특징으로 하는 주사 구동회로.

청구항 3.

제 1항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 서로 상반된 위상을 가지는 것을 특징으로 하는 주사 구동회로.

청구항 4.

제 1항에 있어서,

상기 스테이지가 제 1주사 구동부의 기수번째인 경우에는 상기 제 1 클럭단자에 제 1클럭신호(CLK1)가 공급되고, 제 2클럭단자에 제 2클럭신호(CLK2)가 공급됨을 특징으로 하는 주사 구동회로.

청구항 5.

제 4항에 있어서,

상기 제 1클럭신호(CLK1)가 로우 레벨로 입력되는 기간에 프리차지(Precharge)가 수행되고, 상기 제 1클럭신호(CLK1)가 하이 레벨로 입력되는 기간에 평가(Evaluation) 수행됨을 특징으로 하는 주사 구동회로.

청구항 6.

제 1항에 있어서,

상기 스테이지가 제 2주사 구동부의 기수번째인 경우에는 상기 제 1 클럭단자에 제 2클럭신호(CLK2)가 공급되고, 제 2클럭단자에 제 1클럭신호(CLK1)가 공급됨을 특징으로 하는 주사 구동회로.

청구항 7.

제 6항에 있어서,

상기 제 1클럭신호(CLK1)가 하이 레벨로 입력되는 기간에 프리차지(Precharge)가 수행되고, 상기 제 1클럭신호(CLK1)가 로우 레벨로 입력되는 기간에 평가(Evaluation) 수행됨을 특징으로 하는 주사 구동회로.

청구항 8.

제 5항 또는 제 7항에 있어서,

상기 프리차지 기간에는 하이 레벨이 출력되고, 상기 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 레벨의 신호가 출력되어 로우 레벨의 펄스가 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트되어 출력됨을 특징으로 하는 주사 구동회로.

청구항 9.

제 1항에 있어서,

상기 제 1주사 구동부의 우수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호는 제 2주사 구동부의 기수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호와 동일함을 특징으로 하는 주사 구동회로.

청구항 10.

제 1항에 있어서,

상기 제 1주사 구동부의 기수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호는 제 2주사 구동부의 우수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호와 동일함을 특징으로 하는 주사 구동회로.

청구항 11.

제 1항에 있어서,

상기 제 2주사 구동부에 입력되는 최초 입력신호(IN2)는 상기 제 1 또는 제 2 클럭신호의 복수의 주기에 해당하는 만큼의 소정 기간 동안 로우 레벨로 제공됨을 특징으로 하는 주사 구동회로.

청구항 12.

제 11항에 있어서,

상기 소정 기간은 1 데이터 프레임 내의 일정 기간임을 특징으로 하는 주사 구동회로.

청구항 13.

제 11항에 있어서,

상기 제 2주사 구동부에 입력되는 최초 입력신호(IN2)에 의해 제 2주사 구동부의 각 스테이지는 상기 소정의 구간에 대응하여 적어도 한번 이상 순차적으로 로우 레벨 및 하이 레벨 신호로 변환된 신호를 출력함을 특징으로 하는 주사 구동회로.

청구항 14.

선택 신호를 출력하는 제 1주사 구동부와, 발광 신호를 출력하는 제 2주사 구동부를 포함하는 주사 구동회로에 있어서,

상기 제 1주사 구동부 및 제 2주사 구동부는 각각 입력 신호(IN1, IN2) 또는 이전단 출력전압 라인에 종속 접속되고, 제 1 클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하며,

상기 각 스테이지는 상기 입력되는 제 1클럭신호 및 제 2클럭신호의 한 주기를 둘로 나누어 제 1기간에는 하이 레벨을 출력하는 프리차지를 수행하고, 제 2 기간에는 상기 제 1 기간에 받은 입력에 해당하는 레벨의 신호를 출력하여 로우 레벨의 펄스를 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트 하여 출력함을 특징으로 하는 주사 구동회로.

청구항 15.

제 14항에 있어서,

상기 각 스테이지는, 이전단 출력전압(gi) 또는 최초 입력 신호(IN1 or IN2)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드 사이(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)가 포함되어 구성됨을 특징으로 하는 주사 구동회로.

청구항 16.

제 15항에 있어서,

상기 제 1트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함됨을 특징으로 하는 주사 구동회로.

청구항 17.

제 14항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 서로 상반된 위상을 가지는 것을 특징으로 하는 주사 구동회로.

청구항 18.

제 14항에 있어서,

상기 스테이지가 제 1주사 구동부의 기수번째인 경우에는 상기 제 1 클럭단자에 제 1클럭신호(CLK1)가 공급되고, 제 2클럭단자에 제 2클럭신호(CLK2)가 공급됨을 특징으로 하는 주사 구동회로.

청구항 19.

제 18항에 있어서,

상기 제 1클럭신호(CLK1)가 로우 레벨로 입력되는 기간에 프리차지(Precharge)가 수행되고, 상기 제 1클럭신호(CLK1)가 하이 레벨로 입력되는 기간에 평가(Evaluation) 수행됨을 특징으로 하는 주사 구동회로.

청구항 20.

제 14항에 있어서,

상기 스테이지가 제 2주사 구동부의 기수번째인 경우에는 상기 제 1 클럭단자에 제 2클럭신호(CLK2)가 공급되고, 제 2클럭단자에 제 1클럭신호(CLK1)가 공급됨을 특징으로 하는 주사 구동회로.

청구항 21.

제 20항에 있어서,

상기 제 1클럭신호(CLK1)가 하이 레벨로 입력되는 기간에 프리차지(Precharge)가 수행되고, 상기 제 1클럭신호(CLK1)가 로우 레벨로 입력되는 기간에 평가(Evaluation) 수행됨을 특징으로 하는 주사 구동회로.

청구항 22.

제 19항 또는 제 21항에 있어서,

상기 프리차지 기간에는 하이 레벨이 출력되고, 상기 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 레벨의 신호가 출력되어 로우 레벨의 펄스가 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트되어 출력됨을 특징으로 하는 주사 구동회로.

청구항 23.

제 14항에 있어서,

상기 제 1주사 구동부의 우수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호는 제 2주사 구동부의 기수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호와 동일함을 특징으로 하는 주사 구동회로.

청구항 24.

제 14항에 있어서,

상기 제 1주사 구동부의 기수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호는 제 2주사 구동부의 우수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호와 동일함을 특징으로 하는 주사 구동회로.

청구항 25.

제 14항에 있어서,

상기 제 2주사 구동부에 입력되는 최초 입력신호(IN2)는 상기 제 1 또는 제 2 클럭신호의 복수의 주기에 해당하는 만큼의 소정 기간 동안 로우 레벨로 제공됨을 특징으로 하는 주사 구동회로.

청구항 26.

제 25항에 있어서,

상기 소정 기간은 1 데이터 프레임 내의 일정 기간임을 특징으로 하는 주사 구동회로.

청구항 27.

제 25항에 있어서,

상기 제 2주사 구동부에 입력되는 최초 입력신호(IN2)에 의해 제 2주사 구동부의 각 스테이지는 상기 소정의 구간에 대응하여 적어도 한번 이상 순차적으로 로우 레벨 및 하이 레벨 신호로 변환된 신호를 출력함을 특징으로 하는 주사 구동회로.

청구항 28.

선택 신호선들, 데이터선들 및 발광 신호선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와;

상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와;

입력 신호(IN1, IN2) 또는 이전단 출력전압 라인에 종속 접속되고, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 다단의 스테이지들을 구비하여 순차적으로 선택 신호를 출력하는 제 1주사 구동부 및 상기 다단의 스테이지를 통해 순차적으로 발광 신호를 출력하는 제 2주사 구동부로 구성되는 주사 구동회로가 포함되며,

상기 각 스테이지는, 상기 입력되는 제 1클럭신호 및 제 2클럭신호의 한 주기를 둘로 나누어 제 1기간에는 하이 레벨을 출력하는 프리차지를 수행하고, 제 2 기간에는 상기 제 1 기간에 받은 입력에 해당하는 레벨의 신호를 출력하여 로우 레벨의 펄스를 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트 하여 출력함을 특징으로 하는 유기 전계발광 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 장치에 관한 것으로, 특히 전류 기입형 유기전계발광 장치에 이용되는 주사 구동회로에 관한 것이다.

일반적으로 유기 전계발광 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, M*N 개의 유기 벨光彩들을 전압 기입 혹은 전류 기입하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 애노드(ITO), 유기 박막, 캐소드 레이어(metal)의 구조를 가지고 있다.

상기 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emission layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injection layer, EIL)과 정공 주입층(hole injection layer, HIL)을 포함하고 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 접속하고 박막 트랜지스터의 게이트에 접속된 캐패시터의 용량에 의해 유지된 전압에 따라 구동하는 방식이다.

이 때, 캐패시터에 전압을 설정하기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

이와 같은 능동 구동 방식의 유기 전계발광 장치는 크게 표시 패널, 데이터 구동회로, 주사 구동회로, 타이밍 제어부가 포함되어 구성되며, 상기 주사 구동회로는 상기 타이밍 제어부로부터 주사 구동제어신호를 공급 받고, 이에 주사 구동회로는 주사신호를 생성하며, 상기 생성된 주사신호를 표시 패널의 주사선들로 순차적으로 공급한다.

즉, 상기 주사 구동회로는 상기 패널 내에 구비된 복수의 화소들을 구동하기 위해 순차적으로 상기 주사신호를 생성하여 이를 패널에 제공하는 역할을 수행한다.

도 1은 종래의 일반적인 주사 구동회로의構성을 나타내는 블록도이다.

도 1을 참조하면, 종래의 일반적인 주사 구동회로는 스타트 펄스(SP) 입력 라인에 종속적으로 접속된 다수의 스테이지(ST1 내지 STn)으로 구성되며, 상기 다수의 스테이지들(ST1 내지 STn)은 스타트 펄스(SP)를 클럭 신호(C)에 따라 순차적으로 쉬프트시켜 출력신호(SO1 내지 SOn)를 발생한다. 이 경우 제 2 내지 제 n 스테이지(ST2 내지 STn) 각각은 전단 출력 신호를 스타트 펄스로 입력 받아 이를 쉬프트시키게 된다.

이에 따라 상기 스테이지들은 상기 스타트 펄스가 순차적으로 쉬프트되는 형태의 출력신호(SO1 내지 SOn)를 발생하여 이를 상기 매트릭스 화소 어레이에 제공하게 되는 것이다.

도 2는 도 1에 도시된 주사 구동회로에서 임의 스테이지의 회로도이고, 도 3은 도 2에 도시된 스테이지의 입/출력 신호 파형도이다.

도 2 및 도 3을 참조하면, 종래의 경우 주사 구동회로를 구성하는 각 스테이지는 마스터-슬레이브(Master-Slave) 형태의 플립플롭(flip/flop)을 사용한다. 이러한 플립플롭은 클럭(clk)이 로우 레벨일 때 입력을 계속 받으며, 출력은 이전의 출력을 유지한다.

반면에 상기 클럭(clk)이 하이 레벨인 경우에는 상기 클럭(clk)이 로우 레벨일 때 받은 입력(IN)을 유지하며 이를 출력으로 내보내고 더 이상의 입력을 받지 않는다.

이와 같은 회로에 있어서, 상기 플립플롭 내부에 구비되는 인버터(inverter)의 경우 그 입력(in)이 로우 레벨일 때 스태틱 전류(static current)가 흐르는 문제가 있다. 또한, 상기 플립플롭 내부에서 하이 레벨 입력(in)을 받은 인버터와 로우 레벨 입력(in)을 받는 인버터의 수가 같으므로 상기 플립플롭 내부의 인버터 중 절반에서는 상기 스태틱 전류가 발생되어 소비 전력이 크게 되는 단점이 있다.

그리고, 도 3의 회로에서 출력 전압(OUT)의 하이 레벨은 공급전압(VDD)과 접지(GND) 사이를 연결하는 저항의 비에 의한 전압값으로 결정되며(ratioed logic), 출력 전압(OUT)의 로우 레벨은 접지(GND)보다 트랜지스터의 문턱전압 만큼 높게 된다.

즉, 트랜지스터의 특성 편차에 따라 각 스테이지마다 하이 레벨로 받아들이는 입력전압 레벨이 다르게 되기 때문에 이와 같은 회로를 채용할 경우 출력 전압의 하이 레벨에도 편차가 생겨 회로가 오동작할 수 있게 되는 단점이 있다.

또한, 상기 출력 전압의 로우 레벨 편차는 도 2의 회로에 구비된 인버터의 입력 트랜지스터(T1)의 온(on) 저항의 편차로 반영되어 출력 전압의 하이 레벨 편차를 가중시킬 수 있다. 특히 유기 전계발광 장치 패널에서는 특성 편차가 큰 트랜지스터를 사용하므로 이러한 문제가 더욱 심각해 진다.

또한, 상기 인버터는 입력 트랜지스터(T1)를 통해서 전류가 흘러 출력단(out)을 충전하며, 로드 트랜지스터(T2)를 통해서 전류가 흘러 출력단(out)을 방전하는데, 상기 출력단을 충전할 경우 상기 로드 트랜지스터(T2)의 소스-게이트 전압이 점점 줄어 방전 전류가 급격히 감소해 방전 효율이 떨어지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 능동 구동 방식의 전류 기입형 유기 전계발광 장치에서 선택 신호를 제공하는 제 1주사구동부와, 발광 신호를 제공하는 제 2주사구동부로 구성된 주사 구동회로에 있어서, 스탠티 전류(static current)가 흐를 수 있는 경로를 없앰으로써 소비전력을 저감케 하는 주사 구동회로 및 이를 이용한 유기 전계발광 장치를 제공함에 그 목적이 있다.

또한, 상기 발광 신호를 데이터 프레임 주기 중 소정 기간 동안 적어도 한번 이상 인가하도록 하여 각 화소의 열화를 방지하는 주사 구동회로 및 이를 이용한 유기 전계발광 장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 의한 주사 구동회로는, 다단의 스테이지를 구비하여 각 스테이지를 통해 순차적으로 선택 신호를 출력하는 제 1주사 구동부 및 상기 다단의 스테이지를 통해 순차적으로 발광 신호를 출력하는 제 2주사 구동부를 포함하는 주사 구동회로에 있어서,

상기 각 스테이지는, 이전단 출력전압(gi) 또는 최초 입력 신호(IN1 or IN2)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 제 1트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드 사이(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)가 포함되어 구성됨을 특징으로 한다.

또한, 본 발명의 다른 실시예에 의한 주사 구동회로는, 선택 신호를 출력하는 제 1주사 구동부와, 발광 신호를 출력하는 제 2주사 구동부를 포함하는 주사 구동회로에 있어서, 상기 제 1주사 구동부 및 제 2주사 구동부는 각각 입력 신호(IN1, IN2) 또는 이전단 출력전압 라인에 종속 접속되고, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 n개의 스테이지들(Stage1 내지 Stage n)을 구비하며,

상기 각 스테이지는 상기 입력되는 제 1클럭신호 및 제 2클럭신호의 한 주기를 둘로 나누어 제 1기간에는 하이 레벨을 출력하는 프리차지를 수행하고, 제 2기간에는 상기 제 1기간에 받은 입력에 해당하는 레벨의 신호를 출력하여 로우 레벨의 펄스를 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트 하여 출력함을 특징으로 한다.

또한, 본 발명의 실시예에 의한 유기 전계발광 장치는, 선택 신호선들, 데이터선들 및 발광 신호선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와; 상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와; 입력 신호(IN1, IN2) 또는 이전단 출력전압 라인에 종속 접속되고, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 입력라인에 각각 접속된 다단의 스테이지들을 구비하여 순차적으로 선택 신호를 출력하는 제 1주사 구동부 및 상기 다단의 스테이지를 통해 순차적으로 발광 신호를 출력하는 제 2주사 구동부로 구성되는 주사 구동회로가 포함되며,

상기 각 스테이지는, 상기 입력되는 제 1클럭신호 및 제 2클럭신호의 한 주기를 둘로 나누어 제 1기간에는 하이 레벨을 출력하는 프리차지를 수행하고, 제 2기간에는 상기 제 1기간에 받은 입력에 해당하는 레벨의 신호를 출력하여 로우 레벨의 펄스를 상기 제 1 또는 제 2 클럭신호의 반 주기 만큼 순차적으로 쉬프트 하여 출력함을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

도 4는 본 발명의 실시예에 의한 유기 전계발광 장치를 개략적으로 도시한 블록도이다.

도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 전계발광 장치는 유기 EL 표시 패널(이하, 표시 패널)(100), 데이터 구동회로(200), 주사 구동회로를 포함하여 구성되며, 상기 주사 구동회로(300)는 선택 신호를 제공하는 제 1주사 구동부(310)와, 발광 신호를 제공하는 제 2주사 구동부(320)로 이루어진다.

상기 표시 패널(100)은 열 방향으로 뻗어 있는 복수의 데이터선(D_1-D_n), 행 방향으로 뻗어 있는 복수의 신호선(S_1-S_m , E_1-E_m), 및 매트릭스 모양으로 형성된 복수의 화소 회로(110)를 포함한다.

여기서, 상기 신호선은 화소를 선택하기 위한 선택 신호를 전달하는 복수의 선택 신호선(S_1-S_m) 및 유기 EL 소자의 발광 기간을 제어하기 위한 발광 신호를 전달하는 복수의 발광 신호선(E_1-E_m)을 포함한다.

그리고, 데이터선(D_1-D_n)과 선택 및 발광 신호선(S_1-S_m , E_1-E_m)에 의해 정의되는 화소 영역에 각각 화소 회로(110)가 형성되어 있다.

데이터 구동회로(200)는 데이터선(D_1-D_n)에 데이터 전류(I_{DATA})를 인가하며, 주사 구동회로(300)의 제 1주사 구동부(310)는 선택 신호선(S_1-S_m)에 화소 회로를 선택하기 위한 선택 신호를 순차적으로 인가한다. 또한, 제 2주사 구동부(320)는 화소 회로(110)의 휘도를 제어하기 위한 발광 신호를 발광 신호선(E_1-E_m)에 순차적으로 인가한다.

도 5는 도 4에 도시된 유기 전계발광 장치의 각 화소영역에 구비되는 화소 회로의 일 실시예를 나타내는 회로도이다.

단, 도 5에서는 설명의 편의상 j번째 데이터선(D_j)과 i번째 신호선(S_i , E_i)에 연결된 화소 회로만을 도시하였다.

도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 화소 회로(110)는 유기 EL 소자(OLED), 트랜지스터(m1-m4), 및 캐패시터(Cst)를 포함한다. 여기서, 트랜지스터(m1-m4)로는 PMOS 트랜지스터가 사용되었지만, 이에 한정되지는 않는다.

제 1트랜지스터(m1)는 전원(VDD)과 유기 EL 소자(OLED) 간에 접속되어, 유기 EL 소자에 흐르는 전류를 제어한다. 구체적으로는, 트랜지스터(m1)의 소스는 전원(VDD)에 접속되고, 드레인은 트랜지스터(m3)를 통하여 유기 EL 소자(OLED)의 캐소드에 접속된다.

또한, 제 2트랜지스터(m2)는 선택 신호선(S_j)으로부터의 선택 신호에 응답하여 데이터선(D_j)으로부터의 데이터 신호를 제 1트랜지스터(m1)의 게이트로 전달하고, 제 4트랜지스터(m4)는 선택 신호에 응답하여 제 1트랜지스터(m1)을 다이오드 연결시킨다.

또한, 캐패시터(Cst)는 제 1트랜지스터(m1)의 게이트 및 소스 간에 접속되어, 데이터선(D_j)으로부터의 데이터 전류(I_{DATA})에 해당하는 전압을 충전하며, 제 3트랜지스터(m3)는 발광 신호선(E_i)으로부터의 발광 신호에 응답하여 제 1트랜지스터(m1)에 흐르는 전류를 유기 EL 소자(OLED)로 전달한다.

도 6은 도 5의 화소 회로에 입력되는 선택 신호 및 발광 신호에 대한 타이밍도이다.

도 6에 도시된 바와 같이, 선택 신호선(S_i , S_{i+1} , S_{i+2})에는 제 2트랜지스터(m2)를 턴온하기 위한 선택 신호가 차례로 인가된다. 이와 같이, 상기 선택 신호에 의하여 제 2트랜지스터(m2)가 턴온되면, 데이터선(D_1-D_n)으로부터의 데이터 전류(I_{DATA})에 대응되는 전압이 캐패시터(Cst)에 충전된다. 이 때, 선택 신호에 의해 제 4트랜지스터(m4)가 턴온되어, 제 1트랜지스터(m1)가 다이오드 연결이 된다. 따라서, 캐패시터(Cst)에 제 1트랜지스터(m1)를 통하여 흐르는 데이터 전류(I_{DATA})에 해당하는 전압이 충전된다. 따라서, 캐패시터(Cst)에 데이터 전류(I_{DATA})에 대응하는 전압이 저장되어 유지되고, 이 전압에 대응되는 전류에 의하여 유기 EL 소자가 반복적으로 발광할 수 있다.

이후 충전이 완료되면, 제 2 및 제 4트랜지스터(m2, m4)가 턴오프되고, 발광 신호선(E_i , E_{i+1} , E_{i+2})으로부터 인가되는 발광 신호에 따라 제 3트랜지스터(m3)가 턴온되어 제 3트랜지스터(m3)를 통하여 데이터 전류(I_{DATA})가 흐르게 된다.

단, 본 발명의 경우 이러한 발광 표시 장치 동작 시에, 도 6에 나타낸 것처럼 발광 신호선(E_i, E_{i+1}, E_{i+2})에 인가되는 발광 신호의 레벨이 데이터 프레임 주기 중 소정 기간 동안 적어도 한번 이상 순차적으로 바뀌어 제공됨을 특징으로 한다.

즉, 발광 신호선(E_i, E_{i+1}, E_{i+2})에 인가되는 발광 신호는 데이터 프레임 주기 중 소정 기간 동안 순차적으로 로우 레벨 및 하이 레벨로 바뀌어 제공된다.

여기서, 상기 발광 신호선(E_i, E_{i+1}, E_{i+2})에 인가되는 발광 신호가 로우 레벨인 경우에는, 제 3트랜지스터(m3)가 턴온되어 제 1트랜지스터(m1)로부터 인가되는 전류가 유기 EL 소자(OLED)에 공급되고, 이 전류에 대응하여 유기 EL 소자(OLED)는 발광하게 되며, 상기 발광 신호가 하이 레벨인 경우에는 제 3트랜지스터(m3)가 턴오프되어 제 1트랜지스터(m1)로부터 인가되는 전류가 유기 EL 소자(OLED)에 공급되지 않아 유기 EL 소자(OLED)는 발광하지 않는다.

보다 상세히 설명하면, 도시된 바와 같이 비발광 기간(P_{off}) 동안 선택 신호선(S_i)에 제 1트랜지스터(m1)를 턴온하기 위한 선택 신호가 인가되어, 데이터선(D_1-D_n)으로부터의 데이터 전류(I_{DATA})에 대응하는 전압이 캐패시터(Cst)에 충전된다[기록 기간(P_w)].

기록 기간(P_w)이 끝나고 약간의 타이밍 이후에 발광 신호선(E_i)에 인가되는 발광 신호가 로우 레벨로 되어 1차 발광 기간(P_{on})이 시작된다. 일정 시간 동안 발광이 이루어진 후에 제2 주사 신호의 레벨이 하이 레벨로 되어 유기 EL 소자로 전류가 인가되지 않게 되어 유기 EL 소자(OLED)가 발광하지 않는 비발광 기간(P_{off})이 되고, 이는 도시된 바와 같이 데이터 프레임 주기 중 소정 기간 동안 순차적으로 이루어진다.

여기서, 상기 소정 기간이 데이터 프레임 주기 전부가 될 경우에는 유기 EL소자의 발광 기간이 데이터 프레임 주기의 50%가 된다.

이와 같은 상기 선택 신호 및 발광 신호는 앞서 도 4를 통해 설명한 바와 같이 제 1주사 구동부(310) 및 제 2주사 구동부(320)를 통해 출력되어 패널로 제공된다.

이하에서는 도 6에 도시된 바와 같은 과정을 갖는 선택 신호 및 발광 신호를 출력하는 본 발명의 실시예에 의한 주사 구동회로의 구성 및 동작에 대해 설명하도록 한다.

도 7은 본 발명의 실시예에 의한 주사 구동회로의 구성을 나타내는 블록도이다.

도 7을 참조하면, 본 발명의 주사 구동회로(300)는 앞서 설명한 바와 같이 $m \times n$ 화소 어레이(Pixel Array)를 구동하기 위한 선택 신호 및 발광 신호를 출력하는 제 1주사 구동부(310)와 제 2주사 구동부(320)로 구성되며, 상기 제 1주사 구동부(310) 및 제 2주사 구동부(320)는 각각의 입력 신호(IN1, IN2) 라인에 종속 접속되어진 n개의 스테이지들을 구비한다.

이들 n개의 스테이지들의 출력라인들은 상기 화소 어레이에 포함된 n개의 로우라인들(S1 내지 Sn, E1 내지 En)에 각각 접속되어 상기 화소 어레이를 구성하는 각각의 화소에 선택 신호 및 발광 신호를 제공한다.

여기서, 상기 제 1주사 구동부(310) 및 제 2주사 구동부(320)에 구비된 제 1 스테이지에는 각각 최초 입력 신호(IN1, IN2)가 공급되고 제 1 내지 제 n-1 스테이지들의 출력신호는 각각 후단의 스테이지들에 입력 신호로서 공급된다.

또한, 선택 신호를 출력하는 상기 제 1주사 구동부(310)의 각 스테이지들은 위상 반전된 제1 및 제2 클럭신호(CLK1, CLK2)가 각각 공급되는 제1 클럭단자(CLKa) 와 제2 클럭단자(CLKb)를 구비하며, 기수번째 스테이지들의 제1 클럭단자(CLKa)에는 제1클럭신호(CLK1)가 공급되고, 제2 클럭단자(CLKb)에는 제2 클럭신호(CLK2)가 공급된다. 이와 반대로 우수번째 스테이지들의 제1 클럭단자(CLKa)에는 제2 클럭신호(CLK2)가 공급되며, 제2 클럭단자(CLKb)에는 제1 클럭신호(CLK1)가 공급된다.

즉, 최초 입력 신호(IN1) 또는 이전단 출력전압(gi)과, 제1 및 제2 클럭신호(CLK1, CLK2)를 공급 받은 각 스테이지는 상기 각 스테이지의 출력라인을 통해 순차적으로 로우 레벨의 신호를 출력한다.

반면에 발광 신호를 출력하는 상기 제 2주사 구동부(320)의 각 스테이지들은 위상 반전된 제1 및 제2 클럭신호(CLK1, CLK2)가 각각 공급되는 제1 클럭단자(CLKa) 와 제2 클럭단자(CLKb)를 구비하며, 기수번째 스테이지들의 제1 클럭단자(CLKa)에는 제2클럭신호(CLK2)가 공급되고, 제2 클럭단자(CLKb)에는 제1 클럭신호(CLK1)가 공급된다. 이와 반대로 우수번째 스테이지들의 제1 클럭단자(CLKa)에는 제1 클럭신호(CLK1)가 공급되며, 제2 클럭단자(CLKb)에는 제2 클럭신호(CLK2)가 공급된다.

즉, 최초 입력 신호(IN2) 또는 이전단 출력전압(gi)과, 제1 및 제2 클럭신호(CLK1, CLK2)를 공급 받은 각 스테이지는 상기 각 스테이지의 출력라인을 통해 발광 신호의 레벨이 데이터 프레임 주기 중 소정 기간 동안 적어도 한번 이상 순차적으로 로우 레벨 및 하이 레벨 신호로 변환하여 제공한다.

도 8은 본 발명의 제 1실시예에 의한 주사 구동회로 내의 임의 스테이지에 대한 회로도로서, 도 7에 도시된 제 1주사 구동부와 제 2주사 구동부의 기수번째 스테이지에 대한 구체적인 회로 구성을 나타내는 것이다. 또한, 도 9는 도 8에 도시된 스테이지의 입/출력 신호의 타이밍도이다.

도 8 및 도 9를 참조하면, 상기 제 1주사 구동부 및 제 2주사 구동부의 기수번째 스테이지(312, 322)는 입력되는 클럭(CLK1, CLK2)의 한 주기를 둘로 나누어 제 1기간 동안에는 프리차지(Precharge)를 수행하고, 제 2기간 동안에 평가(Evaluation)를 수행하여 로우 레벨의 폴스를 상기 클럭의 반 주기만큼 쉬프트 하여 출력하는 동작을 한다. 즉, 상기 프리차지 기간에서는 하이 레벨의 출력을 내며, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

또한, 기수번째 스테이지의 평가 기간을 우수번째 스테이지의 프리차지 기간과 같게 함으로써, 로우 레벨의 신호가 상기 클럭의 반 주기 만큼의 시간 간격으로 모든 스테이지에 순차적으로 전달되도록 한다.

이하, 도 8에 도시된 기수번째 스테이지의 회로 구성을 통해 보다 구체적으로 스테이지의 동작을 설명하도록 한다.

단, 스테이지에 구비되는 트랜지스터의 경우 이하에서는 PMOS 박막트랜지스터를 그 예로 설명하고 있으나 본 발명의 실시예가 반드시 이에 한정되는 것은 아니다.

도 8을 참조하면, 이는 이전단 출력전압(gi) 또는 최초 입력 신호(IN1 or IN2)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1PMOS 트랜지스터(M1)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2POMS 트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3PMOS 트랜지스터(M3)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드 사이(N1)에 접속된 제 4POMS 트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5PMOS 트랜지스터(M5)가 포함되어 구성된다.

또한, 상기 제 1PMOS 트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함되어 구성된다.

여기서, 상기 스테이지가 제 1주사 구동부의 기수번째 스테이지(312)인 경우에는 도시된 바와 같이 상기 제 1 클럭단자에 제 1클럭신호(CLK1)가 공급되고, 제 2클럭단자에 제 2클럭신호(CLK2)가 공급된다. 이와 반대로 상기 스테이지가 우수번째인 경우에는 상기 제 1 클럭단자에는 제 2클럭신호(CLK2)가 공급되며, 제 2클럭단자에는 제 1클럭신호(CLK1)가 공급된다.

반면에 상기 스테이지가 제 2주사 구동부의 기수번째 스테이지(322)인 경우에는 도시된 바와 같이 상기 제 1 클럭단자에 제 2클럭신호(CLK2)가 공급되고, 제 2클럭단자에 제 1클럭신호(CLK1)가 공급된다. 이와 반대로 상기 스테이지가 우수번째인 경우에는 상기 제 1 클럭단자에는 제 1클럭신호(CLK1)가 공급되며, 제 2클럭단자에는 제 2클럭신호(CLK2)가 공급된다.

또한, 상기 제 2전원(VSS)에는 별도의 음의 전원이 인가될 수 있으나, 도시된 바와 같이 접지(GND) 되어 구성될 수도 있다. 본 발명의 실시예에서는 상기 제 2전원이 접지로 구현되는 것이 도시되어 있다.

이와 같은 각 스테이지는 크게 전달부(transfer unit), 반전부(inversion unit), 버퍼부(buffer unit)로 이루어 지며, 상기 전달부는 제 1, 2 POMS 트랜지스터(M1,M2) 및 제 1캐패시터(C1)로 구성되고, 상기 반전부는 제 1, 3, 4 PMOS 트랜지스터(M1,M3,M4)로 구성되고, 상기 버퍼부는 제 5 PMOS 트랜지스터(M5)로 구성된다.

상기 스테이지가 제 1주사 구동부의 기수번째 스테이지(312)로 가정할 경우 제 1클럭신호(CLK1)가 로우 레벨 즉, 제 2클럭신호(CLK2)가 하이 레벨인 기간이 프리차지 기간이 되고, 제 1클럭신호(CLK1)가 하이 레벨 즉, 제 2클럭신호(CLK2)가 로우 레벨인 기간이 평가 기간이 된다. 이에 상기 프리차지 기간에서는 하이 레벨의 출력을 내고, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

반면 상기 스테이지가 제 2주사 구동부의 기수번째 스테이지(322)로 가정할 경우 제 1클럭신호(CLK1)가 하이 레벨 즉, 제 2클럭신호(CLK2)가 로우 레벨인 기간이 프리차지 기간이 되고, 제 1클럭신호(CLK1)가 로우 레벨 즉, 제 2클럭신호(CLK2)가 하이 레벨인 기간이 평가 기간이 되며, 상기 프리차지 기간에서는 하이 레벨의 출력을 내며, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

도 8 및 도 9를 참조하여 먼저 제 1주사 구동부의 기수번째 스테이지(312)에 대한 회로의 동작을 살펴보면, 먼저 프리차지(Precharge) 기간 즉, 제 1클럭신호(CLK1)가 로우 레벨 즉, 제 2클럭신호(CLK2)가 하이 레벨로 입력되는 동안에는 M1, M3이 온(ON) 되고, 이에 입력신호(IN1)가 각각 M2, M4의 게이트 단자에 전달된다.

따라서, 상기 프리차지 기간에는 상기 제 1 캐패시터(C1)에 입력 신호로서의 상기 이전단 출력전압 또는 입력 신호(IN1)가 저장되고, 제 1노드(N1)에는 제 2클럭신호(CLK2) 또는 제 2전원(VSS)에 의해 로우 레벨의 신호가 충전되므로 상기 M5가 온되어 하이 레벨의 제 1전원(VDD)가 출력단(OUT)을 통해 출력된다.

즉, 상기 프리차지 기간에서 상기 스테이지의 버퍼부 출력은 하이 레벨이 된다.

또한, 평가(Evaluation) 기간 동안에는 M1이 오프되어 입력 신호(IN1)가 차단되고, 이에 M3, M4 또한 오프된다.

이 때, 상기 프리차지 기간 동안에 입력받은 신호 즉, 이전단 출력전압 또는 입력 신호(IN1)가 하이 레벨인 경우에는 상기 프리차지 기간 동안에 프리차지된 신호 레벨이 유지되어 상기 버퍼부는 여전히 하이 레벨을 출력하게 된다.

반면에 상기 프리차지 기간 동안에 입력받은 신호 즉, 이전단 출력전압 또는 입력 신호(IN1)가 로우 레벨인 경우에는 상기 제 1캐패시터(C1)에 의해 저장된 상기 로우 레벨 신호에 의해 상기 M2가 온 되는데, 이에 상기 전달부에서는 상기 M2가 온 됨에 따라 로우 레벨 값을 갖는 제 2클럭신호(CLK2)가 출력단(OUT)을 통해 출력된다.

즉, 상기 평가 기간에 있어서 상기 스테이지는 이전 프리차지 기간에 입력 받은 신호 즉, 이전단 출력전압 또는 최초 입력 신호(IN1)가 로우 레벨인 경우에는 로우 레벨을 출력하고, 하이 레벨인 경우에는 하이 레벨을 출력하는 동작을 수행한다.

결과적으로 최초 입력 신호(IN1) 또는 이전단 출력전압(gi)과, 제1 및 제2 클럭신호(CLK1,CLK2)를 공급 받은 제 1주사 구동부의 각 스테이지는 입력되는 클럭(CLK1, CLK2)의 한 주기를 둘로 나누어 제 1기간 동안에는 프리차지(Precharge)를 수행하고, 제 2기간 동안에 평가(Evaluation)를 수행하여 로우 레벨의 멜스를 상기 클럭의 반 주기만큼 쉬프트 하여 출력하는 동작을 한다. 즉, 상기 프리차지 기간에서는 하이 레벨의 출력을 내며, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력함으로써, 상기 각 스테이지의 출력라인을 통해 순차적으로 로우 레벨의 신호를 출력하게 되며, 이는 화소부의 각 화소에 제공되는 선택 신호가 된다.

도 8 및 도 9에 도시된 바와 같은 제 2주사 구동부의 기수번째 스테이지(322)에 대한 회로의 구성은 앞서 설명한 제 1주사 구동부의 기수번째 스테이지(312)에 대한 회로의 구성과 동일하므로 그 상세한 설명은 생략하기로 한다.

단, 상기 제 2주사 구동부의 기수번째 스테이지(322)에는 상기 제 1 클럭단자에 제 2클럭신호(CLK2)가 공급되고, 제 2클럭단자에 제 1클럭신호(CLK1)가 공급되는 것으로, 결과적으로 상기 제 1주사 구동부의 기수번째 스테이지의 제 1클럭단자 및 제 2클럭단자에 입력되는 신호와는 서로 반전되어 입력됨을 특징으로 한다.

따라서, 상기 제 1주사 구동부와 제 2주사 구동부에 있어서 프리차지 구간 및 평가 구간은 도 9에 도시된 바와 같이 서로 엇갈려 구성되는 것이다.

즉, 상기 제 1주사 구동부의 우수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호는 제 2주사 구동부의 기수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호와 같게 되며, 이와 마찬가지로 상기 제 1주사 구동부의 기수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호는 제 2주사 구동부의 우수번째 스테이지의 제 1, 2클럭단자에 입력되는 클럭신호와 같게 된다.

이에 따라, 상기 제 1주사 구동부의 기수번째 스테이지가 로우 레벨의 출력을 낼 때 상기 제 2주사 구동부의 기수번째 스테이지는 하이 레벨의 출력을 내고, 클럭신호의 반 주기 뒤에 로우 레벨의 출력을 내게 된다.

또한, 상기 제 2주사 구동부에 입력되는 최초 입력신호(IN2)는 도 9에 도시된 바와 같이 제 1주사 구동부에 입력되는 최초 입력신호(IN1)과는 달리 상기 클럭신호의 복수의 주기에 해당하는 만큼의 소정 기간 동안 로우 레벨로 제공함을 특징으로 한다. 여기서, 상기 소정 기간은 1 데이터 프레임 내의 일정 기간이 된다.

이에 따라 상기 입력 신호(IN2)에 의한 상기 제 2주사 구동부의 각 스테이지 출력 신호는 상기 소정의 구간에 대응하여 적어도 한번 이상 순차적으로 로우 레벨 및 하이 레벨 신호로 변환되어 출력하며, 이는 화소부의 각 화소에 제공되는 발광 신호가 된다.

여기서, 상기 소정 기간이 데이터 프레임 주기 전부가 될 경우 상기 기간에 대응하여 상기 제 2주사 구동부의 출력 신호 즉, 발광 신호는 1 데이터 프레임 주기의 50%에 해당하는 로우 레벨 신호가 제공되어 결과적으로 각 화소에 구비된 EL소자의 발광 기간이 데이터 프레임 주기의 50%가 된다.

발명의 효과

이와 같은 본 발명에 의하면, 선택 신호를 제공하는 제 1주사구동부와, 발광 신호를 제공하는 제 2주사구동부로 구성된 주사 구동회로에 있어서, 상기 발광 신호를 데이터 프레임 주기 중 소정 기간 동안 적어도 한번 이상 인가하도록 하여 각 화소의 열화를 방지할 수 있다는 장점이 있다.

또한, 주사 구동회로에서 스태틱 전류(static current)가 흐를 수 있는 경로를 없앰으로써 소비전력을 저감케 하는 장점이 있다.

또한, 주사 구동회로를 통해 하이 레벨 출력을 낼 때 출력단을 충전하지 않게 되어 새는 전류(leakage current)를 최소화 하며, 로우 레벨 출력을 낼 때 출력단을 방전하는 전류의 감소 정도를 최소화하여 동작 속도가 빨라지는 장점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의하여 정하여져야만 한다.

도면의 간단한 설명

도 1는 종래의 일반적인 주사 구동회로의 구성을 나타내는 블록도.

도 2는 도 1에 도시된 주사 구동회로에서 임의 스테이지의 회로도.

도 3은 도 2에 도시된 스테이지의 입/출력 신호 파형도.

도 4는 본 발명의 실시예에 의한 유기 전계발광 장치를 개략적으로 도시한 블록도.

도 5는 도 4에 도시된 유기 전계발광 장치의 각 화소영역에 구비되는 화소 회로의 일 실시예를 나타내는 회로도.

도 6은 도 5의 화소 회로에 입력되는 선택 신호 및 발광 신호에 대한 타이밍도.

도 7은 본 발명의 실시예에 의한 주사 구동회로의 구성을 나타내는 블록도.

도 8은 본 발명의 제 1실시예에 의한 주사 구동회로 내의 임의 스테이지에 대한 회로도.

도 9는 도 8에 도시된 스테이지의 입/출력 신호의 타이밍도.

<도면의 주요 부분에 대한 부호의 설명>

300 : 주사 구동회로 310 : 제 1주사 구동부

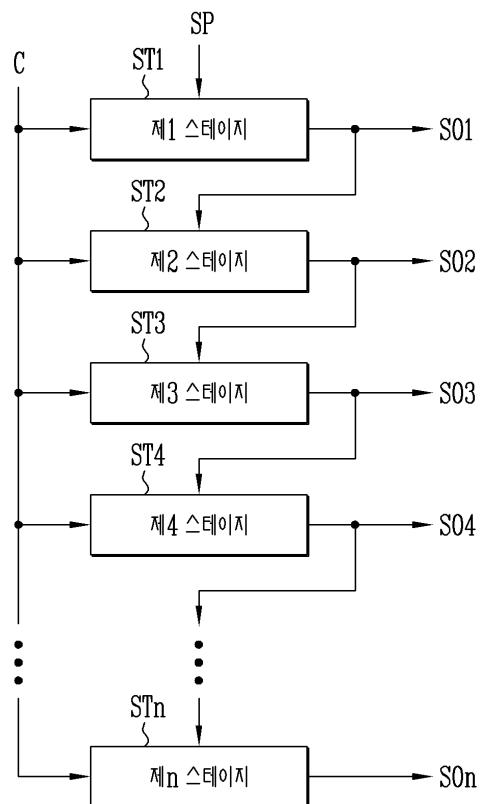
312 : 제 1주사 구동부의 기수번째 스테이지

320 : 제 2주사 구동부

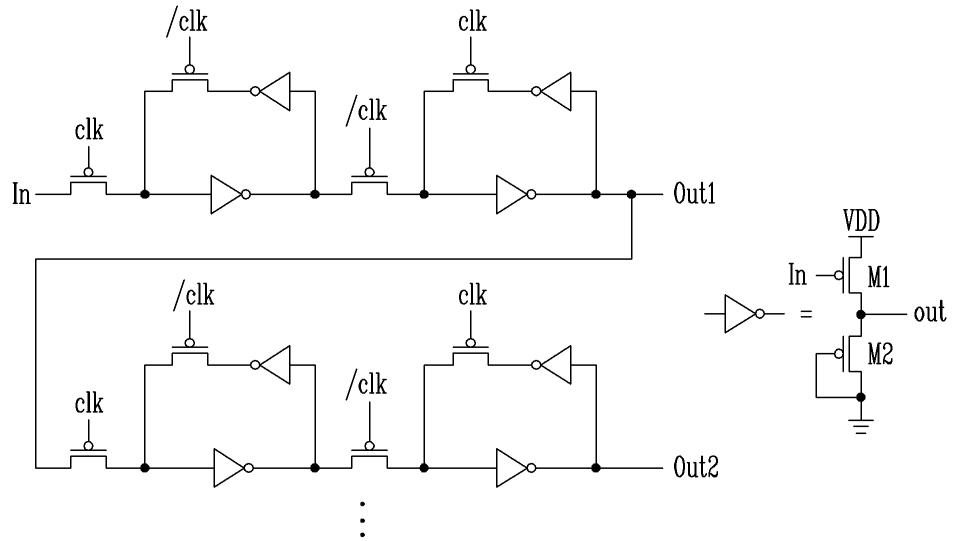
322 : 제 2주사 구동부의 기수번째 스테이지

도면

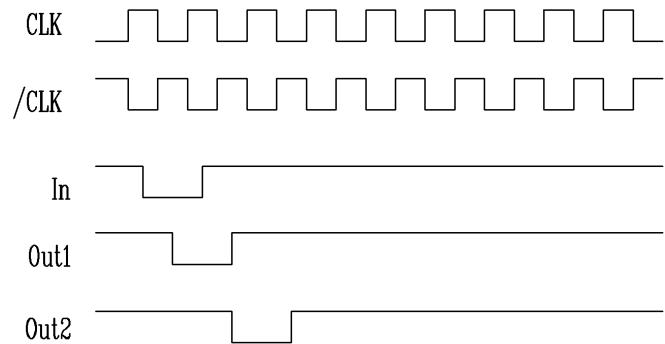
도면1



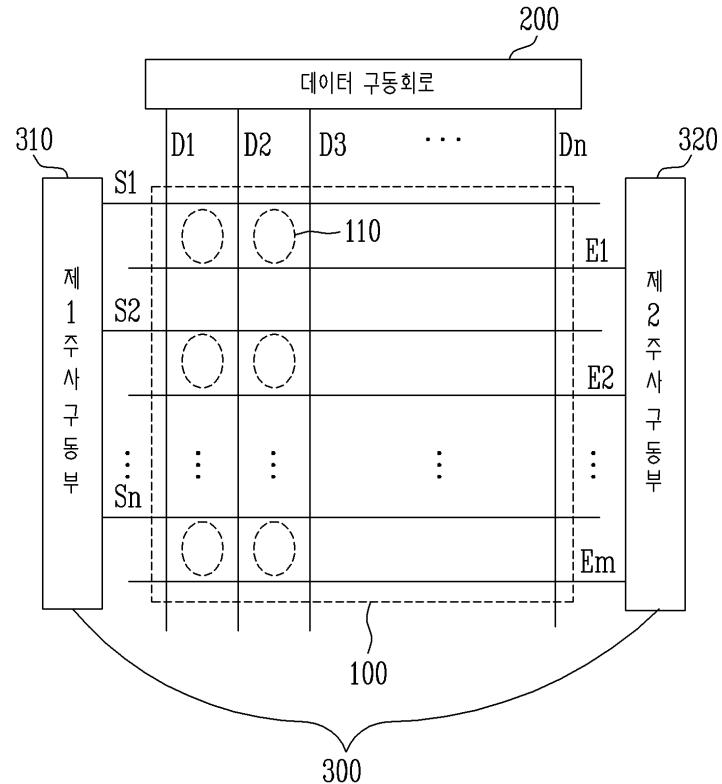
도면2



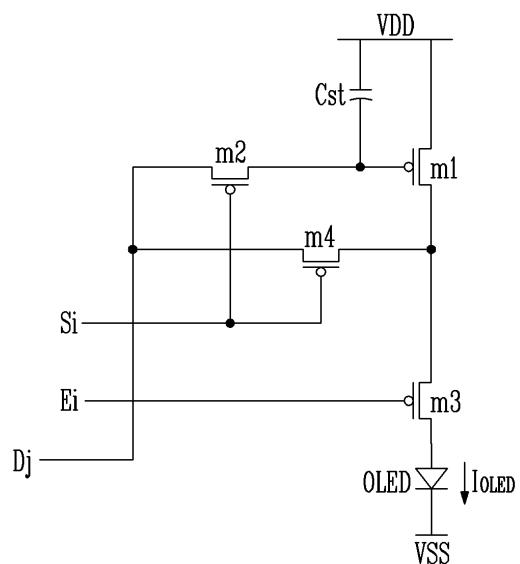
도면3



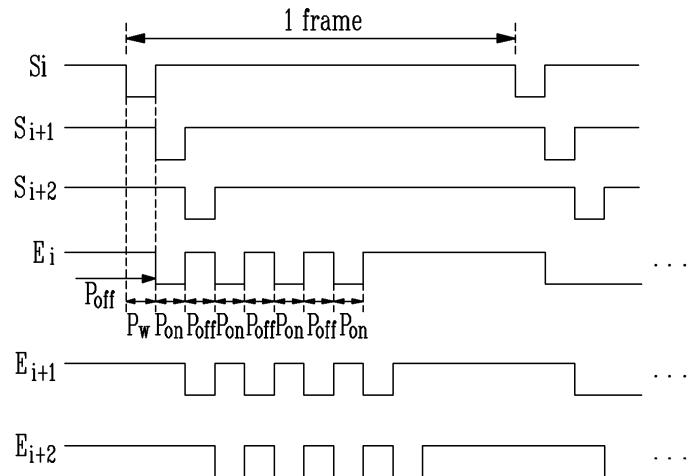
도면4



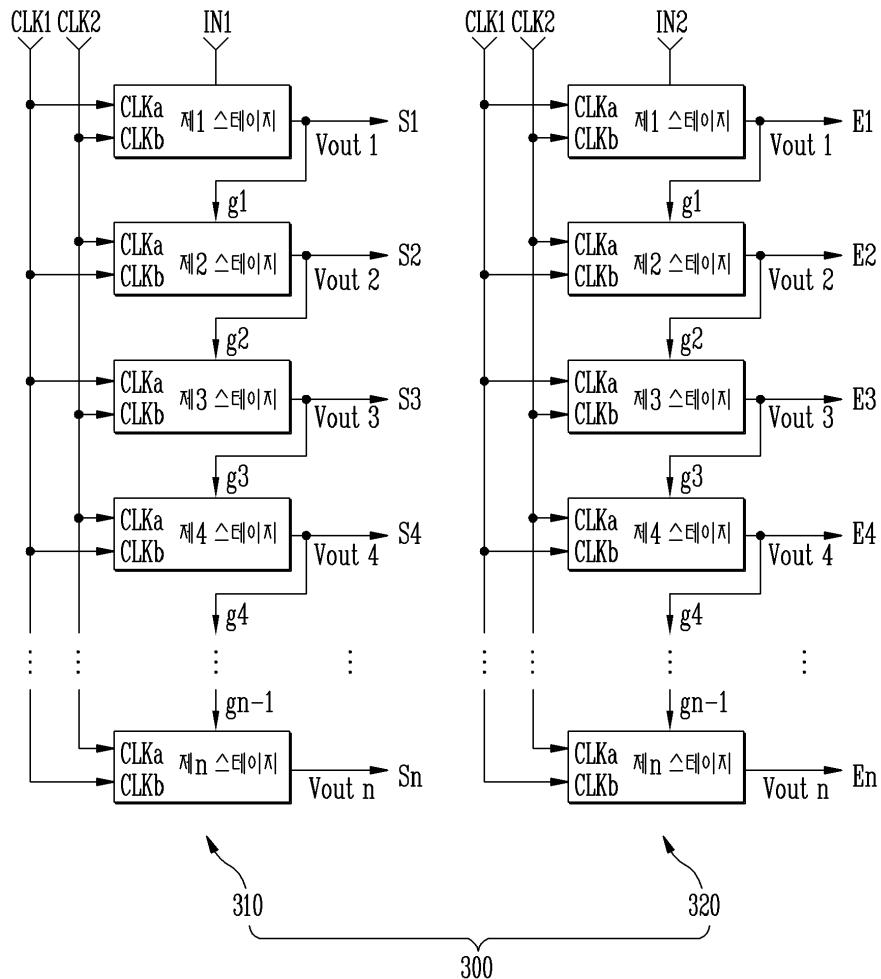
도면5



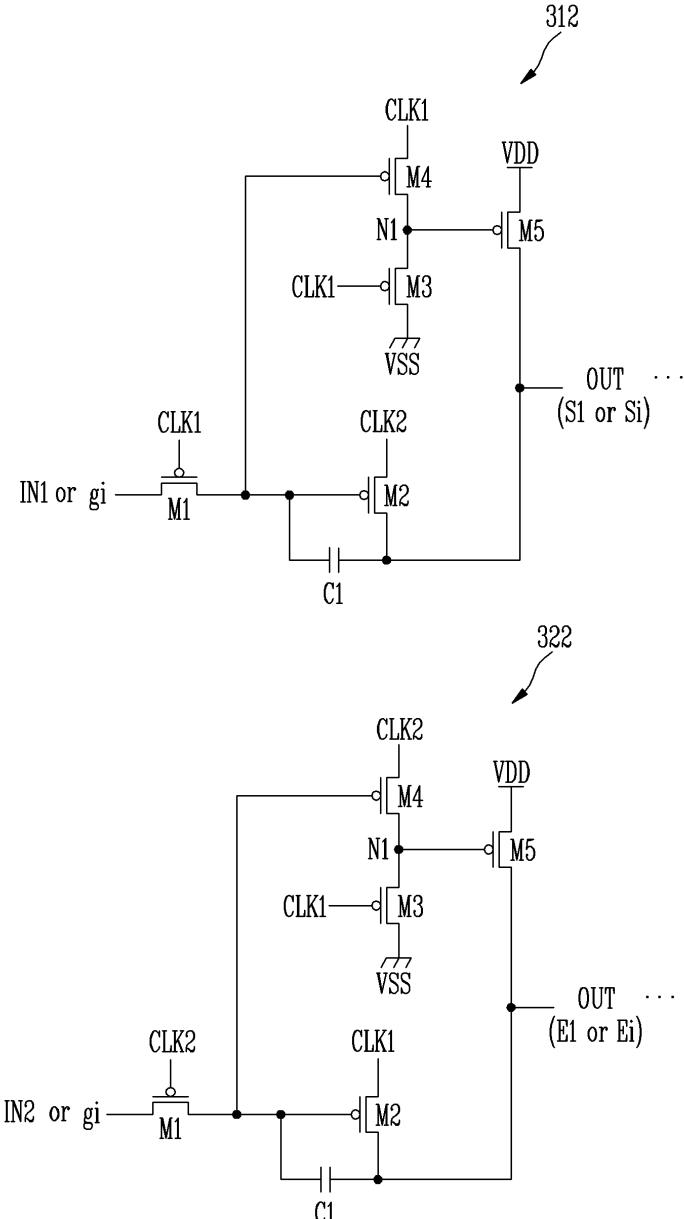
도면6



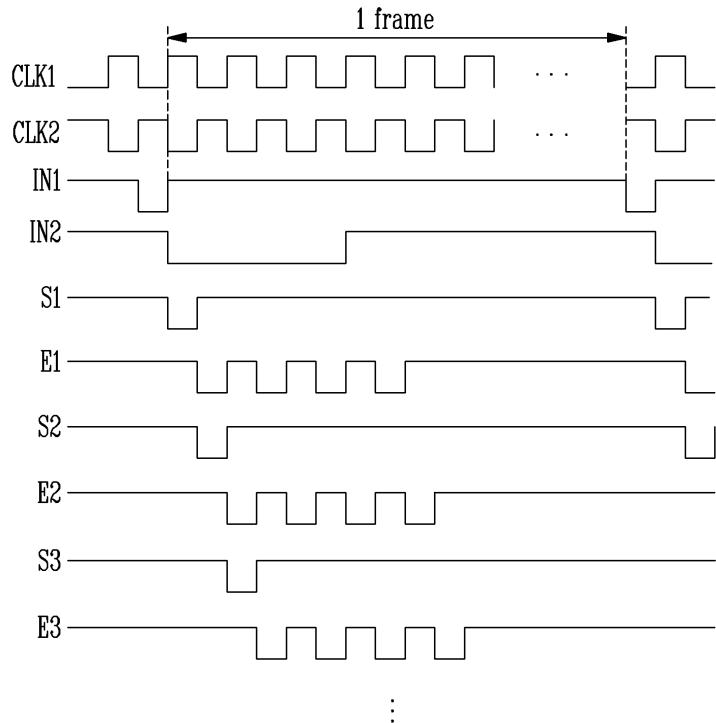
도면7



도면8



도면9



专利名称(译)	扫描驱动电路和使用其的有机电致发光器件		
公开(公告)号	KR100729099B1	公开(公告)日	2007-06-14
申请号	KR1020050087425	申请日	2005-09-20
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DONGYONG SHIN		
发明人	DONGYONG SHIN		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G2300/0842 G09G3/325 G09G3/20 G09G2310/0286 G09G2330/021 G11C19/184 G09G3/3266		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020070032870A		
外部链接	Espacenet		

摘要(译)

用途：提供扫描驱动电路和使用该扫描驱动电路的有机发光显示器，以通过在预定时间内多次向扫描驱动器施加发光信号来防止各个像素的变形。

