

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월22일 10-0581853 2006년05월15일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0057337 2002년09월19일	(65) 공개번호 (43) 공개일자	10-2004-0025384 2004년03월24일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	서성모 경기도수원시팔달구영통동948-4황골마을주공아파트108동402호 최규환 경기도성남시분당구정자동한솔마을청구아파트105동503호
(74) 대리인	리엔목특허법인 이해영

심사관 : 최정윤

(54) 바이어스 라인들이 공유되는 전계발광 디스플레이 패널

요약

본 발명에 따른 전계발광 디스플레이 패널은, 주사 라인들과 데이터 라인들이 교차되게 형성되고, 바이어스 라인들이 주사 라인들에 대하여 나란하게 형성되며, 제1 트랜지스터들이 주사 라인들과 데이터 라인들에 의하여 구동되고, 제2 트랜지스터들이 제1 트랜지스터들 각각의 동작 상태에 따라 바이어스 라인들에 인가되는 전압을 셀 전극들에 선택적으로 공급하는 전계발광 디스플레이 패널이다. 여기서, 바이어스 라인들 각각이 한 쌍의 주사 라인들 사이에 위치하여 한 쌍의 주사 라인들에 상응하는 제2 트랜지스터들에 바이어스 전압을 인가한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 통상적인 전계발광 디스플레이 장치를 보여주는 블록도이다.
 도 2는 도 1의 장치의 디스플레이 패널의 구조를 보여주는 도면이다.
 도 3은 도 2의 패널의 상하 인접된 두 셀들의 구조를 보여주는 평면도이다.

도 4는 본 발명의 일 실시예의 전계발광 디스플레이 장치를 보여주는 블록도이다.

도 5는 도 4의 장치의 디스플레이 패널의 구조를 보여주는 도면이다.

도 6은 도 5의 패널의 상하 인접된 두 셀들의 구조를 보여주는 평면도이다.

<도면의 주요 부분에 대한 부호의 설명>

S_D...디스플레이 데이터 신호, S_T...클럭 신호,

S_{DD}...디스플레이 패턴 신호, S_{DT}...동기 신호,

1, 5...제어 논리 회로, 2, 6...바이어싱 회로,

3, 7...스위칭 회로, 4, 8...전계발광 디스플레이 패널,

GE₁, ..., GE_N...주사 라인들, DE₁, ..., DE_M...데이터 라인들,

VE₁, ..., VE_N...바이어스 라인들, CE₁₁, ..., CE_{NM}...셀 전극들,

Vdd...바이어스 전압, DC₁₁, ..., DC_{NM}...셀 영역들,

TR1...제1 트랜지스터들, TR2...제2 트랜지스터들,

C...캐패시터들.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전계발광(Electroluminescent) 디스플레이 패널에 관한 것으로서, 보다 상세하게는, 유기(有機) 발광체에 전계를 인가하여 빛을 발생시키는 전계발광 디스플레이 패널에 관한 것이다.

전계발광 디스플레이 패널의 구동은 선택된 셀의 유기 발광체에 전계가 인가됨에 의하여 이루어진다. 여기서, 유기 발광체는 전기적인 항복(breakdown) 상태가 되며, 이때 항복 전류가 흐르면서 여기된 발광 물질로부터 빛이 발생된다.

도 1을 참조하면, 통상적인 전계발광 디스플레이 장치는 전계발광 디스플레이 패널(4) 및 이를 구동하기 위한 제어 논리 회로(1), 바이어싱 회로(2), 및 스위칭 회로(3)를 포함한다.

통상적인 전계발광 디스플레이 패널(4)에 있어서, 주사 라인들(GE₁, ..., GE_N)과 데이터 라인들(DE₁, ..., DE_M)이 교차되게 형성되고, 바이어스 라인들(VE₁, ..., VE_N)이 주사 라인들(GE₁, ..., GE_N)에 대하여 나란하게 형성된다. 여기서, 각각의 주사 라인(GE₁, ..., GE_N)과 각각의 바이어스 라인(VE₁, ..., VE_N)이 일대일(1:1)로 대응된다. 참조 부호 CE₁₁, ..., CE_{NM}은 각각의 셀 전극을 가리킨다. 이 통상적인 전계발광 디스플레이 패널(4)의 구조 및 동작에 대해서는 도 2 및 3을 참조하여 보다 상세히 설명될 것이다.

제어 논리 회로(1)는, 외부로부터의 디스플레이 데이터 신호(S_D) 및 클럭 신호(S_T)를 입력받아 처리하여, 바이어싱 회로(2)에 디스플레이 패턴 신호(S_{DD})를 인가하고, 스위칭 회로(3)에 동기 신호(S_{DT})를 인가한다. 이에 따라, 바이어싱 회로(2)는 데이터 라인들(DE_1, \dots, DE_M)을 구동하고, 스위칭 회로(3)는 주사 라인들(GE_1, \dots, GE_N)을 구동한다. 바이어스 라인들(VE_1, \dots, VE_N)에는 선택된 셀 전극들(CE_{11}, \dots, CE_{NM})에 공급될 전압(Vdd)이 인가된다.

도 2는 도 1의 장치의 전계발광 디스플레이 패널(4)의 구조를 보여준다. 도 3은 도 2의 패널의 상하 인접된 두 셀들의 구조를 보여준다. 도 2 및 3에서 도 1과 동일한 참조 부호는 동일한 기능의 대상을 가리킨다. 도 2에서 참조 부호 DC_{11}, \dots, DC_{NM} 은 셀 영역들을 가리킨다. 도 2에서 참조 부호 C는 제2 트랜지스터들(TR2)의 게이트들과 드레인들 사이에 연결되는 캐패시터들을 가리킨다. 이 캐패시터들(C)은, 제2 트랜지스터들(TR2)의 게이트 라인들(도 3의 $CL_{1(M-1)}, CL_{2(M-1)}$)과 바이어스 라인들(VE_1, \dots, VE_N)에 의하여 형성되어, 제2 트랜지스터들(TR2)을 구동한다. 도 3에서 참조 부호 W는 하부 금속 라인으로서의 각각의 바이어스 라인(VE_1, \dots, VE_N)의 폭을 가리킨다. 도 3에서 참조 부호 D는 각각의 바이어스 라인(VE_1, \dots, VE_N)과 각각의 셀 전극(CE_{11}, \dots, CE_{NM}) 사이의 간격을 가리킨다.

도 2 및 3을 참조하면, 제1 전계 효과 트랜지스터들(Field Effect Transistors, TR1)의 드레인들(Drains)은 데이터 라인들(DE_1, \dots, DE_M)에 각각 연결된다. 제1 전계 효과 트랜지스터들(TR1)의 게이트들(Gates)은 주사 라인들(GE_1, \dots, GE_N)에 각각 연결된다. 제1 전계 효과 트랜지스터들(TR1)의 소오스들(Sources)은 제2 전계 효과 트랜지스터들(TR2)의 게이트들에 각각 연결된다. 제2 전계 효과 트랜지스터들(TR2)의 드레인들은 바이어스 라인들(VE_1, \dots, VE_N)에 각각 연결된다. 제2 전계 효과 트랜지스터들(TR2)의 소오스들은 셀 전극들(CE_{11}, \dots, CE_{NM})에 각각 연결된다. 여기서, n (n은 2 이상의 정수) 개의 주사 라인들(GE_1, \dots, GE_N)과 n (n은 2 이상의 정수) 개의 바이어스 라인들(VE_1, \dots, VE_N)은 일대일(1:1)로 대응한다.

제1 전계 효과 트랜지스터들(TR1)은 주사 라인들(GE_1, \dots, GE_N)과 데이터 라인들(DE_1, \dots, DE_M)에 의하여 구동된다. 제2 전계 효과 트랜지스터들(TR2)은 제1 전계 효과 트랜지스터들(TR1) 각각의 동작 상태에 따라 바이어스 라인들(VE_1, \dots, VE_N)에 인가되는 전압(Vdd)을 셀 전극들(CE_{11}, \dots, CE_{NM})에 선택적으로 공급한다.

상기와 같은 통상적인 전계발광 디스플레이 패널(4)에 의하면, n (n은 2 이상의 정수) 개의 주사 라인들(GE_1, \dots, GE_N)과 n (n은 2 이상의 정수) 개의 바이어스 라인들(VE_1, \dots, VE_N)이 일대일(1:1)로 대응하므로, 다음과 같은 문제점들이 있다.

첫째, 각각의 바이어스 라인(VE_1, \dots, VE_N)과 각각의 셀 전극(CE_{11}, \dots, CE_{NM}) 사이의 간격들(D)이 많이 필요하다. 왜냐하면, n (n은 2 이상의 정수) 개의 주사 라인들(GE_1, \dots, GE_N)이 존재하는 경우, 각각의 바이어스 라인(VE_1, \dots, VE_N)과 각각의 셀 전극(CE_{11}, \dots, CE_{NM}) 사이의 간격들(D)이 n-1 개 필요하기 때문이다. 이에 따라, 셀 전극들(CE_{11}, \dots, CE_{NM})이 차지하는 면적이 상대적으로 좁아져 개구율에 따른 휘도 성능이 나빠지는 문제점이 있다.

둘째, 각각의 바이어스 라인(VE_1, \dots, VE_N)의 폭(W)이 상대적으로 좁아지므로, 각각의 바이어스 라인(VE_1, \dots, VE_N)의 저항이 커져서 화질이 나빠지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 휘도 성능 및 화질을 향상시킬 수 있는 전계발광 디스플레이 패널을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 이루기 위한 본 발명의 전계발광 디스플레이 패널은, 주사 라인들과 데이터 라인들이 교차되게 형성되고, 바이어스 라인들이 상기 주사 라인들에 대하여 나란하게 형성되며, 제1 트랜지스터들이 상기 주사 라인들과 데이터 라인들에 의하여 구동되고, 제2 트랜지스터들이 상기 제1 트랜지스터들 각각의 동작 상태에 따라 상기 바이어스 라인들에 인가

되는 전압을 셀 전극들에 선택적으로 공급하는 전계발광 디스플레이 패널이다. 여기서, 상기 바이어스 라인들 각각이 한 쌍의 주사 라인들 사이에 위치하여 상기 한 쌍의 주사 라인들에 상응하는 상기 제2 트랜지스터들에 바이어스 전압을 인가한다. 이에 따라 다음과 같은 효과들을 얻을 수 있다.

첫째, 바이어스 라인들의 개수가 절반으로 줄어들므로, 각 패턴 사이의 간격들의 개수를 줄일 수 있다. 이에 따라, 셀 전극들이 차지하는 면적이 상대적으로 넓어져 개구율에 따른 휘도 성능이 향상될 수 있다.

둘째, 각각의 바이어스 라인의 폭이 상대적으로 넓어질 수 있으므로, 각각의 바이어스 라인의 저항이 줄어들어 화질이 향상될 수 있다.

이하 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

도 4를 참조하면, 본 발명의 일 실시예의 전계발광 디스플레이 장치는 전계발광 디스플레이 패널(8) 및 이를 구동하기 위한 제어 논리 회로(5), 바이어싱 회로(6), 및 스위칭 회로(7)를 포함한다.

본 발명에 따른 전계발광 디스플레이 패널(8)에 있어서, 주사 라인들(GE_1, \dots, GE_N)과 데이터 라인들(DE_1, \dots, DE_M)이 교차되게 형성되고, 바이어스 라인들($VE_1, \dots, VE_{N/2}$)이 주사 라인들(GE_1, \dots, GE_N)에 대하여 나란하게 형성된다. 여기서, 바이어스 라인들($VE_1, \dots, VE_{N/2}$) 각각이 한 쌍의 주사 라인들($GE_1 - GE_2, \dots, GE_{N-1} - GE_N$) 사이에 위치하여 한 쌍의 주사 라인들에 상응하는 제2 트랜지스터들(TR2)에 바이어스 전압을 인가한다. 즉, n (n 은 2 이상의 정수) 개의 주사 라인들(GE_1, \dots, GE_N)과 $n/2$ (n 은 2 이상의 정수) 개의 바이어스 라인들(VE_1, \dots, VE_N)이 일대일(2:1)로 대응된다. 참조 부호 CE_{11}, \dots, CE_{NM} 은 각각의 셀 전극을 가리킨다. 이 전계발광 디스플레이 패널(8)의 구조 및 동작에 대해서는 도 5 및 6을 참조하여 보다 상세히 설명될 것이다.

제어 논리 회로(5)는, 외부로부터의 디스플레이 데이터 신호(S_D) 및 클럭 신호(S_T)를 입력받아 처리하여, 바이어싱 회로(6)에 디스플레이 패턴 신호(S_{DD})를 인가하고, 스위칭 회로(7)에 동기 신호(S_{DT})를 인가한다. 이에 따라, 바이어싱 회로(6)는 데이터 라인들(DE_1, \dots, DE_M)을 구동하고, 스위칭 회로(7)는 주사 라인들(GE_1, \dots, GE_N)을 구동한다. 바이어스 라인들($VE_1, \dots, VE_{N/2}$)에는 선택된 셀 전극들(CE_{11}, \dots, CE_{NM})에 공급될 전압(Vdd)이 인가된다.

도 5는 도 4의 장치의 디스플레이 패널(8)의 구조를 보여준다. 도 6은 도 5의 패널(8)의 상하 인접된 두 셀들의 구조를 보여준다. 도 5 및 6에서 도 4와 동일한 참조 부호는 동일한 기능의 대상을 가리킨다. 도 5에서 참조 부호 DC_{11}, \dots, DC_{NM} 은 셀 영역들을 가리킨다. 도 5에서 참조 부호 C는 제2 트랜지스터들(TR2)의 게이트들과 드레인들 사이에 연결되는 캐패시터들을 가리킨다. 이 캐패시터들(C)은, 제2 트랜지스터들(TR2)의 게이트 라인들(도 3의 $CL_{1(M-1)}, CL_{2(M-1)}$)과 바이어스 라인들($VE_1, \dots, VE_{N/2}$)에 의하여 형성되어, 제2 트랜지스터들(TR2)을 구동한다. 도 6에서 참조 부호 2W는 하부 금속 라인으로서의 각각의 바이어스 라인($VE_1, \dots, VE_{N/2}$)의 폭을 가리킨다.

도 5 및 6을 참조하면, 제1 전계 효과 트랜지스터들(Field Effect Transistors, TR1)의 드레인들(Drains)은 데이터 라인들(DE_1, \dots, DE_M)에 각각 연결된다. 제1 전계 효과 트랜지스터들(TR1)의 게이트들(Gates)은 주사 라인들(GE_1, \dots, GE_N)에 각각 연결된다. 제1 전계 효과 트랜지스터들(TR1)의 소오스들(Sources)은 제2 전계 효과 트랜지스터들(TR2)의 게이트들에 각각 연결된다. 제2 전계 효과 트랜지스터들(TR2)의 드레인들은 바이어스 라인들($VE_1, \dots, VE_{N/2}$)에 각각 연결된다. 제2 전계 효과 트랜지스터들(TR2)의 소오스들은 셀 전극들(CE_{11}, \dots, CE_{NM})에 각각 연결된다. 여기서, n (n 은 2 이상의 정수) 개의 주사 라인들(GE_1, \dots, GE_N)과 $n/2$ (n 은 2 이상의 정수) 개의 바이어스 라인들(VE_1, \dots, VE_N)은 이대일(2:1)로 대응한다.

제1 전계 효과 트랜지스터들(TR1)은 주사 라인들(GE_1, \dots, GE_N)과 데이터 라인들(DE_1, \dots, DE_M)에 의하여 구동된다. 제2 전계 효과 트랜지스터들(TR2)은 제1 전계 효과 트랜지스터들(TR1) 각각의 동작 상태에 따라 바이어스 라인들($VE_1, \dots, VE_{N/2}$)에 인가되는 전압(Vdd)을 셀 전극들(CE_{11}, \dots, CE_{NM})에 선택적으로 공급한다.

발명의 효과

이상 설명된 바와 같이, 본 발명에 따른 전계발광 디스플레이 패널(8)에 의하면, 바이어스 라인들($VE_1, \dots, VE_{N/2}$) 각각이 한 쌍의 주사 라인들($GE_1-GE_2, \dots, GE_{N-1}-GE_N$) 사이에 위치하여 한 쌍의 주사 라인들($GE_1-GE_2, \dots, GE_{N-1}-GE_N$)에 상응하는 제2 트랜지스터들(TR2)에 바이어스 전압(Vdd)을 인가한다. 이에 따라 다음과 같은 효과들을 얻을 수 있다.

첫째, 바이어스 라인들($VE_1, \dots, VE_{N/2}$)의 개수가 절반으로 줄어들므로, 각 패턴 사이의 간격들의 개수를 줄일 수 있다. 이에 따라, 셀 전극들(CE_{11}, \dots, CE_{NM})이 차지하는 면적이 상대적으로 넓어져 개구율에 따른 휘도 성능이 향상될 수 있다.

둘째, 각각의 바이어스 라인($VE_1, \dots, VE_{N/2}$)의 폭이 상대적으로 넓어질 수 있으므로, 각각의 바이어스 라인($VE_1, \dots, VE_{N/2}$)의 저항이 줄어들어 화질이 향상될 수 있다.

본 발명은, 상기 실시예에 한정되지 않고, 첨부된 청구범위에서 정의된 발명의 사상 및 범위 내에서 당업자에 의하여 변형 및 개량될 수 있다.

(57) 청구의 범위

청구항 1.

주사 라인들과 데이터 라인들이 교차되게 형성되고, 바이어스 라인들이 상기 주사 라인들에 대하여 나란하게 형성되며, 제1 트랜지스터들이 상기 주사 라인들과 데이터 라인들에 의하여 구동되고, 제2 트랜지스터들이 상기 제1 트랜지스터들 각각의 동작 상태에 따라 상기 바이어스 라인들에 인가되는 전압을 셀 전극들에 선택적으로 공급하는 전계발광 디스플레이 패널에 있어서,

상기 바이어스 라인들 각각이 한 쌍의 주사 라인들 사이에 위치하여 상기 한 쌍의 주사 라인들에 상응하는 상기 제2 트랜지스터들에 바이어스 전압을 인가하는 전계발광 디스플레이 패널.

청구항 2.

제1항에 있어서,

상기 제1 및 제2 트랜지스터들이 전계 효과 트랜지스터들(Field Effect Transistors)인 전계발광 디스플레이 패널.

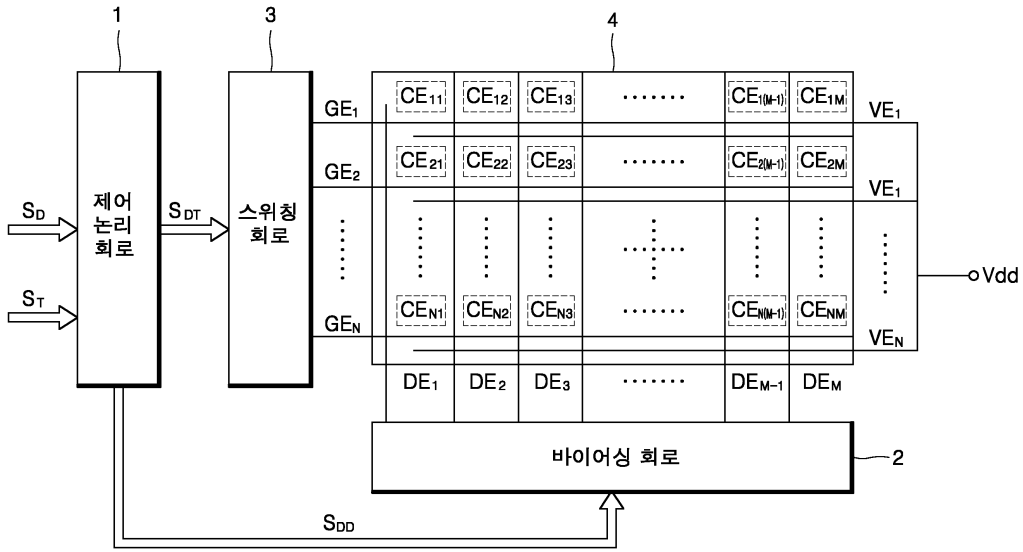
청구항 3.

제2항에 있어서,

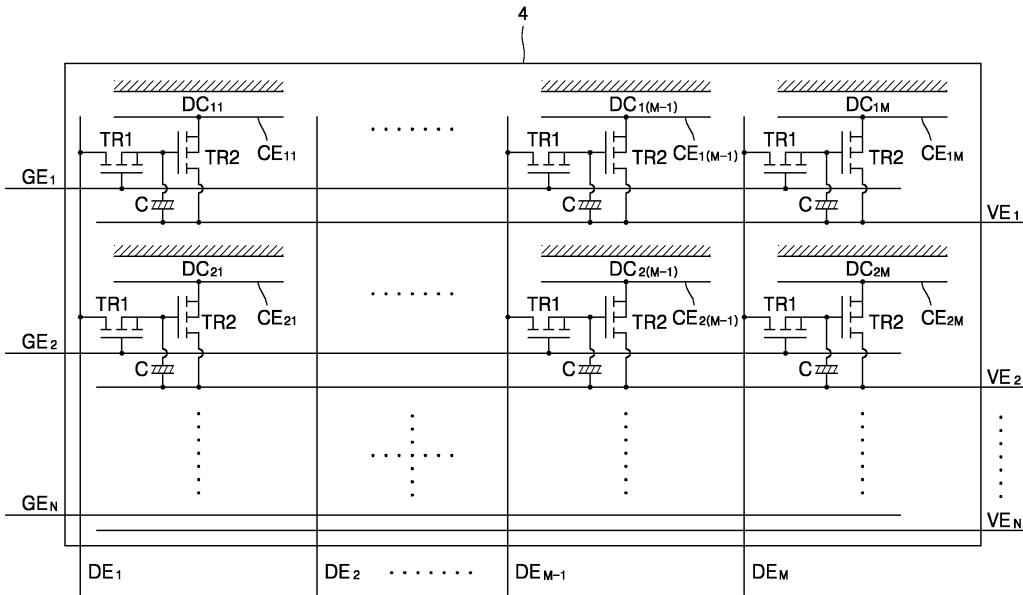
상기 제1 트랜지스터들의 드레인들이 상기 데이터 라인들에 각각 연결되고, 상기 제1 트랜지스터들의 게이트들이 상기 주사 라인들에 각각 연결되며, 상기 제1 트랜지스터들의 소오스들이 상기 제2 트랜지스터들의 게이트들에 각각 연결되고, 상기 제2 트랜지스터들의 드레인들이 상기 바이어스 라인들에 각각 연결되며, 상기 제2 트랜지스터들의 소오스들이 상기 셀 전극들에 각각 연결되는 전계발광 디스플레이 패널.

도면

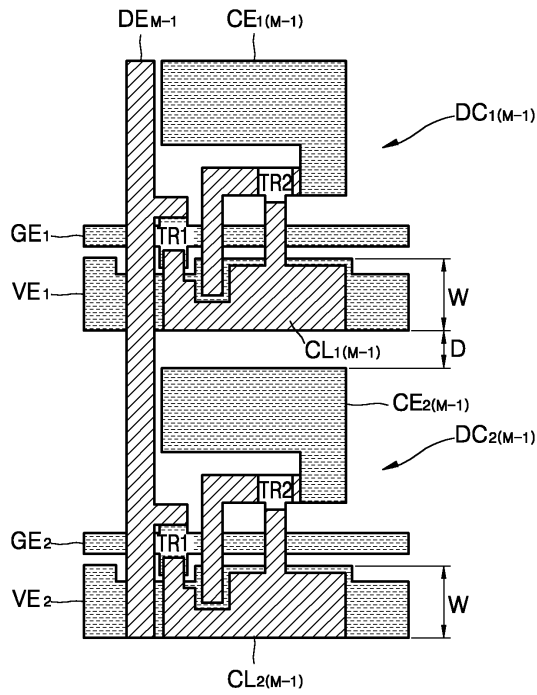
도면1



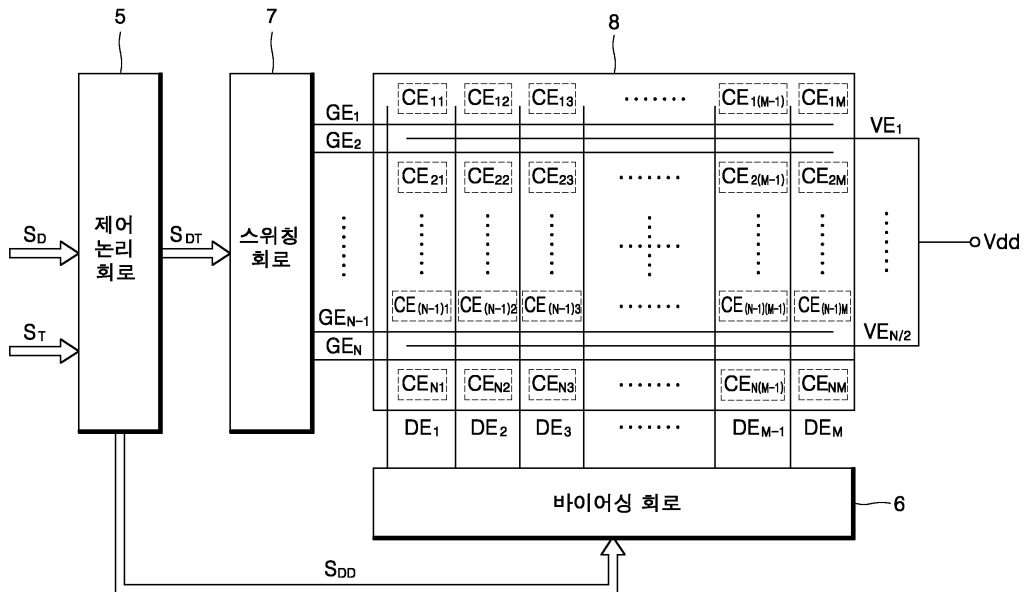
도면2



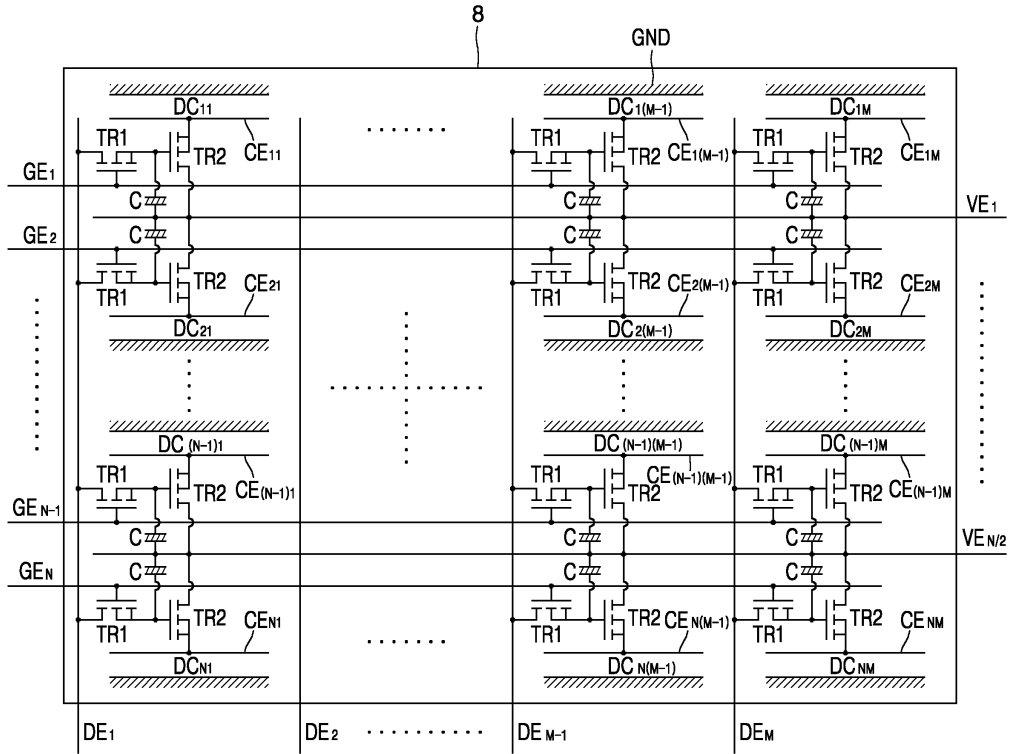
도면3



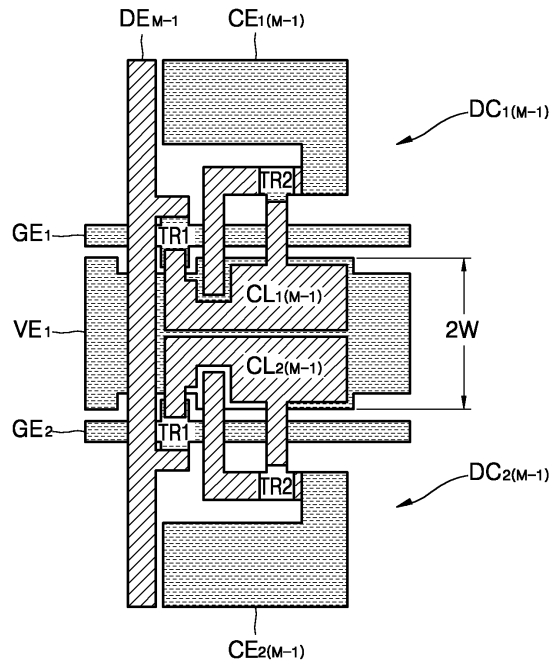
도면4



도면5



도면6



专利名称(译)	一种电致发光显示面板，其中共用偏置线		
公开(公告)号	KR100581853B1	公开(公告)日	2006-05-22
申请号	KR1020020057337	申请日	2002-09-19
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SEO SEONGMOH 서성모 CHOI KYUHWAN 최규환		
发明人	서성모 최규환		
IPC分类号	G09G3/30		
代理人(译)	李，杨HAE		
其他公开文献	KR1020040025384A		
外部链接	Espacenet		

摘要(译)

根据本发明的电致发光显示面板中，形成于扫描线与数据线交叉，并且一个偏置线是并排侧形成相对于扫描线，第一晶体管由扫描线和数据线驱动，且每个所述第一晶体管的第二晶体管并且根据操作状态选择性地将施加到偏置线的电压提供给单元电极。这里，每条偏置线位于该对扫描线之间，并将偏置电压施加到与该对扫描线对应的第二晶体管。度4

