

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H05B 33/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월10일 10-0558241 2006년02월28일
---------------------------------------	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0067750 2003년09월30일	(65) 공개번호 (43) 공개일자	10-2004-0030332 2004년04월09일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장	JP-P-2002-00288502 JP-P-2003-00055334	2002년10월01일 2003년03월03일	일본(JP) 일본(JP)
------------	--	----------------------------	------------------

(73) 특허권자 산요덴키가부시킴이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 요네다기요시
일본모토스공스나미쵸후루하시1495-6

(74) 대리인 장수길
이중희
구영창

심사관 : 여운석

(54) 일렉트로 루미네센스 표시 장치 및 그 제조 방법

요약

본 발명은 구동용 TFT의 패턴 사이즈를 작게 하는 것을 과제로 한다. 이를 위해, 화소 선택용 TFT(10)는 폴리실리콘 TFT이며, 유리 기판 등의 투명한 절연성 기판(100) 상에 형성된 폴리실리콘층으로 이루어지는 능동층(15) 상에 게이트 절연층(101)이 형성되며, 그 게이트 절연층(101) 상에, 게이트 신호선(50)으로부터 연장된 2개의 게이트(51, 52)가 형성되어 있다. 한편, 구동용 TFT(85)는 비정질 실리콘 TFT이며, 유리 기판 등의 투명한 절연성 기판(100) 상에 형성된 비정질 실리콘층으로 이루어지는 능동층(103) 상에 게이트 절연층(104)이 형성되고, 그 게이트 절연층(104) 상에 크롬층 혹은 폴리브덴층 등으로 이루어지는 게이트(20)가 형성되어 있다.

대표도

도 1

색인어

화소 선택용 TFT, 게이트, 유기 EL 소자, 절연성 기판, 스테퍼용 마스크

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 일렉트로 루미네센스 표시 장치의 평면 패턴도.

도 2는 화소 선택용 TFT(10) 및 구동용 TFT(85)의 구조를 나타내는 단면도.

도 3은 본 발명의 실시예에 따른 일렉트로 루미네센스 표시 장치의 제조 방법을 나타내는 도면.

도 4는 종래예에 따른 일렉트로 루미네센스 표시 장치의 회로도.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : 화소 선택용 TFT

15 : 화소 선택용 TFT의 능동층

20 : 게이트

50 : 게이트선

60 : 드레인선

70 : 유기 EL 소자

85 : 구동용 TFT

85A, 85B : 병렬 트랜지스터

90 : 전원 라인

100 : 절연성 기판

101 : 게이트 절연층

102 : 층간 절연층

103 : 구동용 TFT(85)의 능동층

200 : 스테퍼용 마스크

201 : 개구부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 표시 장치 및 그 제조 방법에 관한 것으로, 특히 각 화소마다, 화소 선택용 박막 트랜지스터와, 일렉트로 루미네센스 소자를 전류 구동하기 위한 구동용 박막 트랜지스터를 갖는 일렉트로 루미네센스 표시 장치 및 그 제조 방법에 관한 것이다.

최근, 일렉트로 루미네센스(Electro Luminescence : 이하, 「EL」이라 함) 소자를 이용한 EL 표시 장치는 CRT나 LCD를 대신하는 표시 장치로서 주목받고 있다. 특히, EL 소자를 구동시키는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor: 이하, 「TFT」라 함)를 구비한 EL 표시 장치가 개발되고 있다.

도 4는 유기 EL 표시 패널 내의 1 화소의 등가 회로도를 나타낸다. 실제의 유기 EL 표시 패널에서는 이 화소가 n행 m열의 매트릭스 형상으로 배치되어 있다.

게이트 신호 Gn을 공급하는 게이트 신호선(50)과, 표시 신호 Dm를 공급하는 드레인 신호선(60)이 상호 교차되어 있다.

이들 양 신호선의 교차점 부근에는 유기 EL 소자(70) 및 이 유기 EL 소자(70)를 구동하는 구동용 TFT(80), 화소를 선택하기 위한 화소 선택용 TFT(10)가 배치되어 있다.

구동용 TFT(80)의 소스에는 전원 라인(90)으로부터 양의 전원 전압 PVdd이 공급되어 있다. 또한, 그 드레인은 유기 EL 소자(70)의 애노드(71)에 접속되어 있다.

화소 선택용 TFT(10)의 게이트에는 게이트 신호선(50)이 접속됨으로써 게이트 신호 Gn가 공급되고, 드레인(10d)에는 드레인 신호선(60)이 접속되며, 표시 신호 Dm가 공급된다. 화소 선택용 TFT(10)의 소스(10s)는 구동용 TFT(80)의 게이트에 접속되어 있다. 여기서, 게이트 신호 Gn는 수직 드라이버 회로(도시 생략)로부터 출력된다. 표시 신호 Dm는 수평 드라이버 회로(도시 생략)로부터 출력된다.

또한, 유기 EL 소자(70)는 애노드(71), 캐소드(72), 이 애노드(71)와 캐소드(72) 사이에 형성된 발광 소자층(도시 생략)으로 이루어진다. 캐소드(72)에는 음의 전원 전압 CV이 공급되어 있다.

또한, 구동용 TFT(80)의 게이트에는 유지 용량 Cs이 접속되어 있다. 유지 용량 Cs은 표시 신호 Dm에 따른 전하를 유지함으로써, 1 필드 기간 동안 표시 화소의 표시 신호를 유지하기 위해 제공되어 있다.

상술한 구성의 EL 표시 장치의 동작을 설명한다. 게이트 신호 Gn이 1 수평 기간 동안 하이 레벨이 되면, 화소 선택용 TFT(10)가 온 상태로 된다. 이와 같이 하면, 드레인 신호선(60)으로부터 표시 신호 Dm이 화소 선택용 TFT(10)를 통해, 구동용 TFT(80)의 게이트에 인가된다.

그리고, 그 게이트에 공급된 표시 신호 Dm에 따라, 구동용 TFT(80)의 컨덕턴스가 변화하며, 그에 따른 구동 전류가 구동용 TFT(80)를 통해 유기 EL 소자(70)에 공급되고, 유기 EL 소자(70)가 점등한다. 그 게이트에 공급된 표시 신호 Dm에 따라, 구동용 TFT(80)가 오프 상태인 경우에는 구동용 TFT(80)에는 전류가 흐르지 않기 때문에, 유기 EL 소자(70)도 소등된다.

여기서, 화소 선택용 TFT(10) 및 구동용 TFT(80)의 능동층은 모두 폴리실리콘층으로 형성되어 있었다.

또, 관련된 선행 기술 문헌에는 예를 들면 이하의 특허 문헌 1이 있다.

[특허 문헌 1]

일본 특허 공개 2002-175029호 공보

발명이 이루고자 하는 기술적 과제

그런데, 화소 선택용 TFT(10)는 게이트 신호 Gn에 따라 고속으로 스위칭할 필요가 있으며, 낮은 온 저항을 구할 수 있음에 반해, 구동용 TFT(80)는 유기 EL 소자(70)에 흘리는 전류를 제한하기 위해, 오히려 높은 온 저항인 것이 바람직하다. 따라서, 종래에는 화소 선택용 TFT(10)의 채널폭은 넓게 설계되며, 구동용 TFT(80)의 채널 길이는 길게 설계되어 있었다.

이 때문에, 구동용 TFT(80)의 패턴 사이즈가 커진다는 문제가 있었다.

발명의 구성 및 작용

본 발명의 유기 EL 표시 장치는 상술한 과제를 감안하여 이루어진 것으로, 각 화소의 화소 선택용 트랜지스터를 폴리실리콘 박막 트랜지스터로 구성하고, 구동용 트랜지스터를 비정질 실리콘 박막 트랜지스터로 구성하는 것을 특징으로 하는 것이다.

이것에 의해, 화소 선택용 트랜지스터 및 구동용 트랜지스터에 필요한 특성에 맞추어서 최적의 설계가 가능해진다. 특히, 구동용 트랜지스터의 캐리어 이동도가 보다 작아지기 때문에, 그 채널 길이가 종래에 비해 짧더라도 높은 온 저항을 얻을 수 있도록 되어서, 구동용 TFT의 패턴 사이즈를 작게 하는 것이 가능해진다.

또한, 본 발명의 유기 EL 표시 장치의 제조 방법은 절연성 기판 상의 전면에 비정질 실리콘층을 형성하며, 그 비정질 실리콘층의 상기 화소 선택용 트랜지스터의 능동층 패턴 형성 영역에 상당하는 영역에 레이저 빔을 조사함으로써, 해당 영역의 비정질 실리콘층을 결정 성장시키고, 그 후, 그 비정질 실리콘층을 패터닝함으로써 화소 선택용 트랜지스터의 능동층 및 구동용 트랜지스터의 능동층을 형성하도록 하였다.

<발명의 실시예>

다음으로, 본 발명의 실시예에 대하여 도면을 참조하면서 상세히 설명한다. 먼저, 제1 실시예에 대하여 도 1 및 도 2를 참조하면서 설명한다. 도 1은 이 1 화소의 평면 패턴도이다. 또, 도 2는 화소 선택용 TFT(10) 및 구동용 TFT(85)의 구조를 나타내는 단면도이다. 실제의 유기 EL 표시 패널에서는 이 화소가 n행 m열의 매트릭스 형상으로 배치되어 있다. 본 실시예에서는 화소 선택용 TFT(10)를 폴리실리콘 TFT로 구성하며, 구동용 TFT(85)를 비정질 실리콘 TFT(85)로 구성하였다.

이하에서, 이 화소 구조에 대하여 상세히 설명한다. 게이트 신호 Gn를 공급하는 게이트 신호선(50)이 행 방향으로 연장되고, 표시 신호 Dm를 공급하는 드레인 신호선(60)이 행 방향으로 연장되며, 이들 신호선이 상호 입체적으로 교차되어 있다. 게이트 신호선(50)은 크롬층 혹은 몰리브덴층 등으로 이루어지며, 드레인 신호선(60)은 그 상층의 알루미늄층 등으로 이루어진다.

화소 선택용 TFT(10)는 폴리 실리콘 TFT이다. 이 화소 선택용 TFT(10)는 유리 기판 등의 투명한 절연성 기판(100) 상에 형성된 폴리실리콘층으로 이루어지는 능동층(15) 상에 게이트 절연층(101)이 형성되고, 그 게이트 절연층(101) 상에 게이트 신호선(50)으로부터 연장된 2개의 게이트(51, 52)가 형성되며, 더블 게이트 구조를 이루고 있다. 게이트(51, 52) 상에는 층간 절연층(102)이 형성되어 있다(도 2의 (a) 참조).

또한, 이 화소 선택용 TFT(10)의 소스(10d)는 드레인 신호선(60)과 콘택트(16)를 통해 접속되어 있다. 화소 선택용 TFT(10)의 드레인(10s)을 구성하고 있는 폴리실리콘층은 유지 용량 영역으로 연장되고, 그 상층의 유지 용량선(11)과 용량 절연막을 개재하여 오버랩되어 있으며, 이 오버랩 부분에서 유지 용량 Cs이 형성되어 있다.

그리고, 화소 선택용 TFT(10)의 드레인(10s)으로부터 연장된 폴리실리콘층은 구동용 TFT(85)의 게이트(20)에 알루미늄 배선(17)을 통해 접속되어 있다.

구동용 TFT(85)는 비정질 실리콘 TFT이다. 이 구동용 TFT(85)는 유리 기판 등의 투명한 절연성 기판(100) 상에 형성된 비정질 실리콘층으로 이루어지는 능동층(103) 상에 게이트 절연층(104)이 형성되며, 그 게이트 절연층(104) 상에 크롬층 혹은 몰리브덴층 등으로 이루어지는 게이트(20)가 형성되어 있다. 게이트(20) 상에는 층간 절연층(102)이 형성되어 있다. 게이트 절연층(104)은 화소 선택용 TFT(10)의 게이트 절연층(101)과 공통 공정으로 형성할 수 있다(도 2의 (b) 참조).

구동용 TFT(85)는 게이트(20)가 공통으로 입력된, 2개의 병렬 트랜지스터(85A, 85B)로 구성되며, 각 병렬 트랜지스터(85A, 85B)의 공통 소스는 콘택트를 통해, 양의 전원 전압 PVdd이 공급된 전원 라인(90)에 접속되어 있다. 또한, 각 병렬 트랜지스터(85A, 85B)의 공통 드레인은 콘택트를 통해 유기 EL 소자(70)의 애노드(71)에 접속되어 있다.

상술한 바와 같이, 화소 선택용 TFT(10)를 폴리실리콘 TFT로 구성하며, 구동용 TFT(85)를 비정질 실리콘 TFT(85)로 구성하기 위해서는 화소 선택용 TFT(10)의 능동층(15)을 폴리실리콘층으로 형성하며, 구동용 TFT(85)의 능동층(103)을 비정질 실리콘층으로 형성하는 것이 필요해진다. 그 제조 방법에 대하여 이하에 설명한다.

먼저, 절연성 기판(100) 상의 전면에 비정질 실리콘층을 CVD법에 의해 형성하며, 화소 선택용 TFT(10)의 능동층 형성 영역에 국소적으로 레이저 빔을 조사하고, 또한 레이저 빔의 조사 스폿을 해당 능동층 형성 영역을 따라 스캔한다.

이와 같이 하면, 처음의 조사 스폿에 생성된 종(種) 결정이 스캔 방향을 따라서 성장해가기 때문에, 능동층 형성 영역을 폴리실리콘화하는 것이 가능해진다. 한편, 구동용 TFT(85)의 능동층 형성 영역에 대해서는 레이저 조사가 행해지지 않기 때문에, 해당 영역에 대해서는 비정질 상태가 유지된다. 다음으로, 통상의 포토리소그래피 공정에 의해, 화소 선택용 TFT(10)의 능동층(15) 및 구동용 TFT(85)의 능동층(103)의 패턴 형성을 행한다.

또한, 화소 선택용 TFT(10)의 능동층 형성 영역에만 개구부가 형성된 마스크를 이용하고, 이 마스크를 통해 레이저 빔 조사를 행하여도 된다. 도 3은 그와 같은 유기 EL 표시 장치의 제조 방법을 나타내는 도면이다. 도 3의 (a)는 스테퍼용 마스크(200)의 구성을 나타내고 있다. 이 스테퍼용 마스크(200)는 1개의 유기 EL 표시 패널에 대응한 마스크이며, 복수의 화소마다, 화소 선택용 TFT(10)의 능동층 형성 영역(15a)에 대응하는 개구부(201)를 갖고 있다.

도 3의 (b)은 도 3의 (a)의 1개의 개구부(201)의 주변(도 3의 (a)의 점선으로 둘러싸인 영역)을 나타내는 확대도이다. 도 3의 (c)는 도 3의 (b)의 X-X선을 따른 절취한 단면도이다. 스테퍼용 마스크(200)는, 그 개구부(201)에 화소 선택용 TFT(10)의 능동층 형성 영역(15a)이 포함되도록 그 하측으로 배치된 절연성 기판(10)에 대하여 정렬되어 있다. 절연성 기판(10) 상에는 전면이 비정질 실리콘층(105)이 CVD법에 의해 퇴적되어 있다.

그리고, 스테퍼용 마스크(200)의 상측으로부터 레이저 빔이 절연성 기판(10)을 향해 조사된다. 이와 같이 하면, 스테퍼용 마스크(200)의 개구부(201)를 통해, 절연성 기판(10)의 비정질 실리콘층(105)에 레이저 빔이 소정 시간 조사되며, 이 부분의 비정질 실리콘이 용융되어, 그 후 냉각되는 과정에서 결정화가 발생된다. 이것에 의해, 화소 선택용 TFT(10)의 능동층 형성 영역(15a)의 비정질 실리콘은 그 그레인 사이즈가 커지거나, 혹은 폴리실리콘화된다. 한편, 구동용 TFT(85)의 능동층 형성 영역에 대해서는 스테퍼용 마스크(200)를 통해 레이저 빔이 조사되지 않기 때문에, 비정질 상태가 유지된다.

이와 같이 스테퍼용 마스크(200)를 이용하여 1개의 유기 EL 표시 패널에 대하여 레이저 빔의 일괄 조사가 행해진다. 그런데, 유기 EL 표시 장치를 양산하는 경우에는 복수의 유기 EL 표시 패널이 1개의 절연성 기판(10) 상에 매트릭스 형상으로 배열된다. 따라서, 스테퍼용 마스크(200)를 이용한 레이저 빔의 일괄 조사는 스텝 앤드 리피트에 의해 복수의 유기 EL 표시 패널에 대하여 순차적으로 행할 수 있다. 즉, 임의의 유기 EL 표시 패널에 대하여 스테퍼용 마스크(200)를 이용하여 레이저 빔의 일괄 조사를 행하고, 다음으로 인접하게 배치된 유기 EL 표시 패널에 대하여 마찬가지로 레이저 빔의 일괄 조사를 행한다. 그리고, 이 공정을 반복한다. 그리고, 모든 유기 EL 표시 패널에 레이저 빔 조사를 행한 후에, 통상의 포토리소그래피 공정으로, 화소 선택용 TFT(10)의 능동층(15) 및 구동용 TFT(85)의 능동층(103)의 패턴 형성을 행한다.

이와 같이, 본 실시예에 따르면, 고속 스위칭을 위해, 낮은 온 저항이 필요한 화소 선택용 TFT(10)를 폴리실리콘 TFT로 구성하며, 높은 온 저항이 필요한 구동용 TFT(85)를 비정질 실리콘 TFT로 구성하고 있다. 이것에 의해, 양 TFT를 각각에 필요한 특성에 맞추어서 최적으로 설계하는 것이 가능해진다. 특히, 구동용 TFT(85)의 캐리어 이동도는 화소 선택용 TFT(10)의 캐리어 이동도에 비해 보다 작아지기 때문에, 구동용 TFT(85)의 채널 길이가 짧더라도, 유기 EL 소자(70)에 흐리는 전류를 제한할 수 있도록 된다. 이것에 의해, TFT의 패턴 사이즈를 작게 할 수 있다.

다음으로, 제2 실시예에 대하여 설명한다. 본 실시예에서는 화소 선택용 TFT(10) 및 구동용 TFT(85)를 폴리실리콘 TFT로 구성하며, 구동용 TFT(85)의 그레인 사이즈를 화소 선택용 TFT(10)의 그레인 사이즈보다 작게한 것을 특징으로 한다. 즉, 화소 선택용 TFT(10)의 능동층(15)을 폴리실리콘층으로 형성하며, 구동용 TFT(85)의 능동층(103)에 대해서도 폴리실리콘층으로 형성한다. 그리고, 구동용 TFT(85)의 능동층(103)의 폴리실리콘 그레인 사이즈를 화소 선택용 TFT(10)의 능동층(15)의 폴리실리콘 그레인 사이즈보다 작게 한다. 다른 구성에 대해서는 제1 실시예와 마찬가지로 한다.

폴리실리콘 TFT의 캐리어 이동도는 폴리실리콘 그레인 사이즈에 비례하여 커진다. 따라서, 본 실시예에 따르면, 구동용 TFT(85)의 캐리어 이동도는 화소 선택용 TFT(10)의 캐리어 이동도에 비해 보다 작아진다. 이것에 의해, 제1 실시예와 마찬가지로, 구동용 TFT(85)의 채널 길이가 짧더라도, 유기 EL 소자(70)에 흐리는 전류를 제한할 수 있도록 되어, TFT의 패턴 사이즈를 작게 할 수 있다.

이러한 그레인 사이즈가 다른 화소 선택용 TFT(10) 및 구동용 TFT(85)를 형성하는 방법으로서, 절연성 기판(100) 상의 전면이 비정질 실리콘층을 CVD법에 의해 형성하여, 레이저 조사(예를 들면, 엑시머 레이저 조사)에 의해 비정질 실리콘층을 결정화시킬 때에, 레이저의 파워를 바꾸는 방법이나, 파워는 바꾸지 않고 레이저의 조사 방법을 바꾸는 방법이 있다. 여기서, 레이저의 조사 방법을 바꾸는 방법으로서, 예를 들면, 펄스 레이저의 펄스 주기의 설정을 바꾸는 방법, 펄스 레이저를 스캔시킬 때에 해당 펄스 레이저의 오버랩시키는 정도를 바꾸는 방법, 레이저 빔의 형상(스폿 빔, 라인 빔)을 바꾸는 방법이 있으며, 이들 방법 중, 어느 하나를 선택할 수 있다.

또, 상기 실시예에서는 구동용 TFT(85)를 병렬 트랜지스터(85A, 85B)로 구성하고 있지만, 이것은 한쪽의 트랜지스터가 불량하더라도 동작하도록 백업한 것이므로, 반드시 병렬 구성을 채용하지 않아도 된다.

또한, 상기 실시예에서는 화소 선택용 TFT(10)를 더블 게이트 구조로 구성하고 있지만 싱글 게이트 구조이어도 된다.

발명의 효과

본 발명에 따르면, 낮은 온 저항이 필요한 화소 선택용 트랜지스터를 폴리실리콘 박막 트랜지스터로 구성하며, 높은 온 저항이 필요한 구동용 트랜지스터를 비정질 실리콘 박막 트랜지스터로 구성하였기 때문에, 구동용 트랜지스터의 캐리어 이동도가 화소 선택용 트랜지스터의 이동도에 비해 보다 작아지기 때문에, 높은 온 저항을 얻기 위해, 그 채널 길이를 보다 짧게 하는 것이 가능하게 되어, 구동용 TFT의 패턴 사이즈를 작게 하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

복수의 화소를 구비하며, 각 화소는 일렉트로 루미네센스 소자와, 게이트 신호에 따라 각 화소를 선택하기 위한 화소 선택용 트랜지스터와, 상기 화소 선택용 트랜지스터를 통해 공급되는 표시 신호에 따라 상기 일렉트로 루미네센스 소자에 전류를 공급하는 구동용 트랜지스터를 포함하며, 상기 화소 선택용 트랜지스터는 폴리실리콘 박막 트랜지스터로 이루어지며, 상기 구동용 트랜지스터는 비정질 실리콘 박막 트랜지스터로 이루어지는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치.

청구항 2.

삭제

청구항 3.

복수의 화소를 구비하며, 각 화소는 일렉트로 루미네센스 소자와, 게이트 신호에 따라 각 화소를 선택하기 위한 화소 선택용 박막 트랜지스터와, 상기 화소 선택용 박막 트랜지스터를 통해 공급되는 표시 신호에 따라 상기 일렉트로 루미네센스 소자에 전류를 공급하는 구동용 박막 트랜지스터를 포함하며, 상기 화소 선택용 박막 트랜지스터 및 상기 구동용 박막 트랜지스터가 폴리실리콘 박막 트랜지스터이며, 상기 구동용 박막 트랜지스터의 그레인 사이즈가 상기 화소 선택용 박막 트랜지스터의 그레인 사이즈보다 작은 것을 특징으로 하는 일렉트로 루미네센스 표시 장치.

청구항 4.

복수의 화소를 구비하며, 각 화소는 일렉트로 루미네센스 소자와, 게이트 신호에 따라 각 화소를 선택하기 위한 화소 선택용 트랜지스터와, 상기 화소 선택용 트랜지스터를 통해 공급되는 표시 신호에 따라 상기 일렉트로 루미네센스 소자에 전류를 공급하는 구동용 트랜지스터를 갖는 일렉트로 루미네센스 표시 장치의 제조 방법으로서,

절연성 기관 상의 전면에서 비정질 실리콘층을 형성하는 공정과,

상기 비정질 실리콘층의 상기 화소 선택용 트랜지스터의 능동층 패턴 형성 영역에 상당하는 영역에 레이저 빔을 조사함으로써, 상기 영역의 비정질 실리콘층을 결정 성장시키는 공정과,

그 후, 상기 비정질 실리콘층을 패터닝함으로써, 상기 화소 선택용 트랜지스터의 능동층 및 상기 구동용 트랜지스터의 능동층을 형성하는 공정

을 포함하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

청구항 5.

제4항에 있어서,

상기 비정질 실리콘층의 상기 화소 선택용 트랜지스터의 능동층 패턴 형성 영역에 상당하는 영역에 개구부를 갖는 마스크를 준비하고, 상기 마스크의 개구부를 통해 레이저 빔을 상기 영역에 일괄 조사하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

청구항 6.

제5항에 있어서,

상기 마스크를 이용한 레이저 빔의 일괄 조사를 스텝 앤드 리피트에 의해 반복하여 행하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

청구항 7.

절연성 기판 상에 일렉트로 루미네센스 소자와, 상기 일렉트로 루미네센스 소자를 구동하기 위한 화소 선택용 박막 트랜지스터 및 구동용 박막 트랜지스터를 갖는 일렉트로 루미네센스 표시 장치의 제조 방법으로서,

상기 절연성 기판 상의 전면에 비정질 실리콘층을 형성하는 공정과,

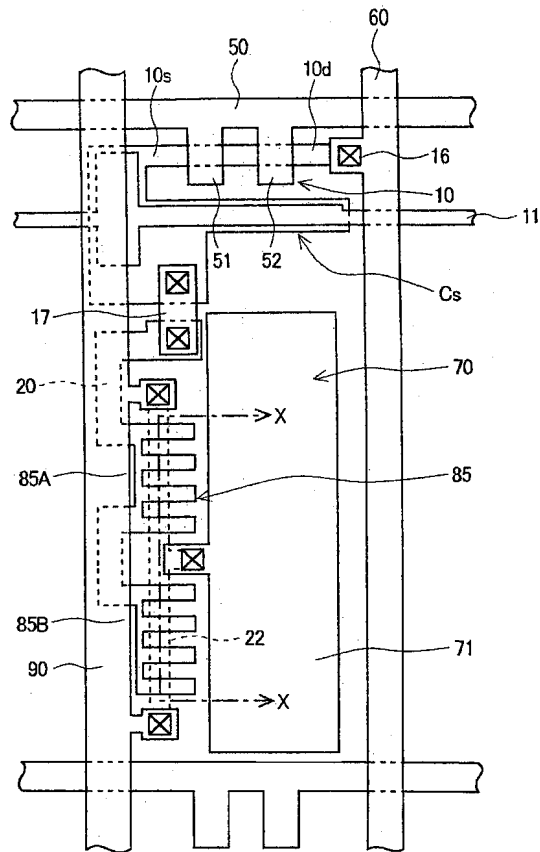
상기 비정질 실리콘층의 상기 화소 선택용 박막 트랜지스터의 능동층 패턴 형성 영역에 상당하는 영역에 개구부를 갖는 마스크를 준비하고, 상기 마스크의 개구부를 통해 레이저 빔을 상기 영역에 스텝 앤드 리피트에 의해 일괄 조사함으로써, 상기 영역의 비정질 실리콘층을 결정 성장시키는 공정과,

그 후, 상기 비정질 실리콘층을 패터닝함으로써, 상기 화소 선택용 박막 트랜지스터의 능동층 및 상기 구동용 박막 트랜지스터의 능동층을 형성하는 공정

을 포함하는 것을 특징으로 하는 일렉트로 루미네센스 표시 장치의 제조 방법.

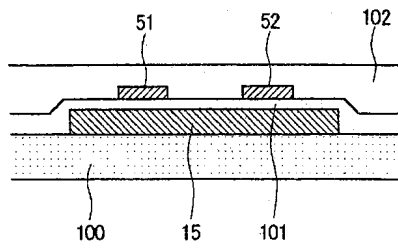
도면

도면1

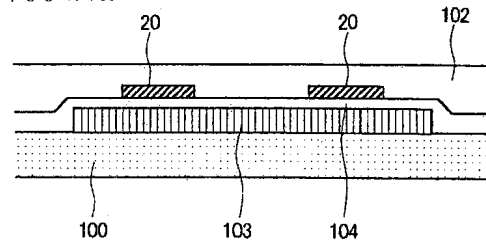


도면2

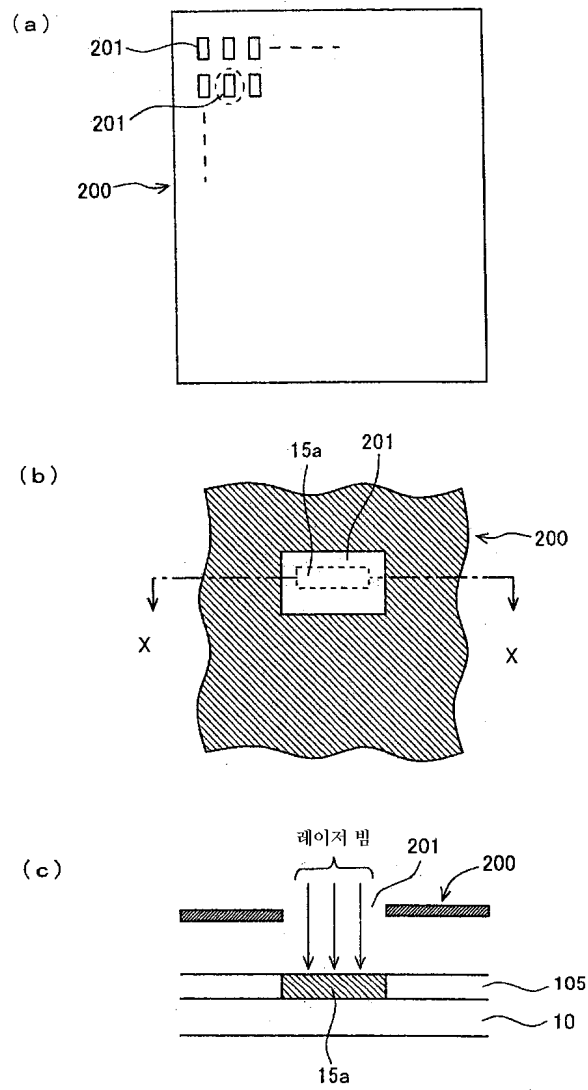
(A) 화소 선택용 TFT10



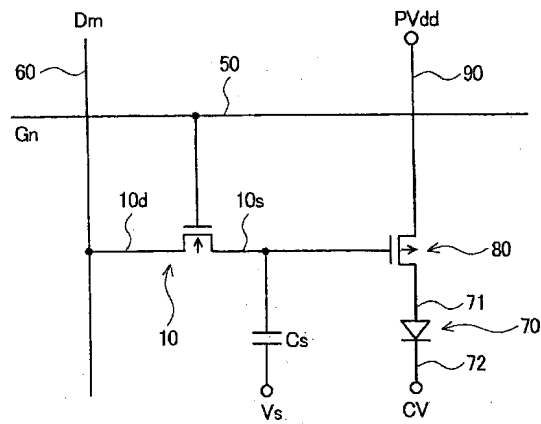
(B) 구동용 TFT85



도면3



도면4



专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	KR100558241B1	公开(公告)日	2006-03-10
申请号	KR1020030067750	申请日	2003-09-30
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	YONEDA KIYOSHI 요네다기요시		
发明人	요네다기요시		
IPC分类号	H05B33/00 H05B33/08 G09F9/30 G09G3/30 G09G3/32 G09G3/36 H01L21/336 H01L21/77 H01L27/12 H01L27/32 H01L29/04 H01L29/786 H01L51/50 H05B33/10 H05B33/12 H05B33/14		
CPC分类号	H01L27/12 G09G3/3225 G09G2300/0417 G09G2300/0426 G09G2300/0842 H01L27/1285 H01L27/3244 H01L29/04		
代理人(译)	Yijunghui Jangsugil		
优先权	2002288502 2002-10-01 JP 2003055334 2003-03-03 JP		
其他公开文献	KR1020040030332A		
外部链接	Espacenet		

摘要(译)

本发明旨在减小驱动TFT的图案尺寸。为此，像素选择TFT 10是多晶硅TFT，并且栅极绝缘层101形成在由在诸如玻璃基板的透明绝缘基板100上形成的多晶硅层形成的有源层15上。并且在栅极绝缘层101上形成从栅极信号线50延伸的两个栅极51和52。另一方面，驱动TFT 85是非晶硅TFT，栅极绝缘层104形成在由形成在透明绝缘基板100(例如玻璃基板)上的非晶硅层制成的有源层103上，在栅极绝缘层104上形成由铬层，钼层等制成的栅极20。1 指数方面 像素选择TFT，栅极，有机EL元件，绝缘基板，步进器用掩模

