



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0003166
(43) 공개일자 2012년01월10일

(51) Int. Cl.

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

(21) 출원번호 10-2010-0063869

(22) 출원일자 2010년07월02일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동, 삼성 전자)

(72) 발명자

최중현

경기도 용인시 기흥구 삼성2로 95 (농서동, 삼성 전자)

이대우

경기도 용인시 기흥구 삼성2로 95 (농서동, 삼성 전자)

(74) 대리인

리엔목특허법인

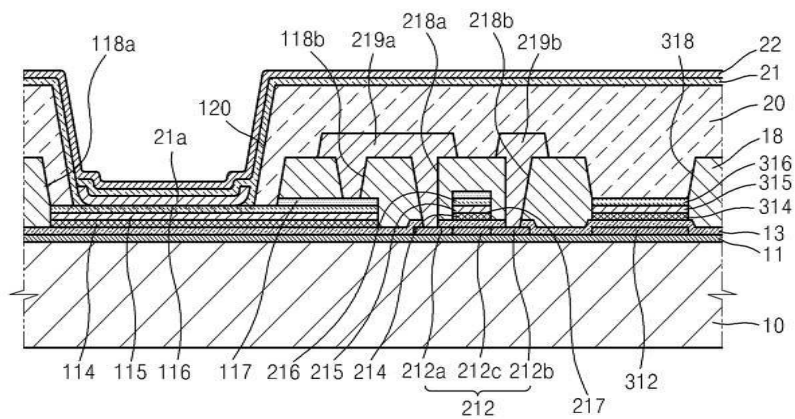
전체 청구항 수 : 총 23 항

(54) 유기 발광 디스플레이 장치 및 그 제조 방법

(57) 요약

본 발명은 제조 공정이 단순하고 표시 품질을 향상시키기 위한 것으로, 기판 상에 형성되고 반도체 물질로 구비된 박막 트랜지스터의 활성층과, 상기 기판 상에 형성되고 불순물 이온이 도핑된 반도체 물질로 구비된 커패시터의 하부 전극과, 상기 활성층 및 상기 하부 전극을 덮도록 상기 기판 상에 형성된 제1절연층과, 상기 제1절연층 상에 형성되며, 은 또는 은 합금으로 구비된 제1게이트 전극, 투명도전물로 구비된 제2게이트 전극 및 금속으로 구비된 제3게이트 전극이 순차 적층된 박막 트랜지스터의 게이트 전극과, 상기 제1절연층 상에 형성되고, 은 또는 은 합금으로 구비된 제1화소 전극 및 투명 도전물로 구비된 제2화소 전극이 순차 적층된 화소 전극과, 상기 제1절연층 상에 형성되고, 은 또는 은 합금으로 구비된 제1상부 전극 및 투명 도전물로 구비된 제2상부 전극이 순차 적층된 커패시터의 상부 전극과, 상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극과, 상기 화소 전극 상에 배치되고 유기 발광층을 포함하는 유기층과, 상기 중간층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극을 포함하는 유기 발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

대표도 - 도18



특허청구의 범위

청구항 1

기판 상에 형성되고 반도체 물질로 구비된 박막 트랜지스터의 활성층;

상기 기판 상에 형성되고 불순물 이온이 도핑된 반도체 물질로 구비된 커패시터의 하부 전극;

상기 활성층 및 상기 하부 전극을 덮도록 상기 기판 상에 형성된 제1절연층;

상기 제1절연층 상에 형성되며, 은 또는 은 합금으로 구비된 제1게이트 전극, 투명도전물로 구비된 제2게이트 전극 및 금속으로 구비된 제3게이트 전극이 순차 적층된 박막 트랜지스터의 게이트 전극;

상기 제1절연층 상에 형성되고, 은 또는 은 합금으로 구비된 제1화소 전극 및 투명 도전물로 구비된 제2화소 전극이 순차 적층된 화소 전극;

상기 제1절연층 상에 형성되고, 은 또는 은 합금으로 구비된 제1상부 전극 및 투명 도전물로 구비된 제2상부 전극이 순차 적층된 커패시터의 상부 전극;

상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극;

상기 화소 전극 상에 배치되고 유기 발광층을 포함하는 유기층; 및

상기 중간층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 제1게이트 전극, 제1화소 전극 및 제1상부 전극은, 제1금속층, 투명 도전층 및 제2금속층이 순차 적층된 구조를 포함하고, 상기 제1금속층 및 제2금속층 중 적어도 하나는 은 또는 은 합금인 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 3

제 2 항에 있어서,

상기 제1금속층 및 제2금속층의 두께는 각각 20 내지 130Å인 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 4

제 2 항에 있어서,

상기 제1금속층 및 제2금속층의 두께의 합은 100 내지 200Å인 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 5

제 1 항에 있어서,

상기 제2게이트 전극, 제2화소 전극 및 제2상부 전극은 동일한 투명 도전물로 형성되고, 상기 투명 도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 6

제 1 항에 있어서,

상기 제2화소 전극 상에 적층되고 금속으로 구비된 제3화소 전극; 및

상기 제3화소 전극 및 게이트 전극을 덮도록 상기 제1절연층 상에 형성되고, 상기 제2화소 전극의 일부를 노출시키는 제1개구와, 상기 제3화소 전극의 일부를 노출시키는 제2개구와, 상기 제2상부 전극을 노출시키는 제3개구를 포함하는 제2절연층;을 포함하고,

상기 소스 및 드레인 전극은 상기 제2절연층 상에 형성되고, 상기 소스 및 드레인 전극 중 어느 하나는 상기 제2개구를 통해 상기 제3화소 전극과 콘택된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 7

제 6 항에 있어서,

상기 제3화소 전극 및 제3게이트 전극은 동일한 금속으로 형성되고, 상기 금속은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 8

제 6 항에 있어서,

상기 제3화소 전극 및 제3게이트 전극은 다층의 금속층을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

제 1 항에 있어서,

상기 제1화소 전극은 상기 유기 발광층에서 방출된 광을 일부 투과 및 일부 반사하는 반투과 미러인 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 10

제 1 항에 있어서,

상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하도록 구비된 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 11

제 1 항에 있어서,

상기 제1 화소 전극의 단부와, 상기 제2화소 전극의 단부는 식각면이 동일한 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 12

제 6 항에 있어서,

상기 제2절연층 상에 형성된 제3절연층을 더 포함하고, 상기 제3절연층은 상기 제1개구를 통해 노출된 상기 제2화소 전극의 일부를 노출시키는 제4개구를 포함하고, 상기 소스 및 드레인 전극과 상기 제3개구를 통해 노출된 상기 제2상부 전극을 덮는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 13

제 1 항에 있어서,

상기 제1절연층과 상기 제1게이트 전극 사이에 개재되고 투명 도전물로 구비된 제4게이트 전극;
 상기 제1절연층과 상기 제1화소 전극 사이에 개재되고 투명 도전물로 구비된 제4화소 전극; 및
 상기 제1절연층과 상기 제1상부 전극 사이에 개재되고 투명 도전물로 구비된 제4상부 전극;을 더 포함하고,
 상기 제4게이트 전극, 제4화소 전극 및 제4상부 전극은 동일한 투명 도전물로 형성되며, 상기 투명 도전물은 인

들텐옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 14

기관 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1 마스크 공정;

상기 활성층 및 하부 전극을 덮도록 기관 상에 제1절연층을 형성하고, 상기 제1 절연층 상에, 은 또는 은 합금으로 구비된 제1도전층, 투명 도전물로 구비된 제2도전층 및 금속으로 구비된 제3도전층을 순차 적층한 후 패터닝하여, 제1화소 전극, 제2화소 전극 및 제3화소 전극이 순차 적층된 화소 전극과, 제1게이트 전극, 제2게이트 전극 및 제3게이트 전극이 순차 적층된 박막 트랜지스터의 게이트 전극과, 제1상부 전극, 제2상부 전극 및 제3상부 전극이 순차 적층된 커패시터의 상부 전극을 형성하는 제2 마스크 공정;

상기 화소 전극, 게이트 전극 및 상부 전극을 덮도록 상기 제1 절연층 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 제3화소 전극을 노출시키는 제1개구 및 제2개구, 상기 활성층의 소스 및 드레인 영역을 노출시키는 콘택홀 및 상계 제3상부 전극을 노출시키는 제3개구를 형성하는 제3 마스크 공정;

상기 제2절연층 상에, 상기 제1개구 내지 제3개구 및 콘택홀을 통해 노출된 부분을 덮도록 제4도전층을 형성하고, 상기 제4도전층을 패터닝하여 소스 및 드레인 전극을 형성하는 제4 마스크 공정; 및

상기 소스 및 드레인 전극을 덮도록 상기 제2절연층 상에 제3절연층을 형성하고, 상기 제3절연층을 패터닝하여 상기 화소 전극을 노출시키는 제4개구를 형성하는 제5 마스크 공정;을 포함하는 유기 발광 디스플레이 장치의 제조방법.

청구항 15

제 14 항에 있어서,

상기 제2 마스크 공정 후, 상기 제1게이트 전극 내지 제3게이트 전극을 마스크로 하여 상기 소스 및 드레인 영역에 이온 불순물을 도핑하는 공정이 더 포함된 유기 발광 디스플레이 장치의 제조방법.

청구항 16

제 14 항에 있어서,

상기 제4 마스크 공정은, 상기 제1개구를 통해 노출된 제3화소 전극의 부분 및 상기 제3개구를 통해 노출된 제3상부 전극을 제거하는 공정을 포함하는 유기 발광 디스플레이 장치의 제조방법.

청구항 17

제 14 항에 있어서,

상기 제4 마스크 공정 후, 상기 제3개구를 통해 노출된 제2상부 전극 상으로부터 불순물 이온을 상기 하부 전극에 도핑하는 공정이 더 포함된 유기 발광 디스플레이 장치의 제조방법.

청구항 18

제 14 항에 있어서,

상기 제1도전층은, 제1금속층, 투명 도전층 및 제2금속층이 순차 적층된 구조를 포함하고, 상기 제1금속층 및 제2금속층 중 적어도 하나는 은 또는 은 합금인 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 19

제 18 항에 있어서,

상기 제1금속층 및 제2금속층의 두께는 각각 20 내지 130Å인 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 20

제 18 항에 있어서,

상기 제1금속층 및 제2금속층의 두께의 합은 100 내지 200Å인 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 21

제 14 항에 있어서,

상기 제2도전층은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 22

제 14 항에 있어서,

상기 제3도전층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

청구항 23

제 14 항에 있어서,

상기 제2 마스크 공정은, 상기 제1절연층과 제1도전층 사이에 투명 도전물로 구비된 제4도전층을 개재한 후, 상기 제1도전층 내지 제3도전층과 동시에 패터닝하여, 상기 제1절연층과 제1화소 전극 사이에 제4화소 전극이 개재되고, 상기 제1절연층과 제1게이트 전극 사이에 제4게이트 전극이 개재되며, 상기 제1절연층과 제1상부 전극 사이에 제4상부 전극이 개재되도록 하는 단계를 더 포함하고,

상기 투명 도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것으로, 더 상세하게는 제조 공정이 단순하고 표시 품질이 우수한 유기 발광 디스플레이 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 디스플레이 장치는 경량 박형이 가능할 뿐만 아니라, 넓은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 디스플레이 장치로서 주목받고 있다.

[0003] 한편, 풀 컬러(full color)를 구현하는 유기 발광 디스플레이 장치의 경우, 색이 다른 각 화소(예를 들어, 적색, 녹색, 청색 화소)의 유기 발광층에서 사출되는 각 파장의 광학 길이를 변화시키는 광 공진 구조가 채용되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 제조 공정이 단순하고 표시 품질이 우수하며 대면적 적용이 더욱 우수한 유기 발광 디스플레이 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0005] 본 발명의 일 측면에 의하면, 기판 상에 형성되고 반도체 물질로 구비된 박막 트랜지스터의 활성층과, 상기 기판 상에 형성되고 불순물 이온이 도핑된 반도체 물질로 구비된 커패시터의 하부 전극과, 상기 활성층 및 상기 하부 전극을 덮도록 상기 기판 상에 형성된 제1절연층과, 상기 제1절연층 상에 형성되며, 은 또는 은 합금으로 구비된 제1게이트 전극, 투명 도전물로 구비된 제2게이트 전극 및 금속으로 구비된 제3게이트 전극이 순차 적층된 박막 트랜지스터의 게이트 전극과, 상기 제1절연층 상에 형성되고, 은 또는 은 합금으로 구비된 제1화소 전극 및 투명 도전물로 구비된 제2화소 전극이 순차 적층된 화소 전극과, 상기 제1절연층 상에 형성되고, 은 또는 은 합금으로 구비된 제1상부 전극 및 투명 도전물로 구비된 제2상부 전극이 순차 적층된 커패시터의 상부 전극과, 상기 활성층과 전기적으로 연결된 박막 트랜지스터의 소스 및 드레인 전극과, 상기 화소 전극 상에 배치되고 유기 발광층을 포함하는 유기층과, 상기 중간층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극을 포함하는 유기 발광 디스플레이 장치를 제공한다.
- [0006] 본 발명의 다른 특징에 의하면, 상기 제1게이트 전극, 제1화소 전극 및 제1상부 전극은, 제1금속층, 투명 도전층 및 제2금속층이 순차 적층된 구조를 포함하고, 상기 제1금속층 및 제2금속층 중 적어도 하나는 은 또는 은 합금일 수 있다.
- [0007] 본 발명의 또 다른 특징에 의하면, 상기 제1금속층 및 제2금속층의 두께는 각각 20 내지 130Å일 수 있다.
- [0008] 본 발명의 또 다른 특징에 의하면, 상기 제1금속층 및 제2금속층의 두께의 합은 100 내지 200Å일 수 있다.
- [0009] 본 발명의 또 다른 특징에 의하면, 상기 제2게이트 전극, 제2화소 전극 및 제2상부 전극은 동일한 투명 도전물로 형성되고, 상기 투명 도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0010] 본 발명의 또 다른 특징에 의하면, 상기 제2화소 전극 상에 적층되고 금속으로 구비된 제3화소 전극과, 상기 제3화소 전극 및 게이트 전극을 덮도록 상기 제1절연층 상에 형성되고, 상기 제2화소 전극의 일부를 노출시키는 제1개구와, 상기 제3화소 전극의 일부를 노출시키는 제2개구와, 상기 제2상부 전극을 노출시키는 제3개구를 포함하는 제2절연층을 포함하고, 상기 소스 및 드레인 전극은 상기 제2절연층 상에 형성되고, 상기 소스 및 드레인 전극 중 어느 하나는 상기 제2개구를 통해 상기 제3화소 전극과 콘택된 것일 수 있다.
- [0011] 본 발명의 또 다른 특징에 의하면, 상기 제3화소 전극 및 제3게이트 전극은 동일한 금속으로 형성되고, 상기 금속은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.
- [0012] 본 발명의 또 다른 특징에 의하면, 상기 제3화소 전극 및 제3게이트 전극은 다층의 금속층을 포함할 수 있다.
- [0013] 본 발명의 또 다른 특징에 의하면, 상기 제1화소 전극은 상기 유기 발광층에서 방출된 광을 일부 투과 및 일부 반사하는 반투과 미러일 수 있다.
- [0014] 본 발명의 또 다른 특징에 의하면, 상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하도록 구비될 수 있다.
- [0015] 본 발명의 또 다른 특징에 의하면, 상기 제1 화소 전극의 단부와, 상기 제2화소 전극의 단부는 식각면이 동일할 수 있다.
- [0016] 본 발명의 또 다른 특징에 의하면, 상기 제2절연층 상에 형성된 제3절연층을 더 포함하고, 상기 제3절연층은 상기 제1개구를 통해 노출된 상기 제2화소 전극의 일부를 노출시키는 제4개구를 포함하고, 상기 소스 및 드레인 전극과 상기 제3개구를 통해 노출된 상기 제2상부 전극을 덮는 것일 수 있다.
- [0017] 본 발명의 또 다른 특징에 의하면, 상기 제1절연층과 상기 제1게이트 전극 사이에 개재되고 투명 도전물로 구비된 제4게이트 전극과, 상기 제1절연층과 상기 제1화소 전극 사이에 개재되고 투명 도전물로 구비된 제4화소 전극과, 상기 제1절연층과 상기 제1상부 전극 사이에 개재되고 투명 도전물로 구비된 제4상부 전극을 더 포함하고, 상기 제4게이트 전극, 제4화소 전극 및 제4상부 전극은 동일한 투명 도전물로 형성되며, 상기 투명 도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드

(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0018] 본 발명은 또한 전술한 목적을 달성하기 위하여, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1 마스크 공정과, 상기 활성층 및 하부 전극을 덮도록 기판 상에 제1절연층을 형성하고, 상기 제1 절연층 상에, 은 또는 은 합금으로 구비된 제1도전층, 투명 도전물로 구비된 제2도전층 및 금속으로 구비된 제3도전층을 순차 적층한 후 패터닝하여, 제1화소 전극, 제2화소 전극 및 제3화소 전극이 순차 적층된 화소 전극과, 제1게이트 전극, 제2게이트 전극 및 제3게이트 전극이 순차 적층된 박막 트랜지스터의 게이트 전극과, 제1상부 전극, 제2상부 전극 및 제3상부 전극이 순차 적층된 커패시터의 상부 전극을 형성하는 제2 마스크 공정과, 상기 화소 전극, 게이트 전극 및 상부 전극을 덮도록 상기 제1 절연층 상에 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여 상기 제3화소 전극을 노출시키는 제1개구 및 제2개구, 상기 활성층의 소스 및 드레인 영역을 노출시키는 콘택홀 및 상기 제3상부 전극을 노출시키는 제3개구를 형성하는 제3 마스크 공정과, 상기 제2절연층 상에, 상기 제1개구 내지 제3개구 및 콘택홀을 통해 노출된 부분을 덮도록 제4도전층을 형성하고, 상기 제4도전층을 패터닝하여 소스 및 드레인 전극을 형성하는 제4 마스크 공정과, 상기 소스 및 드레인 전극을 덮도록 상기 제2절연층 상에 제3절연층을 형성하고, 상기 제3절연층을 패터닝하여 상기 화소 전극을 노출시키는 제4개구를 형성하는 제5 마스크 공정을 포함하는 유기 발광 디스플레이 장치의 제조방법을 제공한다.

[0019] 본 발명의 다른 특징에 의하면, 상기 제2 마스크 공정 후, 상기 제1게이트 전극 내지 제3게이트 전극을 마스크로 하여 상기 소스 및 드레인 영역에 이온 불순물을 도핑하는 공정이 더 포함될 수 있다.

[0020] 본 발명의 또 다른 특징에 의하면, 상기 제4 마스크 공정은, 상기 제1개구를 통해 노출된 제3화소 전극의 부분 및 상기 제3개구를 통해 노출된 제3상부 전극을 제거하는 공정을 포함할 수 있다.

[0021] 본 발명의 또 다른 특징에 의하면, 상기 제4 마스크 공정 후, 상기 제3개구를 통해 노출된 제2상부 전극 상으로부터 불순물 이온을 상기 하부 전극에 도핑하는 공정이 더 포함될 수 있다.

[0022] 본 발명의 또 다른 특징에 의하면, 상기 제1도전층은, 제1금속층, 투명 도전층 및 제2금속층이 순차 적층된 구조를 포함하고, 상기 제1금속층 및 제2금속층 중 적어도 하나는 은 또는 은 합금일 수 있다.

[0023] 본 발명의 또 다른 특징에 의하면, 상기 제1금속층 및 제2금속층의 두께는 각각 20 내지 130Å일 수 있다.

[0024] 본 발명의 또 다른 특징에 의하면, 상기 제1금속층 및 제2금속층의 두께의 합은 100 내지 200Å일 수 있다.

[0025] 본 발명의 또 다른 특징에 의하면, 상기 제2도전층은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0026] 본 발명의 또 다른 특징에 의하면, 상기 제3도전층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.

[0027] 본 발명의 또 다른 특징에 의하면, 상기 제2 마스크 공정은, 상기 제1절연층과 제1도전층 사이에 투명 도전물로 구비된 제4도전층을 개재한 후, 상기 제1도전층 내지 제3도전층과 동시에 패터닝하여, 상기 제1절연층과 제1화소 전극 사이에 제4화소 전극이 개재되고, 상기 제1절연층과 제1게이트 전극 사이에 제4게이트 전극이 개재되며, 상기 제1절연층과 제1상부 전극 사이에 제4상부 전극이 개재되도록 하는 단계를 더 포함하고, 상기 투명 도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

발명의 효과

[0028] 상기와 같은 본 발명에 따른 유기 발광 디스플레이 장치 및 그 제조 방법은 다음과 같은 효과를 제공한다.

[0029] 첫째, 화소 전극이 광투과와 반사 특성이 모두 좋은 은 또는 은 합금으로 형성된 반투과 미러를 가짐으로써 화

상이 화소 전극의 방향으로 구현되는 배면 발광형에서 광학적 공진을 구현할 수 있어 광효율을 더욱 높일 수 있다.

[0030] 둘째, 상기 반투과 미러를 은 또는 은 합금으로 형성할 때에, 제1금속층 및 제2금속층으로 나누어 구현함으로써 화소 전극의 패터닝 공정 시, 투명 도전층이나 게이트 전극 등을 손상시키지 않고, 화소 전극의 복수 적층 구조를 단일 공정으로 패터닝할 수 있게 되어 공정성이 더욱 향상된다.

[0031] 셋째, 5회의 마스크 공정으로 반투과 미러를 구비한 유기 발광 디스플레이 장치를 제조할 수 있다.

[0032] 넷째, 단순한 공정으로 MIM 커패시터 구조를 형성할 수 있기 때문에 공정성과 함께 회로적 특성도 더욱 향상시킬 수 있다.

도면의 간단한 설명

[0033] 도 1 내지 17은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 제조 과정을 개략적으로 도시한 단면도들이다.

도 18은 상기 제조 방법에 의해 형성된 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0035] 먼저, 도 1 내지 18을 참조하여, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치 및 그 제조 방법을 설명한다.

[0036] 도 1 내지 17은 본 실시예에 따른 유기 발광 디스플레이 장치의 제조 과정을 개략적으로 도시한 단면도이고, 도 18은 상기 제조 방법에 의해 형성된 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.

[0037] 도 1을 참조하면, 기판(10) 상에 버퍼층(11) 및 반도체층(12)이 순차로 형성되어 있다.

[0038] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 상기 기판(10) 상에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등을 포함하는 버퍼층(11)이 더 구비될 수 있다.

[0039] 버퍼층(11) 및 반도체층(12)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.

[0040] 버퍼층(11) 상에는 반도체층(12)이 증착된다. 반도체층(12)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)일 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

[0041] 도 2를 참조하면, 반도체층(12) 상에 제 1 포토레지스터(P1)를 도포하고, 광차단부(M11) 및 광투과부(M12)를 구비한 제 1 포토마스크(M1)를 이용한 제 1 마스크 공정을 실시한다.

[0042] 상기 도면에는 상세히 도시되지 않았으나, 노광장치(미도시)로 제 1 포토마스크(M1)에 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거친다.

[0043] 도 3을 참조하면, 제 1 포토마스크 공정의 결과로 상기 반도체층(12)은 박막 트랜지스터의 활성층(212), 및 상기 활성층(21)과 동일층에 동일 물질로 형성된 커패시터의 하부 전극(312)으로 패터닝된다.

[0044] 도 4를 참조하면, 도 3의 구조물 상에 제1 절연층(13), 제1도전층(15), 제2도전층(16) 및 제3도전층(17)이 순서대로 적층된다.

[0045] 제1 절연층(13)은 SiO₂, SiN_x 등을 단층 또는 복수층 포함할 수 있으며, 박막 트랜지스터의 게이트 절연막, 및 커패시터의 유전층 역할을 한다. 제1절연층(13)으로는 이 외에도 다양한 무기 절연물 및/또는 유기 절연물이 사용될 수 있다.

[0046] 상기 제1도전층(15)은 도 5에서 볼 수 있듯이, 제1금속층(15a), 투명 도전층(15b) 및 제2금속층(15c)이 순차로

적층된 구조를 갖는다.

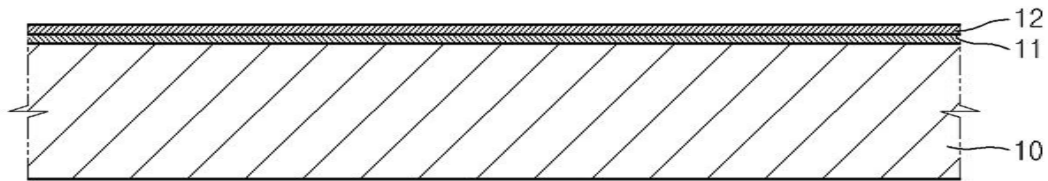
- [0047] 제1금속층(15a) 및 제2금속층(15b) 중 적어도 하나는 은 또는 은 합금으로 구비될 수 있다. 상기 제1금속층(15a) 및 제2금속층(15b) 중 하나가 은 또는 은 합금으로 구비될 경우, 다른 하나는 알루미늄 합금으로 구비될 수 있는 데, 후술하는 바와 같이 반투과 미러를 효율 좋게 구현하기 위해서는 광투과와 광반사의 특성이 모두 좋은 은 또는 은 합금으로 제1금속층(15a) 및 제2금속층(15b) 모두를 형성하는 것이 바람직하다.
- [0048] 그리고 투명 도전층(15b)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0049] 상기 제1금속층(15a)은 제1두께(t1)로 형성되며, 상기 제2금속층(15b)은 제2두께(t2)로 형성된다. 상기 제1두께(t1) 및 제2두께(t2)는 각각 20 내지 130Å이 바람직하다. 상기 제1두께(t1) 및 제2두께(t2)가 20Å보다 두꺼우면 제1도전층(15)이 반사막으로서의 기능을 할 수 있게 되고, 상기 제1두께(t1) 및 제2두께(t2)가 각각 130Å보다 얇으면 제1금속층(15a) 및 제2금속층(15b)의 에칭 특성이 확보되어 제2도전층(16) 및 제3도전층(17)과 동시에 에칭할 수 있다.
- [0050] 그리고, 상기 제1두께(t1)와 제2두께(t2)의 합은 100 내지 200Å이 바람직하다.
- [0051] 상기 제1두께(t1)와 제2두께(t2)의 합이 100 내지 200Å이어야 제1도전층(15)이 반사막으로서의 기능을 함과 동시에 광투과도 가능하게 되어 후술하는 광학적 공진을 이룰 수 있게 된다.
- [0052] 상기 제2도전층(16)은 투명 도전물질로 구비되는 것이 바람직한 데, 특히 후술하는 바와 같이 애노드로서의 기능을 할 수 있도록 일함수 절대값이 높은 물질로 형성한다. 예컨대 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 투명 도전물질로 구비될 수 있다.
- [0053] 상기 제3도전층(17)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 본 실시예에서 제3도전층(17)은 알루미늄을 포함한다.
- [0054] 상기 제3도전층(17)은 도 6에서 볼 수 있듯이 다층의 금속층(17a, 17b, 17c)을 포함할 수 있는데, 본 실시예에서는 알루미늄 층(17b)을 중심으로 상 하부에 몰리브덴층(17a, 17c)이 형성된 3층 구조(Mo/Al/Mo)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 제3도전층(17)을 형성할 수 있다.
- [0055] 한편, 제1절연층(13)과 제1도전층(15)의 사이에는 제4도전층(14)이 더 개재될 수 있는 데, 이 제4도전층(14)은 그 상부의 제1도전층(15), 제2도전층(16) 및 제3도전층(17)이 상기 제1절연층(13)에 잘 부착되어 있을 수 있도록 접착력의 강화를 위해 사용될 수 있다.
- [0056] 상기 제4도전층(14)은 투명 도전물질로 구비될 수 있는 데, 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0057] 이하 설명될 본 발명의 실시예에서는 모두 제4도전층(14)을 포함한 것이나, 본 발명은 반드시 이에 한정되지는 않으며 제4도전층(14)은 경우에 따라서는 생략 가능하다.
- [0058] 전술한 바와 같이, 본 발명은 반투과 반사층이 되는 제1도전층(15)이 도5에서 볼 수 있듯이 은 또는 은 합금으로 구비된 박막의 제1금속층(15a) 및 제2금속층(15c)으로 이루어져 있기 때문에 은 자체가 갖는 반투과 반사의 높은 효율을 그대로 이용할 수 있고 동시에 제1도전층(15) 내지 제3도전층(17), 더 나아가 제4도전층(14) 내지 제3도전층(17)의 적층체를 동시에 패터닝할 수 있어, 그 결과, 상기 제1도전층(15) 내지 제3도전층(17), 또는 제4도전층(14) 내지 제3도전층(17)의 단부의 식각면이 동일하게 된다.
- [0059] 제1도전층(15) 내지 제3도전층(17), 또는 제4도전층(14) 내지 제3도전층(17)의 적층체는 단일의 에천트로 동시에 에칭하여 패터닝할 수 있기 때문에 공정성을 더욱 향상시킬 수 있다.

- [0060] 도 7을 참조하면, 상기 제3도전층(17) 상에 제2 포토레지스터(P2)를 도포하고, 광차단부(M21) 및 광투과부(M22)를 구비한 제 2 포토마스크(M2)를 이용한 제 2 마스크 공정을 실시한다.
- [0061] 도 8을 참조하면, 제 2 마스크 공정의 결과로 상기 제4도전층(14) 내지 제3도전층(17)의 적층체는 각각 제4 화소 전극(114) 내지 제3 화소 전극(117)의 적층체, 박막 트랜지스터의 제4 게이트 전극(214) 내지 제3 게이트 전극(217)의 적층체, 및 상기 커패시터의 제4 상부 전극(314) 내지 제3 상부 전극(317)의 적층체로 패터닝된다. 즉, 제4도전층(14)은 제4화소 전극(114), 제4게이트 전극(214) 및 제4상부 전극(314)으로 패터닝된다. 제1도전층(15)은 제1 화소 전극(115), 제1 게이트 전극(215) 및 제1 상부 전극(315)으로 패터닝된다. 제2도전층(16)은 제2화소 전극(116), 제2게이트 전극(216) 및 제2상부 전극(316)으로 패터닝된다. 제3도전층(17)은 제3화소 전극(117), 제3게이트 전극(217) 및 제3상부 전극(317)으로 패터닝된다.
- [0062] 도 9를 참조하면, 상기 제2 마스크 공정 결과 형성된 제4 게이트 전극(214) 내지 제3 게이트 전극(217)의 적층체를 셀프 얼라인(self align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑한다. 그 결과 활성층(212)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과 그 사이에 채널 영역(212c)을 구비하게 된다. 이에 따라 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0063] 도 10을 참조하면, 상기 제2 마스크 공정 결과의 구조물 상에 제2 절연층(18) 및 제3 포토레지스터(P3)를 도포하고, 광차단부(M31) 및 광투과부(M32)를 구비한 제 3 포토마스크(M3)를 이용한 제 3 마스크 공정을 실시한다.
- [0064] 도 11을 참조하면, 제 3 마스크 공정의 결과로 제2절연층(18)에는 상기 제3 화소 전극(117)의 일부를 개구시키는 제1 개구(118a) 및 제2 개구(118b), 상기 박막 트랜지스터의 소스 및 드레인 영역(212a, 212b)을 노출시키는 콘택홀(218a, 218b), 및 상기 커패시터의 제3 상부 전극(317)을 개구시키는 제3 개구(318)가 형성된다.
- [0065] 도 12를 참조하면, 도 10의 구조물 상에 제5도전층(19)을 형성한다.
- [0066] 제5도전층(19)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 본 실시예에서 제5도전층(19)은 알루미늄을 포함한다.
- [0067] 또한, 상기 제5도전층(19)은 다층의 금속층(19a, 19b, 19c)을 포함할 수 있는 데, 본 실시예에서는 제3도전층(17)과 마찬가지로 중앙(19b)의 알루미늄을 중심으로 상, 하부(19a, 19c)에 몰리브덴(Mo)이 형성된 3층 구조(Mo/Al/Mo)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 제5도전층(19)을 형성할 수 있다. 예컨대, 상기 제5도전층(19)은 Ti/Al/Ti로 구성될 수 있다.
- [0068] 도 13을 참조하면, 상기 제5도전층(19) 상에 제4 포토레지스터(P4)를 도포하고, 광차단부(M41) 및 광투과부(M42)를 구비한 제 4 포토마스크(M4)를 이용한 제 4 마스크 공정을 실시한다.
- [0069] 이 제 4 마스크 공정에 의해 제5도전층(19)이 패터닝되는 데, 제5도전층(19)을 에칭할 때에 그 하부에 위치한 제3도전층으로 형성된 층들도 동시에 패터닝할 수 있다.
- [0070] 즉, 도 13 및 도 14를 참조하면, 상기 5도전층(19)을 패터닝하여 소스 및 드레인 영역(212a, 212b)과 전기적으로 접속되는 소스 및 드레인 전극(219a, 219b)을 형성할 때에, 제1개구(118a)를 통해 노출된 제3화소 전극(117)의 일부와, 제3개구(318)를 통해 노출된 제3상부 전극(317)을 동시에 에칭하여 제거한다. 따라서 제1개구(118a) 및 제3 개구(318)를 통해서도 도 14에서 볼 수 있듯이 각각 제2 화소 전극(116) 및 제2 상부 전극(316)이 드러나게 된다.
- [0071] 도 15를 참조하면, 상기 제4 마스크 공정 결과의 구조물 위로부터 이온 불순물을 도핑한다. 이온 불순물은 B 또는 P 이온을 도핑하는 데, 1×10^{15} atoms/cm² 이상의 농도로 도핑하고, 반도체층(12)으로 형성된 커패시터의 하부 전극(312)을 타겟으로 하여 도핑한다. 이에 따라 커패시터의 하부 전극(312)은 도전성이 높아짐으로써 제4상부 전극(314), 제1상부전극(315) 및 제2상부 전극(316)과 더불어 MIM 커패시터를 형성해 커패시터의 용량을 증가시킬 수 있다.
- [0072] 도 16을 참조하면, 도 15의 구조물 상에 제5 포토레지스터(P5)를 도포하고, 광차단부(M51) 및 광투과부(M52)를 구비한 제 5 포토마스크(M5)를 이용한 제 5 마스크 공정을 실시한다.
- [0073] 이 때, 제 5 마스크 공정은 노광장치(미도시)로 제 5 포토마스크(M5)에 노광 후, 현상(developing), 및 에싱(ashing)하여 도 17에서 볼 수 있듯이, 제2 화소 전극(116)이 노출되는 제4 개구(120)를 형성한 후에, 제5 포토레지스터(P5)를 소성함으로써 이 제5 포토레지스터(P5)가 제3 절연층(20)이 되도록 한다. 본 발명은 반드시 이

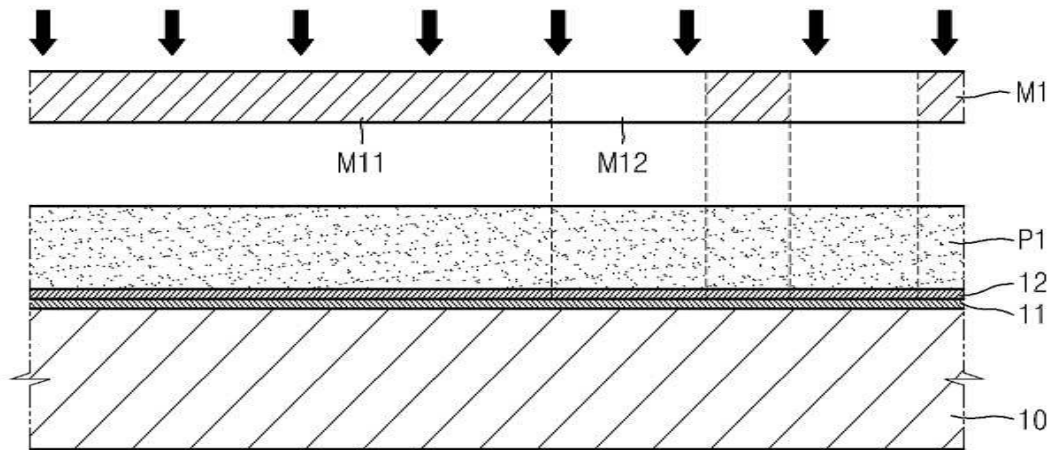
- | | |
|----------------|---------------------|
| 115: 제1 화소 전극 | 116: 제2 화소 전극 |
| 117: 제3 화소 전극 | 118a: 제1 개구 |
| 118b: 제2 개구 | 120: 제4 개구 |
| 212: 활성층 | 214: 제4 게이트 전극 |
| 215: 제1 게이트 전극 | 216: 제2 게이트 전극 |
| 217: 제3 게이트 전극 | 219a,b: 소스 및 드레인 전극 |
| 312: 하부 전극 | 314: 제4 상부 전극 |
| 315: 제1 상부 전극 | 316: 제2 상부 전극 |
| 318: 제3 개구 | |

도면

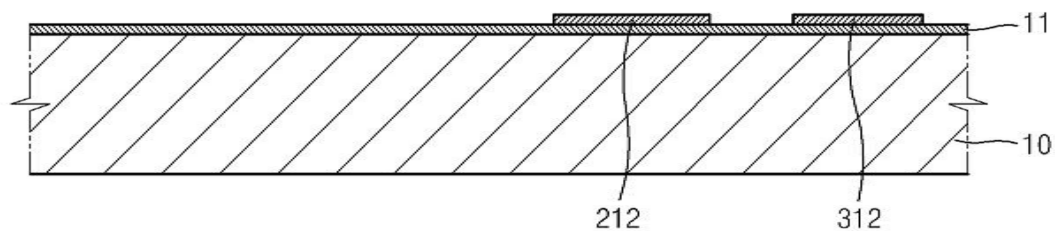
도면1



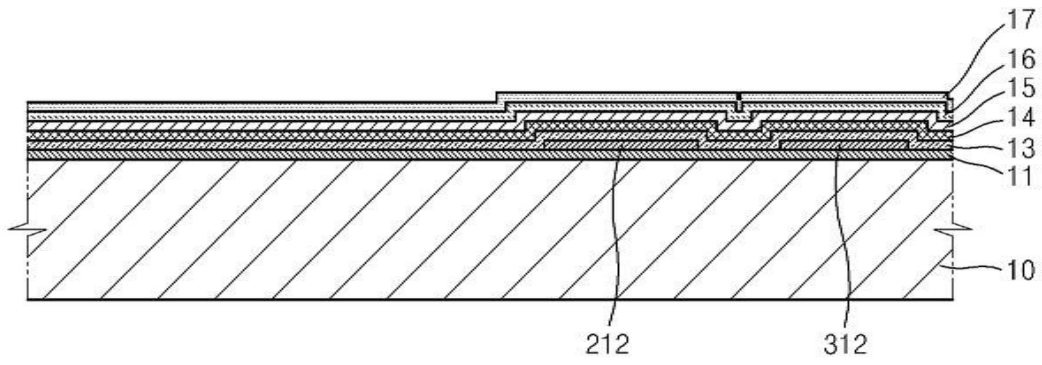
도면2



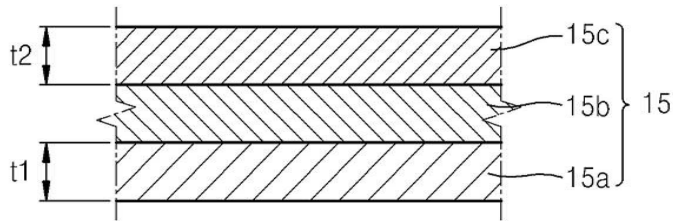
도면3



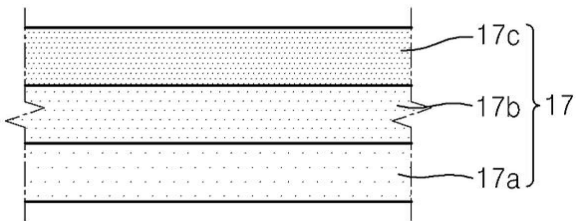
도면4



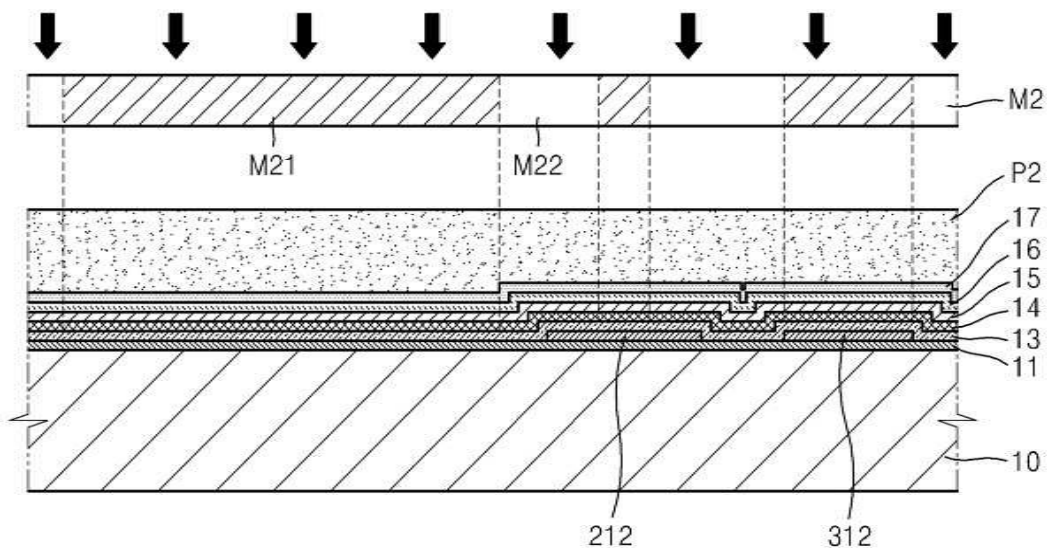
도면5



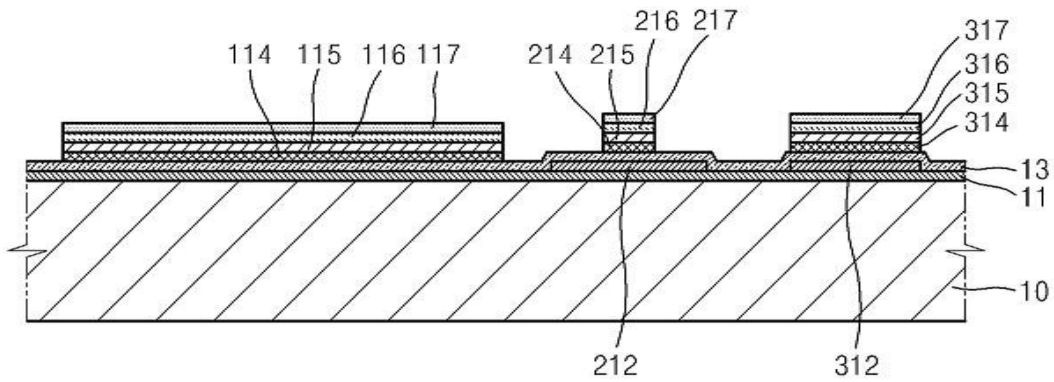
도면6



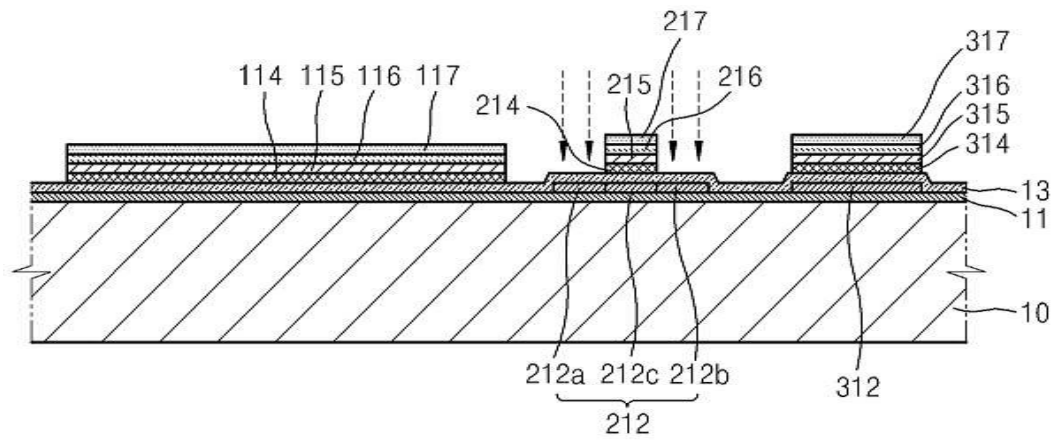
도면7



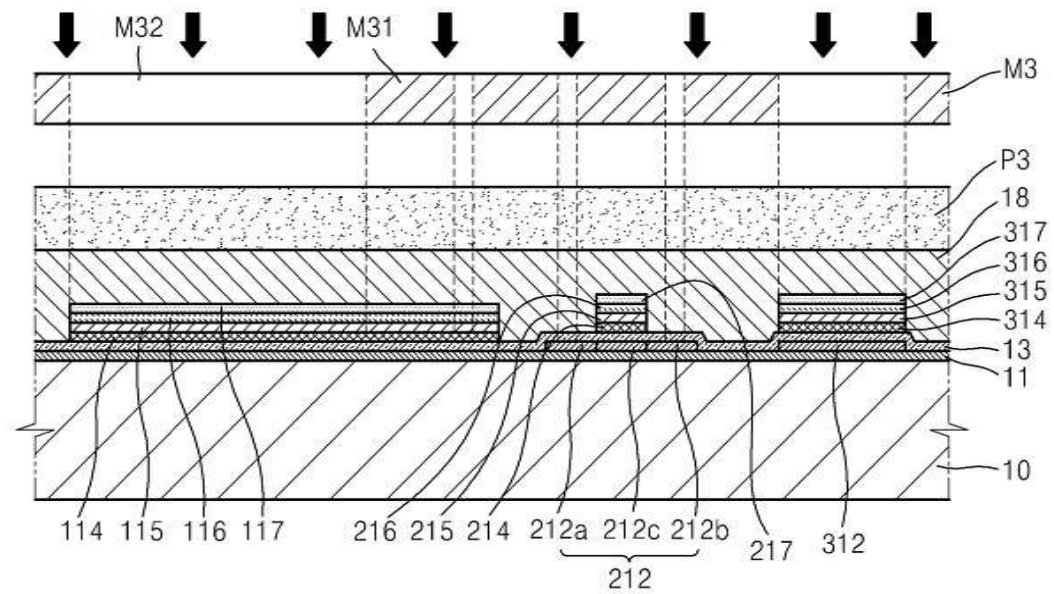
도면8



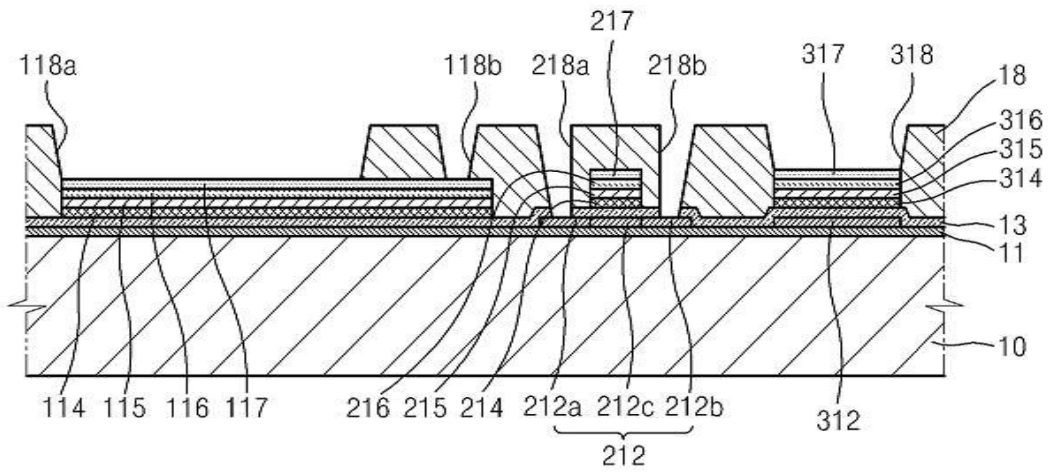
도면9



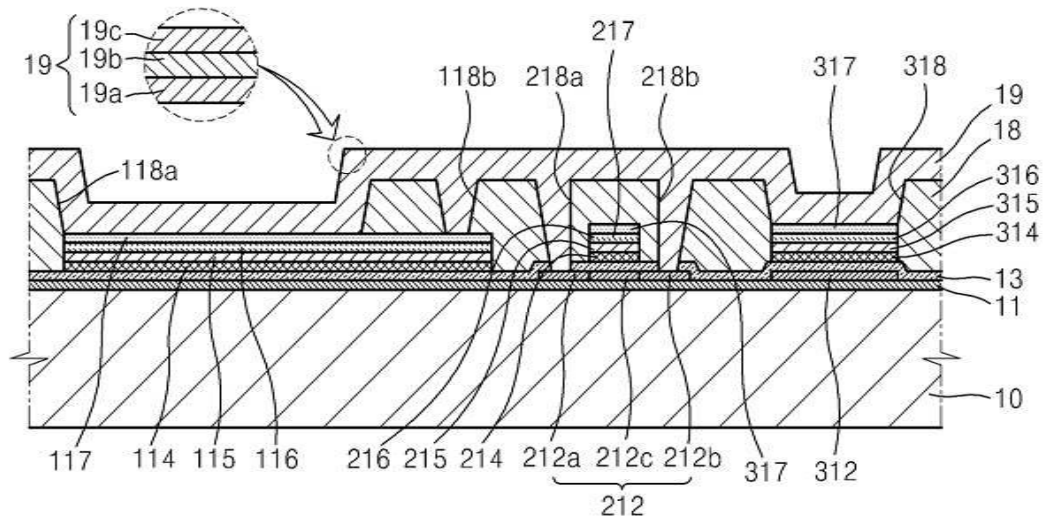
도면10



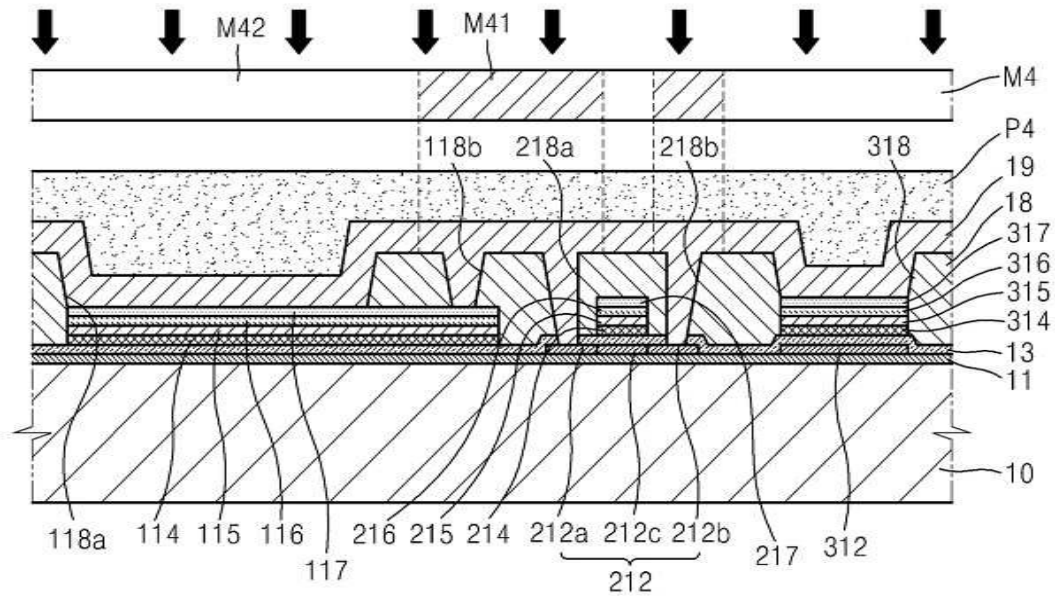
도면11



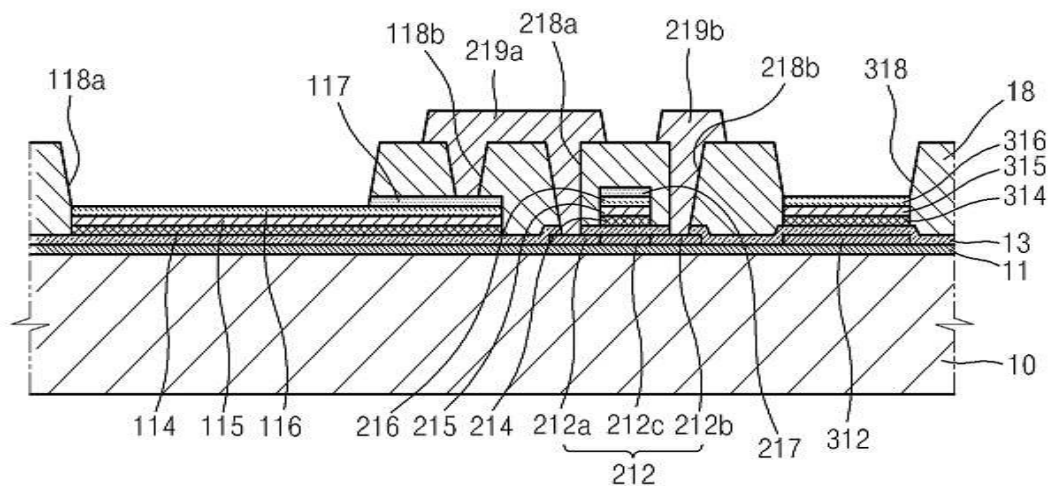
도면12



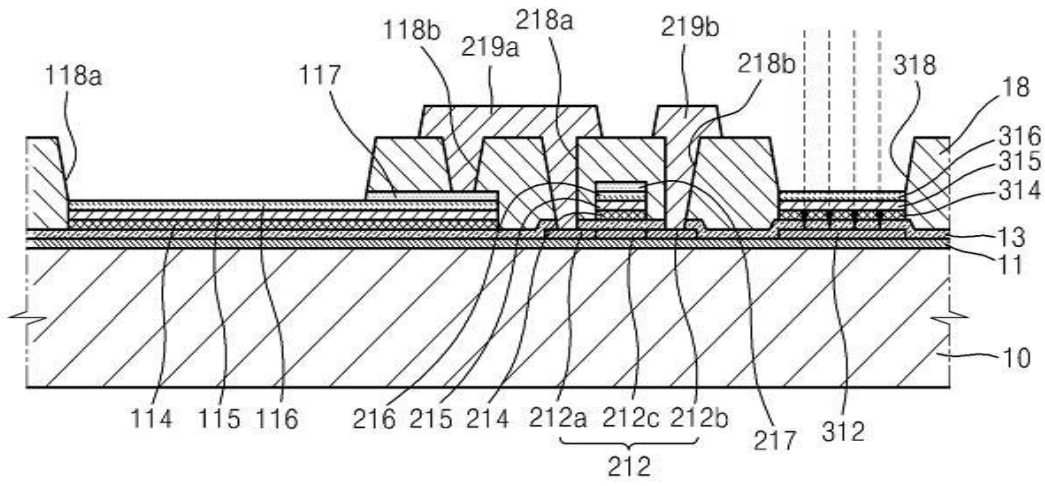
도면13



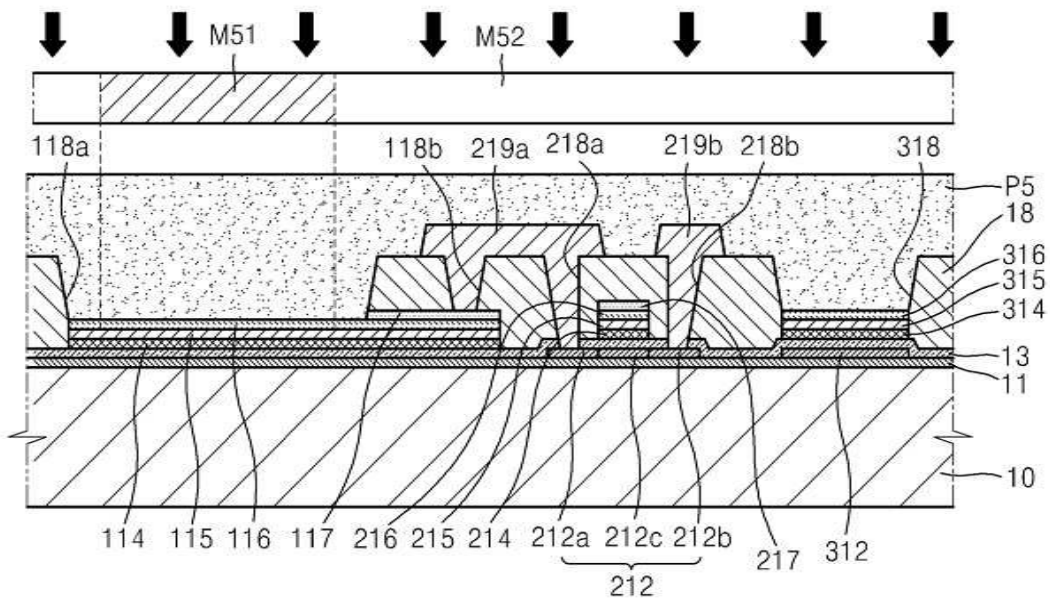
도면14



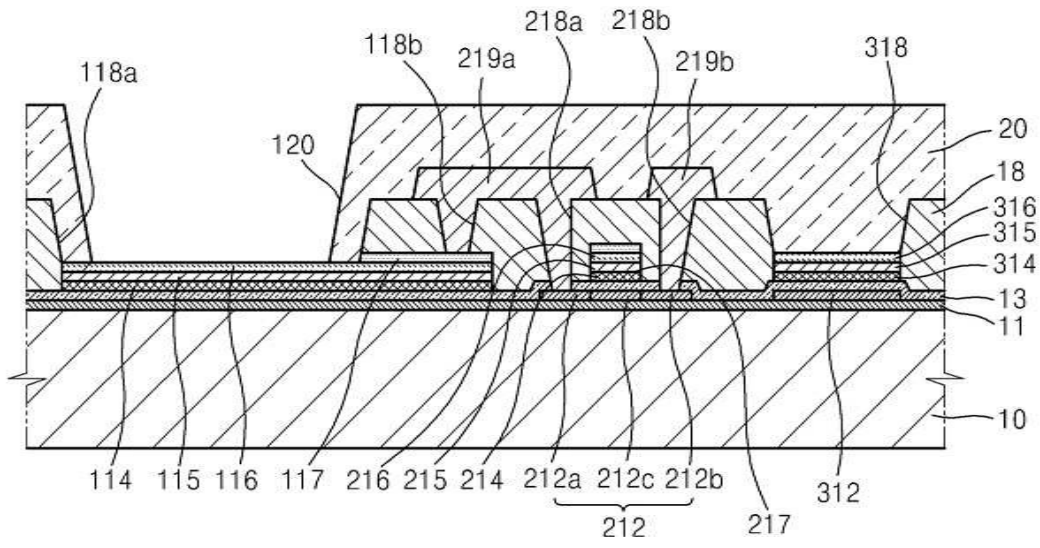
도면15



도면16



도면17



도면18



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020120003166A	公开(公告)日	2012-01-10
申请号	KR1020100063869	申请日	2010-07-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JONG HYUN 최종현 LEE DAE WOO 이대우		
发明人	최종현 이대우		
IPC分类号	H01L51/52 H01L51/56		
CPC分类号	H01L27/3244 H01L27/1255 H01L29/4908 H01L51/5203		
其他公开文献	KR101714026B1		
外部链接	Espacenet		

摘要(译)

本发明是改进的制造工艺简单，设有有源层和所述半导体材料的电容器的一个基板上形成的显示质量在基板上形成时，杂质离子掺杂在具有半导体材料的薄膜晶体管第一绝缘层形成在基板上以覆盖有源层和下电极；第一栅电极，形成在第一绝缘层上并由银或银合金形成；第二第三栅电极上设置有栅电极，并且形成在所述顺序的所述栅电极的金属层叠的薄膜晶体管，并且在第一绝缘层上，是或是在第一像素电极和所述透明导电材料包括合金第一上电极形成在第一绝缘层上并由银或银合金制成，第二上电极形成在第二绝缘层上，薄膜晶体管的源电极和漏电极电连接到有源层；有机层，设置在像素电极上并包括有机发光层；并且，与像素电极相对设置的对电极及其制造方法。公开的专利申请No.2001-0003166

