



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0033953
(43) 공개일자 2011년04월01일

- | | |
|--|--|
| <p>(51) Int. Cl.
G09G 3/20 (2006.01) H01L 21/77 (2006.01)
H01L 27/12 (2006.01) H01L 51/50 (2006.01)</p> <p>(21) 출원번호 10-2011-7004642</p> <p>(22) 출원일자(국제출원일자) 2009년07월30일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2011년02월25일</p> <p>(86) 국제출원번호 PCT/GB2009/001879</p> <p>(87) 국제공개번호 WO 2010/013008
국제공개일자 2010년02월04일</p> <p>(30) 우선권주장
0814021.2 2008년08월01일 영국(GB)</p> | <p>(71) 출원인
캠브리지 디스플레이 테크놀로지 리미티드
영국 캠브리지 캠브리지셔 씨비23 6디더블유 캠퍼
른 비즈니스 파크 캠퍼른 빌딩 2020</p> <p>(72) 발명자
스미스 유안
영국 캠브리지셔 캠퍼른 비즈니스 파크 빌딩 2020
캠브리지 디스플레이 테크놀로지 리미티드 아이퍼
디파트먼트</p> <p>(74) 대리인
제일광장특허법인</p> |
|--|--|

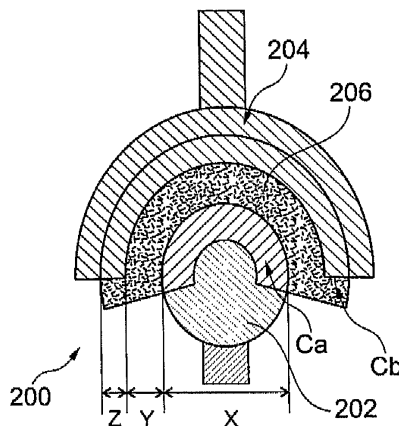
전체 청구항 수 : 총 21 항

(54) 능동 매트릭스 OLED 디스플레이 및 능동 매트릭스 디스플레이용 픽셀 회로

(57) 요약

디스플레이는 관련 픽셀 드라이버 회로를 각각 갖는 복수의 유기 발광 다이오드(OLED) 픽셀, 복수의 선택 라인 및 복수의 데이터 라인을 갖는다. 각각의 픽셀 드라이버 회로는 선택 라인 및 데이터 라인에 결합된다. 픽셀 드라이버 회로는 OLED를 구동하도록 구성된 구동 트랜지스터 및 선택 라인에 결합된 제 1 단자와 데이터 라인에 결합된 제 2 단자를 갖는 선택 트랜지스터를 포함하고, 상기 선택 트랜지스터의 단자 중 하나는 상기 선택 트랜지스터의 게이트 접속부를 포함하고, 다른 단자는 상기 선택 트랜지스터의 드레인 접속부 및 소스 접속부 중 하나를 포함하고, 상기 선택 트랜지스터는 소스 영역, 드레인 영역 및 게이트 영역을 포함하고, 상기 게이트 영역은 상기 소스 영역 및 상기 드레인 영역을 적어도 부분적으로 중첩하고, 상기 소스 영역 및 상기 드레인 영역 중 하나와 상기 게이트 영역의 상기 중첩 면적은 다른 영역과의 중첩 면적보다 커서 상기 게이트 접속부와 상기 드레인 접속부 및 소스 접속부 중 하나 사이의 캐패시턴스가 상기 게이트 접속부와 다른 접속부 사이의 캐패시턴스보다 작게 된다.

대표도 - 도2b



특허청구의 범위

청구항 1

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이에 있어서,

상기 디스플레이는 각각이 관련 픽셀 드라이버 회로를 갖는 복수의 OLED 픽셀을 갖고, 상기 디스플레이는 상기 OLED 픽셀을 선택하고 선택된 상기 OLED 픽셀에 디스플레이용 데이터를 기록하기 위한 복수의 선택 라인 및 복수의 데이터 라인을 갖고, 각각의 상기 픽셀 드라이버 회로는 상기 선택 라인 및 상기 데이터 라인에 결합되고, 상기 픽셀 드라이버 회로는 OLED를 구동하도록 구성된 구동 트랜지스터를 포함하고 상기 선택 라인에 결합된 제 1 단자와 상기 데이터 라인에 결합된 제 2 단자를 갖는 선택 트랜지스터를 더 포함하고, 상기 선택 트랜지스터의 상기 제 1 단자 및 상기 제 2 단자 중 하나는 상기 선택 트랜지스터의 게이트 접속부를 포함하고, 상기 선택 트랜지스터의 상기 제 1 단자 및 상기 제 2 단자 중 다른 하나는 상기 선택 트랜지스터의 드레인 접속부 및 소스 접속부 중 하나를 포함하고, 상기 선택 트랜지스터는 소스 영역, 드레인 영역 및 게이트 영역을 갖는 트랜지스터를 포함하고, 상기 게이트 영역은 상기 소스 영역 및 상기 드레인 영역을 적어도 부분적으로 중첩하고, 상기 소스 영역 및 상기 드레인 영역 중 하나와 상기 게이트 영역의 상기 중첩 면적은 상기 소스 영역 및 상기 드레인 영역 중 다른 하나와의 중첩 면적보다 커서 상기 게이트 접속부와 상기 드레인 접속부 및 상기 소스 접속부 중 하나 사이의 캐패시턴스가 상기 게이트 접속부와 상기 드레인 접속부 및 상기 소스 접속부 중 다른 하나 사이의 캐패시턴스보다 작게 되는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 2

제 1 항에 있어서,

상기 제 2 단자는 상기 소스 영역 및 상기 드레인 영역 중 다른 하나를 포함하는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 소스 영역 및 상기 드레인 영역 중 하나는 상기 소스 영역 및 상기 드레인 영역 중 다른 하나를 적어도 부분적으로 둘러싸는 한 쌍의 아암(arms) 또는 돌출부를 갖는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 4

제 1 항, 제 2 항 또는 제 3 항 중 어느 한 항에 있어서,

상기 게이트 영역은 일반적으로 정확한 아치형 형상을 갖는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 5

제 4 항에 있어서,

중단면에서, 만곡된 게이트 영역은 단일 방향으로 만곡되는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 게이트 영역과 상기 소스 영역 및 상기 드레인 영역 중 하나 사이의 캐패시턴스는 상기 게이트 영역과 상기 소스 영역 및 상기 드레인 영역 중 다른 하나 사이의 캐패시턴스보다 적어도 1.5배 큰

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 선택 트랜지스터는 제 3 단자를 갖고, 상기 제 3 단자는 상기 선택 트랜지스터의 상기 드레인 접속부 및 상기 소스 접속부 중 다른 하나를 포함하고, 상기 제 1 단자와 상기 제 2 단자 사이의 상기 선택 트랜지스터의 내부 캐패시턴스는 상기 제 1 단자 및 상기 제 3 단자 사이의 상기 선택 트랜지스터의 내부 캐패시턴스보다 작은

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 선택 트랜지스터는 적어도 1 μm 의 채널 폭을 갖고, 상기 소스 영역 및 상기 드레인 영역 중 하나의 최대 측방향 치수는 상기 소스 영역 및 상기 드레인 영역 중 다른 하나의 최대 측방향 치수보다 2 μm 큰

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 선택 트랜지스터의 상기 제 1 단자는 상기 선택 트랜지스터의 상기 게이트 접속부를 포함하고, 상기 선택 트랜지스터의 상기 제 2 단자는 상기 선택 트랜지스터의 상기 드레인 접속부 또는 상기 소스 접속부를 포함하는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 디스플레이는 전면 발광 디스플레이이고, 상기 선택 트랜지스터는 하부 게이트 트랜지스터인

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 픽셀 구동 회로는 관련 픽셀의 OLED를 구동하도록 구성된 상기 구동 트랜지스터 및 적어도 하나의 다른 트랜지스터를 추가로 포함하고, 상기 적어도 하나의 다른 트랜지스터는 상기 만족된 게이트 영역을 갖는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 12

제 11 항에 있어서,

상기 다른 트랜지스터의 내부 게이트-소스 캐패시턴스와 상기 다른 트랜지스터의 내부 게이트-드레인 캐패시턴스의 비는 실질적으로 1:1과는 상이하고, 1:1과는 상이한 상기 비는 작동시에 상기 선택 라인 상에서의 전압 스윙이 1:1의 상기 비에 대한 상기 전압 스윙과 비교할 때 프로그래밍 중에 상기 픽셀 회로 내에 저장된 상기 데이터 라인으로부터 픽셀 발광값에 감소된 영향을 갖도록 하는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 픽셀 드라이버 회로는 전압 제어형 픽셀 드라이버 회로를 포함하고, 상기 데이터 라인 상의 전압 레벨은 상기 픽셀 드라이버 회로에 의해 구동된 OLED의 휘도를 설정하는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 14

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 픽셀 드라이버 회로는 전류 제어형 픽셀 드라이버 회로를 포함하고, 상기 데이터 라인 상의 전류 레벨은 상기 픽셀 드라이버 회로에 의해 구동된 OLED의 휘도를 설정하는

능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이.

청구항 15

능동 매트릭스 디스플레이용 픽셀 회로에 있어서,

상기 픽셀 회로는 픽셀을 선택하기 위한 선택 라인과, 픽셀로부터 또는 픽셀로 픽셀 데이터를 판독하거나 기록하기 위한 데이터 라인을 갖고, 픽셀 드라이버 회로는 광전 발광 소자를 구동할 수 있도록 구성된 구동 트랜지스터를 추가로 포함하고 2개의 채널 접속부 및 게이트 접속부를 갖는 픽셀 선택 트랜지스터를 추가로 포함하고, 상기 게이트 접속부는 상기 데이터 라인 및 상기 선택 라인 중 하나에 결합되고, 상기 채널 접속부들 중 제 1 채널 접속부는 상기 데이터 라인 및 상기 선택 라인 중 다른 하나에 결합되고, 상기 게이트 접속부와 상기 채널 접속부들 중 상기 제 1 채널 접속부 사이의 상기 픽셀 선택 트랜지스터의 내부 캐패시턴스는 상기 게이트 접속부와 상기 채널 접속부들 중 제 2 채널 접속부 사이의 상기 픽셀 선택 트랜지스터의 내부 캐패시턴스보다 작은 픽셀 회로.

청구항 16

제 15 항에 있어서,

상기 게이트 접속부와 상기 채널 접속부들 중 상기 제 1 채널 접속부 사이의 상기 내부 캐패시턴스는 상기 게이트 접속부와 상기 채널 접속부들 중 상기 제 2 채널 접속부의 상기 내부 캐패시턴스의 2/3 미만, 바람직하게는 1/2 미만인

픽셀 회로.

청구항 17

제 15 항 또는 제 16 항에 있어서,

상기 제 1 채널 접속부는 패턴화된 제 1 채널 영역을 포함하고, 상기 제 2 채널 접속부는 패턴화된 제 2 채널 영역을 포함하고, 상기 제 2 채널 영역은 상기 제 1 채널 영역 둘레를 적어도 부분적으로 감싸는

픽셀 회로.

청구항 18

제 15 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 픽셀 회로는 유기 발광 다이오드(OLED)를 구동하기 위한 픽셀 드라이버 회로이고, 상기 픽셀 데이터는 상기 OLED의 휘도를 규정하는 픽셀 휘도를 포함하는

픽셀 회로.

청구항 19

제 18 항에 있어서,

상기 픽셀 구동 회로는 상기 제 2 채널 접속부에 결합된 픽셀 데이터 저장 캐패시터를 포함하는 전류 제어형 픽셀 드라이버 회로, 상기 픽셀 데이터 저장 캐패시터에 결합된 구동 트랜지스터 및 상기 픽셀 선택 트랜지스터가 상기 데이터 라인을 상기 저장 캐패시터에 결합하기 위해 상기 선택 라인에 의해 제어되는 동안 상기 데이터 라인 상의 전류에 의해 상기 픽셀 드라이버 회로의 프로그래밍 중에 상기 픽셀 데이터 저장 캐패시터 상에 전하를 저장하기 위한 프로그래밍 트랜지스터를 포함하는

픽셀 회로.

청구항 20

능동 매트릭스(OLED) 디스플레이에 있어서,

제 15 항 내지 제 19 항 중 어느 한 항에 따른 관련 픽셀 드라이버 회로를 각각 갖는 복수의 픽셀을 구비하는 능동 매트릭스(OLED) 디스플레이.

청구항 21

능동 매트릭스 디스플레이용 픽셀 회로에 있어서,

상기 픽셀 회로는 만족된 게이트 영역을 갖는 적어도 하나의 전계 효과 트랜지스터(FET)를 포함하여 상기 FET의 게이트-소스 캐패시턴스가 상기 FET의 게이트-드레인 캐패시턴스와는 상이하게 되는

픽셀 회로.

명세서

기술분야

본 발명은 능동 매트릭스 광전 디바이스, 특히 OLED(유기 발광 다이오드) 디스플레이 및 관련 디바이스용 픽셀 드라이버 회로에 관한 것이다.

[0001]

배경 기술

- [0002] 본 발명의 실시예는 능동 매트릭스 OLED 디스플레이에 특히 유용한 것으로 설명되지만, 본 발명의 용례 및 실시예에는 이러한 디스플레이에 한정되는 것은 아니고, 다른 유형의 능동 매트릭스 디스플레이 및 또한 실시예에서 능동 매트릭스 센서 어레이에 사용될 수 있다.
- [0003] 여기서 유기 금속 LED를 포함하는 유기 발광 다이오드는 이용된 재료에 따른 컬러의 범위에서 폴리머, 소분자 및 덴드리머(dendrimer)를 포함하는 재료를 사용하여 제조될 수 있다. 폴리머 기반 유기 LED의 예는 WO 90/13148호, WO 95/06400호 및 WO 99/48160호에 설명되어 있고, 덴드리머 기반 재료의 예는 WO 99/21935호 및 WO 02/067343호에 설명되어 있고, 소위 소분자 기반 디바이스는 미국 특허 제 4,539,507호에 설명되어 있다. 통상의 OLED 디바이스는 유기 재료의 2개의 층을 포함하는데, 그 중 하나는 발광 폴리머(LEP), 올리고머 또는 발광 저분자량 재료와 같은 발광 재료의 층이고, 다른 하나는 폴리티오펜 유도체 또는 폴리아닐린 유도체와 같은 정공 운반 재료의 층이다.
- [0004] 유기 LED는 단일 또는 다중 컬러 픽셀화된 디스플레이를 형성하기 위해 픽셀의 매트릭스내의 기관 상에 적층될 수 있다. 다중 컬러 디스플레이는 적색, 녹색 및 청색 발광 서브 픽셀의 그룹을 사용하여 구성될 수 있다. 소위 능동 매트릭스 디스플레이는 각각의 픽셀과 관련된 메모리 소자, 통상적으로 저장 캐패시터 및 트랜지스터를 갖는다(반면, 수동 매트릭스는 이러한 메모리 소자를 갖지 않고, 대신에 안정한 이미지의 인상을 제공하기 위해 반복적으로 스캐닝됨). 폴리머 및 소분자 능동 매트릭스 디스플레이 드라이버의 예는 WO 99/42983호 및 EP 0,717,446A호에서 각각 발견될 수 있다.
- [0005] OLED의 휘도가 디바이스를 통해 흐르는 전류에 의해 결정되기 때문에, OLED에 전류-프로그래밍된 드라이브를 제공하는 것이 통상적이고, 이는 그가 생성하는 광자의 수를 결정하고, 반면에 간단한 전압-프로그래밍된 구성에서는 얼마나 밝은 픽셀이 구동시에 나타날 것인지를 예측하는 것이 곤란할 수 있다.
- [0006] 전압 구동 픽셀 드라이버의 예가 US 2006/0244696호에 설명되어 있다. 이는 만곡된 또는 사행형 채널을 갖는 구동 트랜지스터를 이용하고, 청색 픽셀이 녹색 픽셀보다 커서 픽셀 행이 2개의 대향하는 경계, 즉 만곡된 경계 및 직선형 경계를 갖게 되는 컬러 디스플레이를 설명하고 있다. 추가의 배경 종래 기술은 환형 세그먼트 MOSFET 구조체를 설명하고 원형 n-채널 MOSFET을 예시하고 있는 US 2005/0116295호에서 발견될 수 있다. 만곡된 게이트층을 갖는 트랜지스터가 또한 US 6,599,81호에 설명되어 있다.
- [0007] 전류 프로그래밍된 능동 매트릭스 픽셀 드라이버 회로에 관련되는 배경 종래 기술은 "대면적 풀 컬러 OLED 텔레비전의 해결책-발광 폴리머 및 a-Si TFT 기술(Solution for Large-Area Full-Color OLED Television-Light Emitting Polymer and a-Si TFT Technologies)", 카시오 컴퓨터 컴퍼니 리미티드(Casio Computer Co Ltd) 및 큐슈 대학(Kyushu University)의 티. 시라사키(T. Shirasaki), 티. 오자키(T. Ozaki), 티. 토야마(T. Toyama), 엠. 타케이(M. Takei), 엠. 쿠마가이(M. Kumagai), 케이. 사토(K. Sato), 에스. 시모다(S. Shimoda), 티. 타노(T. Tano), 케이. 야마모토(K. Yamamoto), 케이. 모리모토(K. Morimoto), 제이. 오구라(J. Ogura) 및 알. 하토리(R. Hattori), 초청 논문(Invited paper) AMD3/OLED5-1, 11차 국제 디스플레이 워크샵, 2004년 12월 8일-10일, IDW '04 회의록 pp275-278에서 발견될 수 있다.
- [0008] IDW '04 논문으로부터 취한 도 1a 및 도 1b는 예시적인 전류 프로그래밍된 능동 매트릭스 픽셀 회로 및 대응 타이밍 다이어그램을 도시한다. 작동시에, 제 1 단계에서 데이터 라인은 간단히 접지되어 Cs 및 OLED의 접합 캐패시터를 방전한다(Vselect, Vreset 고; Vsource 저). 다음에, 데이터 싱크(Idata)가 인가되어 대응 전류가 T3을 통해 흐르고, Cs는 이 전류를 위해 요구되는 게이트 전압을 저장한다(Vsource는 낮아 어떠한 전류도 OLED를 통해 흐르지 않고, T1이 온 되어 T3가 다이오드 접속됨). 마지막으로, 선택 라인이 비가정(de-asserted)되고, Vsource가 높게 취해져 프로그래밍된 전류(Cs 상에 저장된 게이트 전압에 의해 결정되는 바와 같은)가 OLED를 통해 흐른다(I_{OLED}).
- [0009] 도 1a를 재차 참조하면, 이는 단일 픽셀 회로를 도시하지만, 픽셀의 다수의 행 및 열을 포함하는 통상의 OLED 디스플레이(컬러 또는 흑백)에서, 각각의 데이터 라인(도시된 바와 같이, 열에서) 및 각각의 선택 라인(도시된 바와 같이, 행에서)에 접속된 복수의 이러한 픽셀 회로가 존재할 수 있다는 것이 이해될 수 있을 것이다. OLED를 위한 통상의 프로그래밍 전류는 1 내지 10 μ A, 예를 들어 2 내지 5 μ A 정도이고, 이는 데이터 라인의 일 단부에 적용되지만 픽셀 저장 캐패시터(C_s)를 충전하는데 사용된다. 따라서, 데이터 라인에 접속된 각각의 선택

트랜지스터의 게이트-드레인/소스 캐패시턴스에 의해 부분적으로 결정되는 데이터 라인 상의 총 캐패시턴스와 같이, 데이터 라인 및 스위치/선택 트랜지스터(T2)의 저항이 중요하다. 대체로 말하면, RC 시간 상수는 디스플레이의 행의 수, 이것이 온될 때 스위치/선택 트랜지스터의 저항 및 상기 스위치/선택 트랜지스터의 입력 캐패시턴스(게이트-드레인/소스)의 적(product)이다. 스위치/스트로크 선택 트랜지스터를 또한 갖는 전압 구동된 픽셀 회로는 유사한 문제점을 나타낸다.

[0010] 픽셀의 프로그래밍 시간을 감소시키는 것이 바람직하고, 이 문제점의 다수의 통상의 접근법이 존재한다. 일 접근법은 구리 접속을 이용함으로써 데이터 라인의 저항을 감소시키는 것을 수반한다. 다른 접근법은 전류를 구동하기 위해 프로그래밍 (데이터) 라인 상에 더 큰 전압 변화를 구동하는 것을 수반한다. 스위치/선택 트랜지스터의 폭 대 길이비는 이 트랜지스터의 저항을 감소시키고 따라서 프로그래밍 시간을 감소시키기 위해 증가될 수 있지만, 이는 프로그래밍 시간의 원하는 감소에 반대하여 동작하는 경향이 있는 이 트랜지스터의 입력 캐패시턴스를 증가시키는 바람직하지 않는 부작용을 갖는다. 프로그래밍 시간을 감소시키기 위한 또 다른 접근법은, 자체 정렬된 게이트를 이용함으로써 소스/드레인 영역과 게이트 영역 사이의 중첩이 효과적으로 제거될 수 있고, 따라서 전계 효과 트랜지스터(TFT)의 내부 캐패시턴스를 감소시킬 수 있기 때문에 픽셀 드라이버의 박막 트랜지스터를 제조하기 위한 자체 정렬된 프로세스를 이용하는 것이다.

발명의 내용

해결하려는 과제

[0011] 따라서, 능동 매트릭스 픽셀의 프로그래밍 시간을 감소시키기 위한 향상된 기술이 바람직하다.

과제의 해결 수단

[0012] 본 발명의 제 1 양태에 따르면, 따라서 능동 매트릭스 유기 발광 다이오드(OLED) 디스플레이가 제공되고, 디스플레이는 관련 픽셀 드라이버 회로를 각각 갖는 복수의 OLED 픽셀을 갖고, 상기 디스플레이는 상기 OLED 픽셀을 선택하고 선택된 상기 OLED 픽셀에 디스플레이용 데이터를 기록하기 위한 복수의 선택 라인 및 복수의 데이터 라인을 갖고, 각각의 상기 픽셀 드라이버 회로는 상기 선택 라인 및 상기 데이터 라인에 결합되고, 상기 픽셀 드라이버 회로는 상기 선택 라인에 결합된 제 1 단자와 상기 데이터 라인에 결합된 제 2 단자를 갖는 선택 트랜지스터를 포함하고, 상기 선택 트랜지스터의 상기 제 1 단자 및 상기 제 2 단자 중 하나는 상기 선택 트랜지스터의 게이트 접속부를 포함하고, 상기 선택 트랜지스터의 상기 제 1 단자 및 상기 제 2 단자 중 다른 하나는 상기 선택 트랜지스터의 드레인 접속부 및 소스 접속부 중 하나를 포함하고, 상기 선택 트랜지스터는 소스 영역, 드레인 영역 및 게이트 영역을 갖는 트랜지스터를 포함하고, 상기 게이트 영역은 상기 소스 영역 및 상기 드레인 영역을 적어도 부분적으로 중첩하고, 상기 소스 영역 및 상기 드레인 영역 중 하나와 상기 게이트 영역의 중첩 면적은 상기 소스 영역 및 상기 드레인 영역 중 다른 하나와의 중첩 면적보다 크다.

[0013] 본 발명자들은 특히 만족된 게이트 영역을 갖는 비대칭 선택 트랜지스터를 제조하는데 있어서 선택 트랜지스터의 일측의 캐패시턴스가 트랜지스터의 다른측의 캐패시턴스를 증가시키는 것을 희생하여 감소될 수 있다는 것을 인식하였다. 그러나, 능동 매트릭스 픽셀 회로에 있어서, 이는 주로 프로그래밍 시간을 결정하는 것은 입력 캐패시턴스이고 따라서 스위치/선택 트랜지스터의 입력 캐패시턴스를 감소시킴으로써 이 트랜지스터의 다른측의 캐패시턴스가 증가될 수 있을지라도 전체 프로그래밍 시간이 감소될 수 있기 때문에 전체 성능 이득을 제공한다. 실시예에서, 데이터 라인에 결합된 제 2 단자는 게이트 영역과의 더 작은 중첩 면적을 갖는 소스/드레인 영역을 포함한다.

[0014] 소스 영역 및 데이터 영역은 영역들 중 하나가 다른 하나를 둘러싸거나 그 주위에서 부분적으로 만족되면 다양한 상이한 형상을 가질 수 있다. 하나의 영역이 다른 영역 주위에서 만족되도록 하기 위해, 평활한 곡선을 가질 필요는 없지만, 대신에 예를 들어 한 쌍의 아암 또는 돌출부를 갖는다. 마찬가지로, 평활한 곡선을 갖는 형상이 용이한 제조 및/또는 전기장 감소를 위해 바람직할 수 있지만, 이들은 필수적인 것은 아니다. 실시예에서, 선택 트랜지스터의 채널은 단지 일 방향에서만 만족되는데, 즉 이는 사행형 형상을 갖지 않는다. 실시예에서, 디바이스 기하학적 형상 및 점유 영역의 견지에서 비교적 효율적이기 때문에, 만족된, 아치형 또는 말발굽 형상이 바람직하다.

- [0015] 몇몇 바람직한 실시예에서, 게이트 영역과 상이한 각각의 소스/드레인 영역 사이의 캐패시턴스비는 적어도 1:1.5, 바람직하게는 적어도 1:2이다. 예를 들어, 더 작은 중첩 면적은 $20 \mu\text{m}^2$ 내지 $150 \mu\text{m}^2$ 의 범위의 면적을 가질 수 있다. 실시예에서, 채널은 적어도 $1 \mu\text{m}$ 또는 $2 \mu\text{m}$ 의 폭을 갖고, 바람직하게는 더 큰 소스/드레인 영역의 최대 측방향 치수는 더 작은 소스/드레인 영역의 최대 측방향 치수보다 적어도 $2 \mu\text{m}$, $4 \mu\text{m}$ 또는 $6 \mu\text{m}$ 크다.
- [0016] 몇몇 바람직한 실시예에서, 선택 트랜지스터는 하부 게이트 디바이스이고, 디스플레이는 전면 발광(top-emitting) 디스플레이이다. 일반적으로, 픽셀 드라이버 회로는 선택 트랜지스터의 제 3 단자에 직접 또는 간접적으로 결합된 데이터 저장 캐패시터를 포함한다(실시예에서, 데이터/소스 영역은 데이터 라인에 접속되지 않음). 픽셀 드라이버 회로는 일반적으로 데이터 저장 캐패시터에 결합된 제어 입력 및 OLED를 구동하기 위한 출력을 갖는 구동 트랜지스터를 또한 포함하고, 통상적으로 이는 전압 소스에 결합된 하나의 소스/드레인 영역 및 OLED에 결합된 다른 소스/드레인 영역을 갖는다. 픽셀 드라이버 회로의 실시예는 회로의 구현에 의존하여 하나 이상의 다른 트랜지스터를 포함할 수 있다. 픽셀 드라이버 회로는 전압 제어형 회로일 수 있지만, 바람직한 실시예에서 전류 제어형 회로가 이용된다.
- [0017] 적어도 하나의 다른 트랜지스터(선택 트랜지스터 및 구동 트랜지스터와는 별개의)를 갖는 픽셀 드라이버 회로의 실시예에서, 게이트 단자와 2개의 드레인/소스 단자 사이의 캐패시턴스의 비를 변경하는 능력은 추가의 디자인 자유도를 제공할 수 있다. 따라서, 통상적으로 픽셀 회로를 프로그래밍할 때, 회로 내에 전압 스윙이 존재하고 회로 내의 트랜지스터의 내부 캐패시턴스가 이들을 제어하도록 조정될 수 있는데-실제로, 설계자는 픽셀 회로 내의 내부 또는 "체류" 캐패시턴스에 대한 값을 선택하는 소정의 능력을 갖는다.
- [0018] 따라서, 다른 양태에서, 본 발명은 하나 이상의 내부 게이트-소스/드레인의 비, 즉 회로의 트랜지스터의 게이트-드레인/소스 캐패시턴스의 비가 조정되는 능동 매트릭스 픽셀 회로를 설계하는 방법을 제공한다. 이 방법을 사용하여 설계된 능동 매트릭스 픽셀 회로 및 복수의 이러한 픽셀 회로를 구비하는 디스플레이가 또한 제공된다.
- [0019] 예를 들어, 도 1a에 도시된 유형의 전류 프로그래밍된 픽셀 드라이버 회로의 실시예에서, 스위치/선택 트랜지스터 및 프로그래밍 트랜지스터(T1)의 내부 캐패시턴스비는 프로그래밍 중에 전압 소스 라인 상의 전압 스윙(예를 들어, 5 내지 10 볼트일 수 있음)을 부분적으로 상쇄하는 선택 라인 상의 전압 스윙(예를 들어, 최대 20 볼트일 수 있음)의 효과를 감소시키도록 조정될 수 있다.
- [0020] 관련 양태에서, 본 발명은 능동 매트릭스 디스플레이용 픽셀 회로를 제공하고, 픽셀 회로는 픽셀을 선택하기 위한 선택 라인과, 픽셀로부터 또는 픽셀로 픽셀 데이터를 판독하거나 기록하기 위한 데이터 라인을 갖고, 픽셀 드라이버 회로는 2개의 채널 접속부 및 게이트 접속부를 갖는 픽셀 선택 트랜지스터를 추가로 포함하고, 상기 게이트 접속부는 상기 데이터 라인 및 상기 선택 라인 중 하나에 결합되고, 상기 채널 접속부들 중 제 1 채널 접속부는 상기 데이터 라인 및 상기 선택 라인 중 다른 하나에 결합되고, 상기 게이트 접속부와 상기 채널 접속부들 중 제 1 채널 접속부 사이의 상기 픽셀 선택 트랜지스터의 내부 캐패시턴스는 상기 게이트 접속부와 상기 채널 접속부들 중 제 2 채널 접속부 사이의 상기 픽셀 선택 트랜지스터의 내부 캐패시턴스보다 작다.
- [0021] 바람직하게는, 2개의 내부 게이트-소스/드레인 캐패시턴스 중 더 작은 것은 더 큰 것의 2/3 미만, 더 바람직하게는 1/2 미만이다. 전술된 바와 같이, 실시예에서, 제 2 채널 영역은 제 1 채널 영역 주위를 적어도 부분적으로 감싼다.
- [0022] 픽셀 회로는 픽셀 드라이버 회로에 추가적으로 또는 대안적으로 센서 회로를 포함할 수 있다. 그러나, 실시예에서, 회로는 OLED용 픽셀 드라이버 회로를 포함하고, 픽셀 데이터는 OLE용 픽셀 휘도 데이터를 포함한다. 바람직한 실시예에서, 픽셀 드라이버 회로는 예를 들어 전술된 바와 같이 전류 제어형 회로이다.
- [0023] 다른 관련 양태에서, 본 발명은 능동 매트릭스 디스플레이용 픽셀 회로를 제공하고, 상기 픽셀 회로는 만족된 게이트 영역을 갖는 적어도 하나의 전계 효과 트랜지스터(FET)를 포함하여 상기 FET의 게이트-소스 캐패시턴스가 상기 FET의 게이트-드레인 캐패시턴스와는 상이하게 된다.
- [0024] 실시예에서, FET는 소스와 드레인 영역 사이에서 채널의 중심을 따른 라인에 대해 비대칭이고, 특히 단지 일 방향에서 만족된다(사행형 채널 디바이스와는 달리).
- [0025] 본 발명은 또한 능동 매트릭스 디스플레이, 특히 전계 발광 디스플레이, 더 구체적으로는 전술된 바와 같은 픽셀 회로를 구비하는 OLED 디스플레이를 제공한다.

[0026] 본 발명의 이들 및 다른 양태가 이제 첨부 도면을 참조하여 단지 예시적으로만 더 설명될 것이다.

도면의 간단한 설명

[0027] 도 1a 내지 도 1g는 종래 기술에 따른 픽셀 회로 및 대응 타이밍 다이어그램의 예와, 능동 매트릭스 픽셀 드라이버 회로의 부가의 예를 도시하는 도면.

도 2a 내지 도 2d는 각각 통상의 박막 트랜지스터의 개략도, 만곡 채널 박막 트랜지스터의 개략도, 본 발명의 실시예에 따른 복수의 픽셀 드라이버 회로를 구비하는 능동 매트릭스 OLED 디스플레이의 개략도 및 본 발명의 실시예와 함께 이용될 수 있는 대안적인 채널 형상의 예를 도시하는 도면.

도 3a 및 도 3b는 각각 도 2b의 디바이스의 실시예를 통한 수직 단면도 및 도 3a의 디바이스의 제조시의 단계를 도시하는 도면.

도 4는 기생/내부 캐패시턴스를 도시하는 도 1a의 회로를 도시하는 도면.

도 5는 만곡 게이트 트랜지스터를 구비하는 능동 매트릭스 센서 회로의 예를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0028] 데이터 라인 캐패시턴스의 감소를 위한 비대칭 박막 트랜지스터(TFT) 구조의 사용을 설명할 것이다. 만곡된, 예를 들어 반원형 채널 트랜지스터의 사용은 게이트와 트랜지스터의 소스/드레인 단자 중 하나 사이의 캐패시턴스의 우선적인 감소를 가능하게 한다. 능동 매트릭스 OLED 디스플레이의 픽셀 회로 내로의 이러한 만곡된 채널 디바이스의 통합은 개량된 픽셀 회로가 설계되는 것을 가능하게 한다. 예를 들어, TFT 디스플레이 후방 평면상의 프로그래밍 데이터 라인에 접속된 선택 TFT의 경우에, OLED 픽셀을 위한 프로그래밍 시간이 감소될 수 있다. 실시예에서, 만곡된 채널은 DC 디바이스 성능을 실질적으로 변경하지 않고, 외경 상의 게이트-접촉 캐패시턴스가 증가하는 것을 허용하면서 내경 상의 게이트-접촉 캐패시턴스를 감소시킨다.

능동 매트릭스 픽셀 회로

[0030] 도 1c는 전압 프로그래밍된 OLED 능동 매트릭스 픽셀 회로(150)의 예를 도시한다. 회로(150)는 디스플레이의 각각의 픽셀에 제공되고, Vdd(152), 접지(154), 행 선택(124) 및 열 데이터(126) 버스바아가 픽셀을 상호 접속하여 제공된다. 따라서, 각각의 픽셀은 파워 및 접지 접속부를 갖고, 픽셀의 각각의 행은 공통 행 선택 라인(124)을 갖고, 픽셀의 각각의 행은 공통 데이터 라인(126)을 갖는다.

[0031] 각각의 픽셀은 접지 라인(152)과 파워 라인(154) 사이의 드라이버 트랜지스터(158)와 직렬로 접속된 OLED(152)를 갖는다. 드라이버 트랜지스터(158)의 게이트 접속부(159)는 저장 캐패시터(120)에 결합되고, 제어 트랜지스터(122)는 행 선택 라인(124)의 제어 하에서 게이트(159)를 열 데이터 라인(126)에 결합한다. 트랜지스터(122)는 행 선택 라인(124)이 활성화될 때 열 데이터 라인(126)을 게이트(159) 및 캐패시터(120)에 접속하는 박막 전계 효과 트랜지스터(TFT) 스위치이다. 따라서, 스위치(122)가 온 될 때 열 데이터 라인(126) 상의 전압이 캐패시터(120) 상에 저장될 수 있다. 이 전압은 드라이버 트랜지스터(158)로의 게이트 접속 및 그 "오프" 상태에서 서의 스위치 트랜지스터(122)의 비교적 높은 임피던스에 기인하여 적어도 프레임 리프레시 기간 동안 캐패시터 상에 보유된다.

[0032] 드라이버 트랜지스터(158)는 통상적으로 TFT이고 임계 전압보다 적은 트랜지스터 게이트 전압에 의존하는 (드레인-소스) 전류를 통과시킨다. 따라서, 게이트 노드(159)에서의 전압은 OLED(152)를 통한 전류 및 따라서 OLED의 휘도를 제어한다.

[0033] 도 1c의 전압-프로그래밍된 회로는 특히, OLED 발광이 인가된 전압에 비선형적으로 의존하기 때문에 다수의 결점을 갖고, OLED로부터의 광 출력이 그가 통과하는 전류에 비례하기 때문에 전류 제어가 바람직하다. 도 1d(도 1c의 것들과 유사한 요소는 유사한 도면 부호에 의해 지시되어 있음)는 전류 제어를 이용하는 도 1c의 회로의 변형예를 도시한다. 더 구체적으로는, 전류 발생기(166)에 의해 설정된 (열) 데이터 라인 상의 전류는 박막 트랜지스터(TFT)(160)를 통해 전류를 "프로그래밍"하고, 이어서 OLED(152)를 통해 전류를 설정하는데, 이는 트랜지스터(122a)가 온 될 때 (정합된) 트랜지스터(160, 158)가 전류 미러를 형성하기 때문이다. 도 1e는 TFT(160)가 포토다이오드(162)로 대체되어 데이터 라인 내의 전류(픽셀 드라이버 회로가 선택될 때)가 포토다이오드를

통해 전류를 설정함으로써 OLED로부터 광 출력을 프로그래밍하게 되는 추가의 변형예를 도시한다.

[0034] 본 출원인의 출원 W003/038790호로부터 취한 도 1f는 전류-프로그래밍된 픽셀 드라이버 회로의 다른 예를 도시한다. 이 회로에서, OLED(152)를 통한 전류는 예를 들어 기준 전류 싱크와 같은 전류 발생기(166)를 사용하여 OLED 드라이버 트랜지스터(158)를 위한 드레인 소스 전류를 설정하고, 이 드레인-소스 전류를 위해 요구되는 드라이버 트랜지스터 게이트 전압을 기억함으로써 설정된다. 따라서, OLED(152)의 휘도는 바람직하게 조정 가능한 기준 전류 싱크(166) 내로 흐르는 전류(I_{col})에 의해 결정되고, 어드레스되는 픽셀을 위해 요구되는 바와 같이 설정된다. 게다가, 다른 스위칭 트랜지스터(164)가 구동 트랜지스터(158)와 OLED(152) 사이에 접속되어 프로그래밍 단계 중에 OLED 조명을 방지한다. 일반적으로, 하나의 전류 싱크(166)가 각각의 열 데이터 라인에 제공된다. 도 1g는 도 1f의 회로의 변형예를 도시한다.

[0035] **만곡된 채널 디바이스**

[0036] 임의의 TFT 디바이스가 갖는 과제는 접점과 게이트 사이의 중첩에 의해 발생하는 캐패시턴스이다. 이는 특히 병렬의 다수의 디바이스가 존재하는 경우에 회로 응답 시간 및 누설의 견지에서 상당한 영향을 가질 수 있다. 그러나, 게이트 및 소스/드레인 접점이 개별적으로 패터닝되는 경우에, 훨씬 증가된 접촉 저항을 도입할 때 조건에 훨씬 악영향을 미칠 수 있는 갭을 회피하기 위해 소정의 정도의 중첩이 존재해야 한다.

[0037] 이러한 것이 문제가 되는 특정 경우는 디스플레이 후방 평면 상에 데이터 또는 프로그래밍 라인을 갖는 것이다. 데이터 라인은 그를 통해 픽셀 회로가 프로그래밍되는 접속부이다. 특정 픽셀 행을 위한 게이트 라인은 픽셀 회로에 데이터 라인을 접속하는 스위치 트랜지스터를 폐쇄할 수 있다. 픽셀 행 당 이들 스위치 중 하나가 존재할 수 있다. 각각의 스위치는, 개별 디바이스에 대해 소형이면서 행 카운트가 특히 더욱 더 높은 해상도 디스플레이를 위한 증가하는 요구에 따라 증가함에 따라 문제가 되는 소정의 입력 캐패시턴스를 가질 수 있다.

[0038] 제조 프로세스에 따라, 게이트 금속과 드레인/소스 금속 사이의 소정의 중첩은 예를 들어 정렬 규칙 및 오정렬을 위한 소정 정도의 공차를 제공해야 하는 필요성에 기인하여 회피 불가능할 수도 있다. 따라서, 본 발명의 실시예는 각각의 (선택) 트랜지스터의 데이터 라인측 상의 캐패시턴스를 우선적으로 실질적으로 감소시킬 수 있는 만곡된 게이트 영역을 갖는 비대칭 디바이스 디자인을 사용한다.

[0039] 도 2a 및 도 2b를 참조하면, 동일한 공칭 게이트 폭을 각각 갖는 통상의 디바이스(도 2a) 및 만곡된 채널 박막 트랜지스터(200)(도 2b)의 개략도를 도시한다. 도 2b의 디바이스에서, 트랜지스터는 제 1 드레인/소스 금속 영역(202), 제 2 드레인/소스 금속 영역(204) 및 볼 수 있는 바와 같이 제 1 및 제 2 드레인/소스 영역을 부분적으로 중첩하는 위에 놓인 게이트 영역(206)을 포함한다. (본 명세서에서, "위에 놓인" 게이트 영역의 언급은 반드시 게이트가 소스/드레인 영역의 위에 있는 것을 암시하는 것은 아니고, 트랜지스터의 바람직한 실시예는 하부 게이트 디바이스를 포함한다.) 도 2a에서, 도 2b의 것들과 유사한 요소는 유사한 도면 부호에 의해 지시된다. 드레인/소스 영역(202)과 게이트(206)의 중첩은 제 1 내부 캐패시턴스(C_a)를 발생시키고, 드레인/소스 영역(204)과 게이트의 중첩은 제 2 더 큰 내부 캐패시턴스(C_b)를 발생시킨다. 검사에 의하면, 도 2a의 것과 비교할 때 도 2b의 디바이스의 경우에, 중첩 거리가 동일하더라도 중첩된 면적은 만곡된 채널 디바이스에 대해 매우 훨씬 감소되고, 즉 C_a 는 C_b 보다 훨씬 작다는 것을 알 수 있다.

[0040] 통상의 디바이스에서, 정렬 공차는 +/- 4 μm 일 수 있고, 거리 x는 5 내지 10 μm 정도일 수 있고, 거리 y는 4 μm 정도, 거리 z는 4 μm 정도일 수 있다. 이는 대략 1.5:1(면적의 비)의 $C_b:C_a$ 의 비를 제공한다.

[0041] 이제, 도 2c를 참조하면, 도 2b에 도시된 유형의 선택 트랜지스터(200)를 각각 포함하는 복수의 픽셀 드라이버 회로(222)를 구비하는 능동 매트릭스 OLED 디스플레이(220)의 개략 회로 다이어그램을 도시한다. 선택 트랜지스터의 게이트 접속부는 선택 라인(224)에 결합되고 더 작은 내부 캐패시턴스를 갖는 소스/드레인 접속부(202)가 데이터 라인(226)에 접속된다. 도시된 예에서, 복수의 열 데이터 라인(단지 하나만 도시됨) 및 복수의 행 선택 라인이 존재하고, 각각의 픽셀 회로(222)는 적어도 하나의 데이터 라인(226) 및 적어도 하나의 선택 라인(224)에 결합된다. 당 기술 분야의 숙련자는 픽셀 회로(222)가 관련 OLED(228)를 구동하기 위한 임의의 전술된 픽셀 드라이버 회로를 포함할 수 있고, 또는 다른 픽셀 구동 회로의 임의의 범위가 이용될 수 있다는 것을 이해할 수 있을 것이고, 그 다른 예가 당 기술 분야의 숙련자들에게 잘 알려져 있을 것이다. 추가적으로 또는 대안적으로, 선택 트랜지스터(200)는 픽셀 센서 회로의 부분을 포함할 수 있는데, 그 예시적인 예가 이하에 제공된다.

- [0042] 도 2c를 참조하면, 캐패시턴스(Cs)를 감소시킴으로써, 전체 데이터 라인 캐패시턴스가 감소될 수 있고, 따라서 픽셀의 프로그래밍(또는 판독) 시간이 또한 감소될 수 있다는 것을 알 수 있다.
- [0043] 픽셀 회로의 물리적 레이아웃에서, 픽셀 데이터 저장 캐패시터[도 1a의 캐패시터(Cs)]를 위한 소스/드레인 금속 영역(204)의 일 측에 비점유된 "웍"을 사용하는 것이 바람직할 수 있다. 따라서, 더 일반적으로, 픽셀 회로(222)의 물리적 레이아웃에서, 트랜지스터(200)를 둘러싸는(측면 평면에서) 직사각형의 하나 이상의 영역은 픽셀 회로의 픽셀 데이터 저장 캐패시터의 적어도 일부에 의해 점유될 수 있다.
- [0044] 도 2d는 대안의 특히 덜 바람직한 만곡된 채널 형상의 몇몇 예를 도시한다. 이하의 도면으로부터 알 수 있는 바와 같이, 영역(204)이 영역(202)을 둘러싸는 아암 또는 돌출부를 갖는 것이 필수적인 것은 아니다.
- [0045] 이제, 도 3a를 참조하면, 도 2b의 트랜지스터(200)를 통한 수직 단면도를 도시한다(기관 및 디바이스 커넥터가 명료화를 위해 생략되어 있음). 디바이스는 실시예에서 산화층(208), 이어서 비정질 실리콘의 층(210), 이어서 소스/드레인 금속층(202, 204)이 그 위에 놓이는 임의의 적합한 게이트 금속으로부터 제조된 게이트 접속부(206)를 포함한다. 도 3b는 디바이스의 소스 및 드레인 접점을 제공하기 위해 게이트 금속층의 제 1 적층 및 패터닝, 다음에 산화물층의 적층, 다음에 비정질 실리콘 및 소스/드레인 금속의 적층 및 패터닝을 포함하는 디바이스의 제조시의 단계를 도시한다.
- [0046] 이제 도 4를 참조하면, 1 내지 6으로 나타낸 노드를 갖는 도 1a의 전류 제어형 픽셀 드라이버 회로를 도시하고, 디바이스(T1 내지 T3) 및 OLED의 내부 기생 캐패시턴스를 도시한다. 이들 캐패시턴스에 의해 형성된 네트워크는 도 4의 우측에 개별적으로 도시되어 있다. 다른 픽셀 회로는 내부 디바이스 캐패시턴스의 유사한 네트워크를 갖는다. 도 4의 예에서, 도 1b를 참조하면, V_{DD} 라인(노드 4)은 선택 라인(노드 2)이 하강할 때와 실질적으로 동시에 상승한다. 이는 구동 트랜지스터(T3)의 게이트-소스 전압을 결정하는 저장 캐패시턴스(Cs)를 가로질러 전압을 변경하는(바람직하지 않은) 효과를 가질 수 있다. 이 문제점을 처리하기 위한 일 기술은, 저장 캐패시터의 값을 증가시켜 효과적으로 회로를 "더 강성"이 되게 하는 것이지만, 이는 프로그래밍 시간을 증가시킨다. 대신에, 저장 캐패시터(Cs) 상의 전압 변화를 감소시키고 따라서 프로그래밍 시간을 실질적으로 손상시키지 않고 더 정확한 회도를 성취하기 위해 트랜지스터(T1, T2, T3) 중 하나 이상 내의 캐패시턴스의 비를 조정하는 것이 바람직할 수 있다. 도 4의 네트워크에 도시된 캐패시터의 정확한 값/비는 회로 구현의 상세에 의존할 수 있고, 예를 들어 컴퓨터 지원 설계(CAD) 시스템을 사용하여 정해진 방식으로 선택될 수 있다.
- [0047] 전압 프로그래밍된 회로에서, 고속 프로그래밍 시간을 성취하는 것은 픽셀 데이터 저장 캐패시터 상에 저장된 전압의 값의 가능한 변화보다 적은 문제점일 수 있다. 또한, 이는 예를 들어 CAD 시스템을 이용함으로써 게이트-소스/드레인의 비, 즉 트랜지스터(T1, T2, T3) 중 하나 이상 내의 게이트-드레인/소스 캐패시턴스의 비를 조정함으로써 처리될 수 있다. 즉 도 1c의 전압 프로그래밍된 픽셀 회로를 참조하면, VDD 라인(노드 4)은 고정되지만, 선택 라인(노드 2) 상의 전압은 변화하고, 재차 픽셀 회로의 디바이스 내의 내부/기생 캐패시턴스의 네트워크를 통해, 도 1c의 저장 캐패시터(120) 상의 전압은 데이터 라인 상에 프로그래밍된 것에 대해 상이한 값으로 설정되어 종료될 수 있다.
- [0048] 픽셀 회로의 실시예에서, 저항기와 유사한 실질적으로 선형 모드에서 작동하는 하나 이상의 트랜지스터에 전술된 기술을 이용하는 것이 바람직한데, 이 경우에 게이트-드레인/소스 중첩부는 효과적으로 캐패시터로서 기능하고, 포화 모드에서 더 복잡한 거동이 관찰될 수 있다. 실시예에서, OLED를 구동하는 구동 트랜지스터는 일반적으로 픽셀 회로의 다른 트랜지스터보다 비교적 높은 파워 디바이스이기 때문에, 이는 예를 들어 사행형 형상의 넓은 짧은 채널을 갖고 제조될 수 있고, 이는 디바이스 내에 내부 게이트-소스/드레인 캐패시턴스 비대칭을 도입하기 위한 제한된 실용적인 범주를 제공할 수 있다(일반적으로, 이러한 사행형 채널은 실질적으로 대칭 중첩부를 제공하기 때문에).
- [0049] 도 5는 전술된 것들과 유사한 요소가 유사한 도면 부호에 의해 지시되어 있는 픽셀 센서 회로(500)의 간단한 예를 도시한다. 도시된 예에서, 픽셀 회로(500)는 유기 포토다이오드(502)를 포함한다.
- [0050] 당 기술 분야의 숙련자가 이해할 수 있는 바와 같이, 전술된 회로는 n- 또는 p-채널 변형예에서 구현될 수 있다. 당 기술 분야의 숙련자는 다수의 다른 변형예가 가능하고, 예를 들어 도 1c 내지 도 1g에 도시된 회로의 하나 또는 그 이상이 또한 부유 게이트 구동 트랜지스터를 사용하여 구현될 수 있다(예를 들어, 본 명세서에 참조로 포함된 GB 0721567.6호 및 GB 0723859.5호 참조). 더 일반적으로, 당 기술 분야에 설명된 실질적으로 임의의 픽셀 회로가 전술된 라인을 따라 만곡된 게이트(스위칭) TFT를 통합하도록 구성될 수 있다.
- [0051] 분명하게, 다수의 다른 효과적인 대안이 당 기술 분야의 숙련자에게 발생할 수 있다. 본 발명은 설명된 실시예

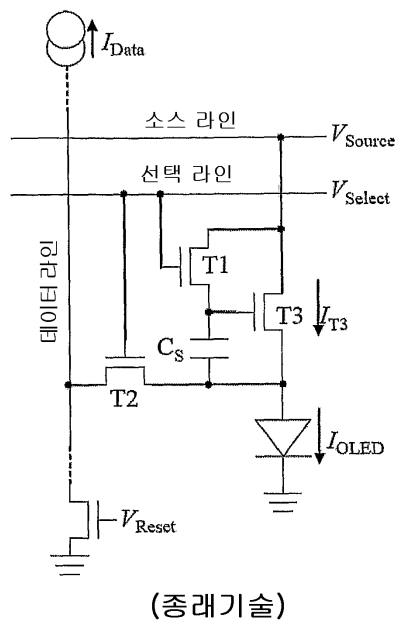
에 한정되는 것은 아니고, 첨부된 청구범위의 범주 내에 있는 당 기술 분야의 숙련자들에게 명백한 수정을 포함하는 것이 이해될 수 있을 것이다.

부호의 설명

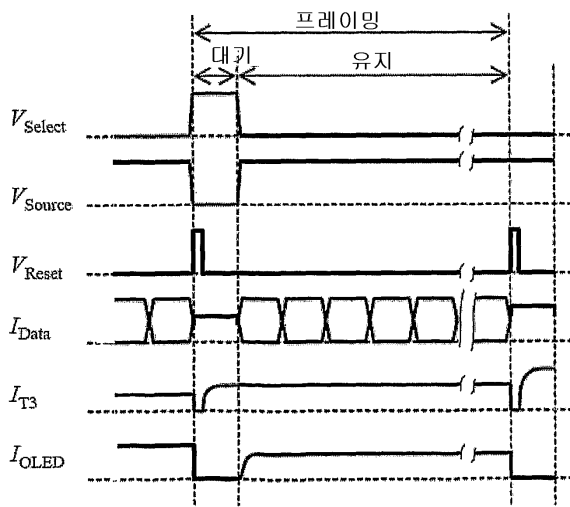
- | | | |
|--------|-----------------------|-----------------------|
| [0052] | 120: 저장 캐패시터 | 122: 스위치 트랜지스터 |
| | 124: 행 선택 라인 | 126: 데이터 라인 |
| | 150: 픽셀 회로 | 152: 접지 라인 |
| | 154: 파워 라인 | 158: 드라이버 트랜지스터 |
| | 159: 게이트 접속부 | 160: 박막 트랜지스터(TFT) |
| | 162: 포토다이오드 | 164: 스위칭 트랜지스터 |
| | 166: 전류 싱크 | 200: 트랜지스터 |
| | 202: 제 1 드레인/소스 금속 영역 | 204: 제 2 드레인/소스 금속 영역 |
| | 206: 게이트 영역 | 220: OLED 디스플레이 |
| | 222: 픽셀 드라이버 회로 | 224: 선택 라인 |
| | 226: 데이터 라인 | 228: OLED |
| | 500: 픽셀 센서 회로 | 502: 유기 포토다이오드 |

도면

도면1a

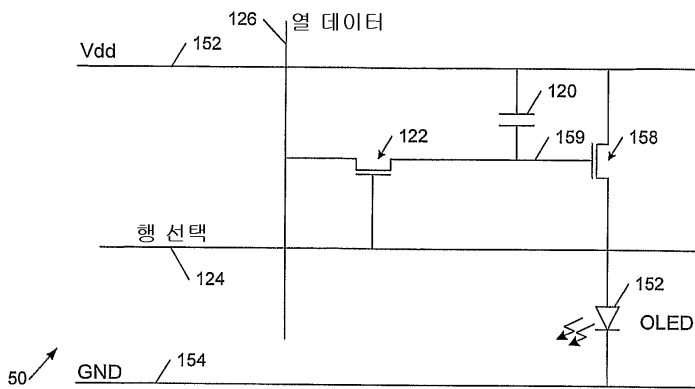


도면1b

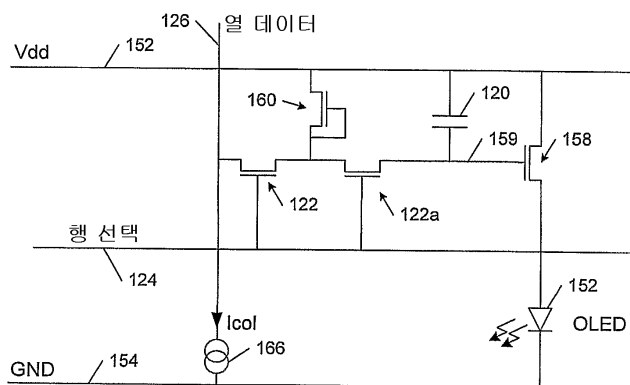


(종래기술)

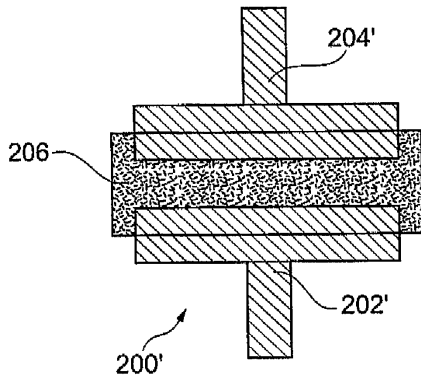
도면1c



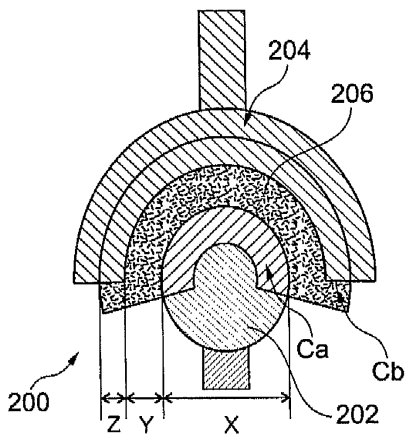
도면1d



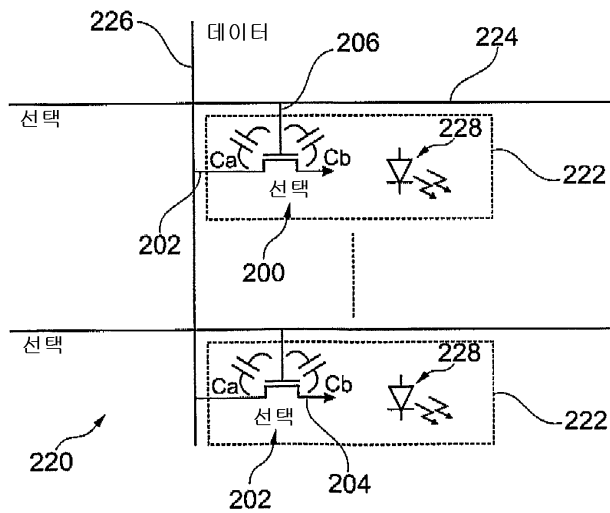
도면2a



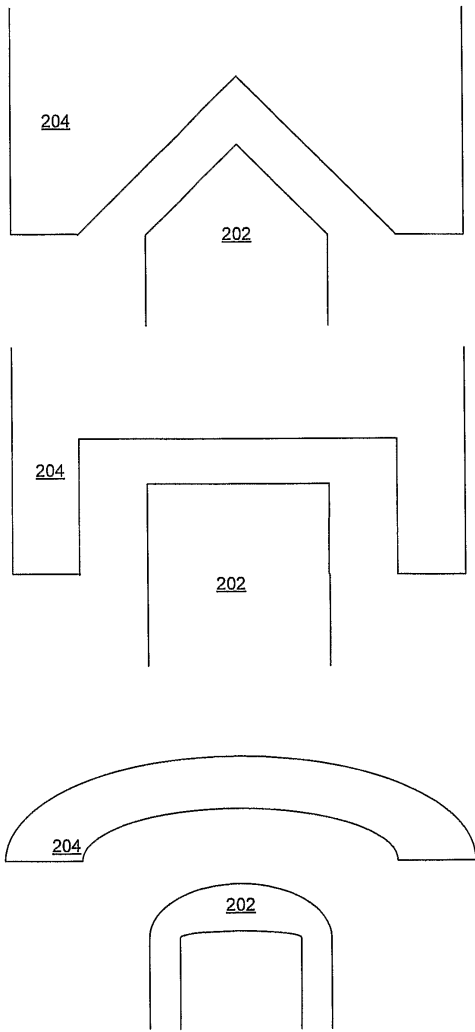
도면2b



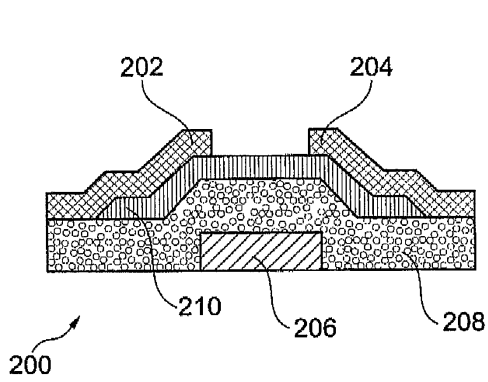
도면2c







도면2d

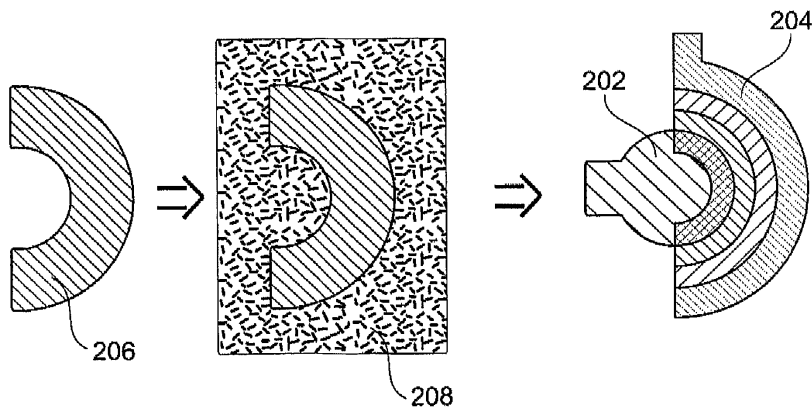


도면3a

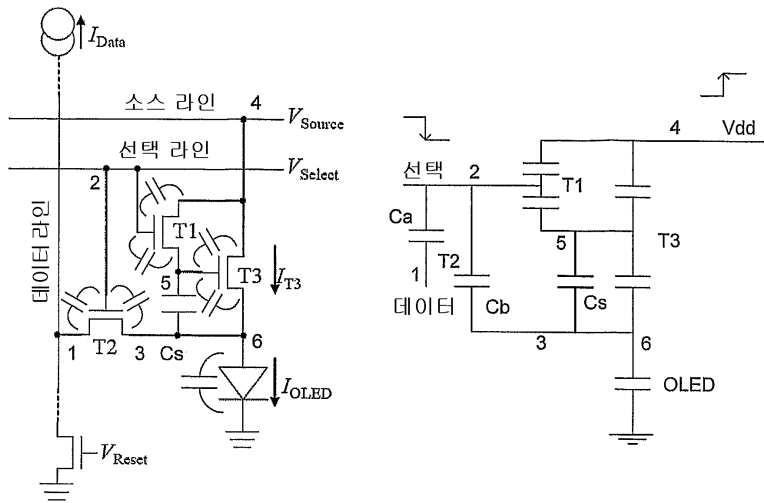


-  SD 금속
-  a-Si
-  산화물
-  게이트 금속

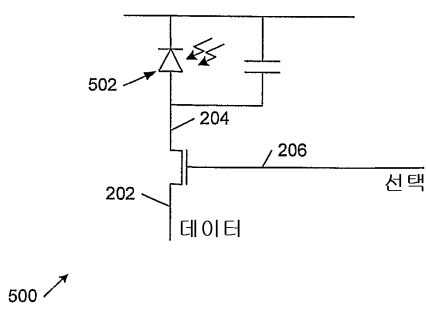
도면3b



도면4



도면5



专利名称(译)	用于有源矩阵OLED显示器和有源矩阵显示器的像素电路		
公开(公告)号	KR1020110033953A	公开(公告)日	2011-04-01
申请号	KR1020117004642	申请日	2009-07-30
[标]申请(专利权)人(译)	剑桥显示技术有限公司		
申请(专利权)人(译)	剑桥显示科技有限公司		
当前申请(专利权)人(译)	剑桥显示科技有限公司		
[标]发明人	SMITH EUAN		
发明人	SMITH, EUAN		
IPC分类号	G09G3/20 H01L21/77 H01L27/12 H01L51/50		
CPC分类号	H01L27/1214 H01L27/12 H01L29/41733 H01L27/124 H01L27/3244		
优先权	2008014021 2008-08-01 GB		
外部链接	Espacenet		

摘要(译)

显示器具有相应的多个有机发光二极管 (OLED) 像素具有相关的像素驱动电路, 以及多个选择线和多个数据线。每个像素驱动器电路在选择线和数据线中组合。像素驱动电路小于连接单元之间的电容, 该电容不同于栅极连接部分和漏极连接部分之间的电容, 并且源极连接部分是栅极连接部分, 一个栅极区域和栅极区域的重复区域大于它意味着区域 - 源极和漏极区域中的另一区域的重复区域, 并且一个包括选择晶体管的端子中的选择晶体管的栅极连接部分, 另一个端子包括漏极连接分区和源极连接部分中的一个。选择晶体管和选择晶体管包括区域 - 源极, 漏极区域和栅极区域以及栅极区域至少部分地与区域 - 源极和漏极区域重叠, 用于驱动OLED的驱动晶体管和具有第二端子的选择晶体管, 耦合到第一终端和数据线。

