



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0008891
(43) 공개일자 2010년01월27일

(51) Int. Cl.

H05B 33/22 (2006.01) *H05B 33/26* (2006.01)
H05B 33/10 (2006.01) *H01L 51/50* (2006.01)

(21) 출원번호 10-2008-0069505

(22) 출원일자 2008년07월17일

심사청구일자 **없음**

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박재희

경북 구미시 구평동 부영7단지 부영아파트
708-1504

(74) 대리인

특허법인로얄

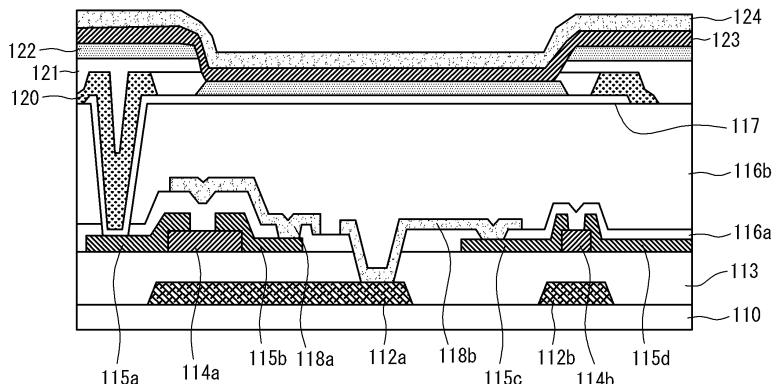
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치와 이의 제조방법

(57) 요약

본 발명의 실시예는, 기판; 기판 상에 위치하며 게이트, 소오스 및 드레인을 포함하는 트랜지스터; 트랜지스터 상에 위치하며 소오스 또는 드레인에 연결된 연결전극; 연결전극 상에 위치하며 연결전극의 일부를 노출하는 제1희생층; 제1희생층 상에 위치하며 연결전극의 일부를 노출하는 제2희생층; 연결전극과 제2희생층 상에 위치하는 하부전극; 하부전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 상부전극을 포함하며, 제1희생층이 제2희생층보다 내측으로 인입된 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

기판;

상기 기판 상에 위치하며 게이트, 소오스 및 드레인을 포함하는 트랜지스터;

상기 트랜지스터 상에 위치하며 상기 소오스 또는 드레인에 연결된 연결전극;

상기 연결전극 상에 위치하며 상기 연결전극의 일부를 노출하는 제1회생층;

상기 제1회생층 상에 위치하며 상기 연결전극의 일부를 노출하는 제2회생층;

상기 연결전극과 상기 제2회생층 상에 위치하는 하부전극;

상기 하부전극 상에 위치하는 유기 발광층; 및

상기 유기 발광층 상에 위치하는 상부전극을 포함하며,

상기 제1회생층이 상기 제2회생층보다 내측으로 인입된 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1회생층은,

무기 절연막을 포함하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제2회생층은,

금속 또는 금속 산화물을 포함하는 유기전계발광표시장치.

청구항 4

기판;

상기 기판 상에 위치하며 게이트, 소오스 및 드레인을 포함하는 트랜지스터;

상기 트랜지스터 상에 위치하며 상기 소오스 또는 드레인에 연결된 연결전극;

상기 연결전극 상에 위치하며 상기 연결전극의 일부를 노출하는 회생층;

상기 회생층 상에 위치하며 상기 연결전극의 일부를 노출하는 뱅크층;

상기 연결전극과 상기 뱅크층 상에 위치하는 하부전극;

상기 하부전극 상에 위치하는 유기 발광층; 및

상기 유기 발광층 상에 위치하는 상부전극을 포함하며,

상기 회생층이 상기 뱅크층보다 내측으로 인입된 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 회생층은,

무기 절연막을 포함하는 유기전계발광표시장치.

청구항 6

기판 상에 게이트, 소오스 및 드레인을 포함하는 트랜지스터를 형성하는 단계;

상기 트랜지스터 상에 상기 소오스 또는 상기 드레인에 연결되는 연결전극을 형성하는 단계;

상기 연결전극 상에 제1희생층을 형성하는 단계;

상기 제1희생층 상에 제2희생층을 형성하는 단계;

상기 제2희생층 상에 상기 제2희생층의 일부가 노출되도록 포토레지스터를 형성하는 단계;

상기 포토레지스터의 하부로 상기 제2희생층이 인입되도록 제1식각 방법을 이용하여 상기 제2희생층을 제거하는 단계;

상기 제2희생층의 하부로 상기 제1희생층이 인입되도록 제2식각 방법을 이용하여 상기 제1희생층을 제거하는 단계;

상기 포토레지스터를 제거하는 단계;

상기 연결전극 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 상부전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 7

제6항에 있어서,

상기 제2식각 방법은 6불화황(SF₆)과 산소(O₂)를 포함하는 건식 식각 방법이며, 상기 제1희생층 제거시 상기 산소보다 상기 6불화황의 비율을 높게 설정하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 8

제6항에 있어서,

상기 제1희생층은 무기 절연막을 포함하고,

상기 제2희생층은 금속 또는 금속 산화물을 포함하는 유기전계발광표시장치의 제조방법.

청구항 9

기판 상에 게이트, 소오스 및 드레인을 포함하는 트랜지스터를 형성하는 단계;

상기 트랜지스터 상에 상기 소오스 또는 상기 드레인에 연결되는 연결전극을 형성하는 단계;

상기 연결전극 상에 희생층을 형성하는 단계;

상기 희생층 상에 상기 희생층의 일부가 노출되도록 뱅크층을 형성하는 단계;

상기 뱅크층의 하부로 상기 희생층이 인입되도록 식각 방법을 이용하여 상기 희생층을 제거하는 단계;

상기 연결전극 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 상부전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 10

제9항에 있어서,

상기 식각 방법은 6불화황(SF₆)과 산소(O₂)를 포함하는 건식 식각 방법이며, 상기 희생층 제거시 상기 산소보다 상기 6불화황의 비율을 높게 설정하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명의 실시예는 유기전계발광표시장치와 이의 제조방법에 관한 것이다.

배경기술

<2> 유기전계발광표시장치에 사용되는 유기전계발광소자는 기판 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

<3> 또한, 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

<4> 이러한 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

<5> 한편, 종래 유기전계발광표시장치는 게이트, 소오스 및 드레인을 포함하는 트랜지스터 상에 소오스 또는 드레인에 연결되는 캐소드를 형성하고, 챔버를 이동하여 유기 발광층과 애노드를 형성하는 공정을 거친다.

<6> 이와 같은 제조방법에 의해 형성된 유기전계발광표시장치는 박막의 구조 또는 제조방법의 절차 등에 의해 캐소드가 산화됨에 따라 전자주입 특성이 저하하는 문제가 있었다. 그리고 종래 유기전계발광표시장치는 캐소드 형성시 캐소드 간의 쇼트나 박막 단차에 의한 애노드 오픈(끊김)과 같은 문제가 있다.

발명의 내용

해결 하고자하는 과제

<7> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 하부전극이 산화하는 문제를 방지하고, 하부전극 간의 쇼트나 박막 단차에 의한 상부전극 오픈(끊김) 문제를 방지할 수 있는 유기전계발광표시장치와 이의 제조방법을 제공하는 것이다.

과제 해결수단

<8> 상술한 과제 해결 수단으로 본 발명의 실시예는, 기판; 기판 상에 위치하며 게이트, 소오스 및 드레인을 포함하는 트랜지스터; 트랜지스터 상에 위치하며 소오스 또는 드레인에 연결된 연결전극; 연결전극 상에 위치하며 연결전극의 일부를 노출하는 제1희생층; 제1희생층 상에 위치하며 연결전극의 일부를 노출하는 제2희생층; 연결전극과 제2희생층 상에 위치하는 하부전극; 하부전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 상부전극을 포함하며, 제1희생층이 제2희생층보다 내측으로 인입된 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

<9> 제1희생층은, 무기 절연막을 포함할 수 있다.

<10> 제2희생층은, 금속 또는 금속 산화물을 포함할 수 있다.

<11> 다른 측면에서 본 발명의 실시예는, 기판; 기판 상에 위치하며 게이트, 소오스 및 드레인을 포함하는 트랜지스터; 트랜지스터 상에 위치하며 소오스 또는 드레인에 연결된 연결전극; 연결전극 상에 위치하며 연결전극의 일부를 노출하는 희생층; 희생층 상에 위치하며 연결전극의 일부를 노출하는 뱅크층; 연결전극과 뱅크층 상에 위치하는 하부전극; 하부전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 상부전극을 포함하며, 희생층이 뱅크층보다 내측으로 인입된 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

<12> 희생층은, 무기 절연막을 포함할 수 있다.

<13> 또 다른 측면에서 본 발명의 실시예는, 기판 상에 게이트, 소오스 및 드레인을 포함하는 트랜지스터를 형성하는 단계; 트랜지스터 상에 소오스 또는 드레인에 연결되는 연결전극을 형성하는 단계; 연결전극 상에 제1희생층을 형성하는 단계; 제1희생층 상에 제2희생층을 형성하는 단계; 제2희생층 상에 제2희생층의 일부가 노출되도록 포토레지스터를 형성하는 단계; 포토레지스터의 하부로 제2희생층이 인입되도록 제1식각 방법을 이용하여 제2희생층을 제거하는 단계; 제2희생층의 하부로 제1희생층이 인입되도록 제2식각 방법을 이용하여 제1희생층을 제거하

는 단계; 포토레지스터를 제거하는 단계; 연결전극 상에 하부전극을 형성하는 단계; 하부전극 상에 유기 발광층을 형성하는 단계; 및 유기 발광층 상에 상부전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

- <14> 제2식각 방법은 6불화황(SF₆)과 산소(O₂)를 포함하는 건식 식각 방법이며, 제1희생층 제거시 산소보다 6불화황의 비율을 높게 설정할 수 있다.
- <15> 제1희생층은 무기 절연막을 포함하고, 제2희생층은 금속 또는 금속 산화물을 포함할 수 있다.
- <16> 또 다른 측면에서 본 발명의 실시예는, 기판 상에 게이트, 소오스 및 드레인을 포함하는 트랜지스터를 형성하는 단계; 트랜지스터 상에 소오스 또는 드레인에 연결되는 연결전극을 형성하는 단계; 연결전극 상에 희생층을 형성하는 단계; 희생층 상에 희생층의 일부가 노출되도록 뱅크층을 형성하는 단계; 뱅크층의 하부로 희생층이 인입되도록 식각 방법을 이용하여 희생층을 제거하는 단계; 연결전극 상에 하부전극을 형성하는 단계; 하부전극 상에 유기 발광층을 형성하는 단계; 및 유기 발광층 상에 상부전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.
- <17> 식각 방법은 6불화황(SF₆)과 산소(O₂)를 포함하는 건식 식각 방법이며, 희생층 제거시 산소보다 6불화황의 비율을 높게 설정할 수 있다.

효과

- <18> 본 발명의 실시예는, 하부전극이 산화하는 문제를 방지하고, 하부전극 간의 쇼트나 박막 단차에 의한 상부전극 오픈(끊김) 문제를 방지할 수 있는 유기전계발광표시장치와 이의 제조방법을 제공하는 효과가 있다. 또한, 본 발명의 실시예에 따르면, 하부전극의 하부에 위치하는 유기 재료들에 의한 아웃게싱(out-gassing) 영향을 최소화할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <19> 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- <20> <제1실시예>
- <21> 도 1은 유기전계발광표시장치의 개략적인 평면도이고, 도 2는 본 발명의 제1실시예에 따른 서브 픽셀의 단면 예시도이며, 도 3은 도 2에 도시된 유기 발광다이오드의 계층 구조도이다.
- <22> 도 1에 도시된 바와 같이, 유기전계발광표시장치는 기판(110) 상에 다수의 서브 픽셀(P)이 위치하는 표시부(130)를 포함할 수 있다.
- <23> 기판(110)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있다. 기판(110)의 재료로는, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다.
- <24> 서브 픽셀(P)은 기판(110) 상에 위치하는 트랜지스터와 트랜지스터 상에 위치하는 유기 발광다이오드를 포함할 수 있다.
- <25> 기판(110) 상에 위치하는 다수의 서브 픽셀(P)은 수분이나 산소에 취약하다.
- <26> 이에 따라, 밀봉기판(140)을 구비하고, 표시부(130)의 외곽 기판(110)에 접착부재(150)를 형성하여 기판(110)과 밀봉기판(140)을 봉지할 수 있다.
- <27> 다수의 서브 픽셀(P)은 기판(110) 상에 위치하는 구동부(160)에 의해 구동되어 영상을 표현할 수 있다. 구동부(160)는 외부로부터 공급된 각종 신호에 대응하여 스캔 신호 및 데이터 신호 등을 생성할 수 있으며, 생성된 신호 등을 표시부(130)에 위치하는 다수의 서브 픽셀(P)에 공급할 수 있다.
- <28> 구동부(160)는 다수의 서브 픽셀(P)에 스캔 신호를 공급하는 스캔 구동부와 다수의 서브 픽셀(P)에 데이터 신호를 공급하는 데이터 구동부를 포함할 수 있다. 여기서, 구동부(160)는 스캔 구동부 및 데이터 구동부가 하나의 칩에 형성된 것을 일례로 개략적으로 도시한 것일 뿐 스캔 구동부와 데이터 구동부 중 하나 이상은 기판(110) 또는 기판(110)의 외부에 구분되어 위치할 수 있다.

- <29> 이하, 도 2를 참조하여 본 발명의 실시예에 따른 서브 팩셀에 대해 더욱 자세히 설명한다.
- <30> 도 2를 참조하면, 기판(110) 상에는 게이트(112a, 112b)가 위치할 수 있다. 게이트(112a, 112b)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 게이트(112a, 112b)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트(112a, 112b)는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <31> 게이트(112a, 112b) 상에는 제1절연막(113)이 위치할 수 있다. 제1절연막(113)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <32> 제1절연막(113) 상에는 액티브층(114a, 114b)이 위치할 수 있다. 액티브층(114a, 114b)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 액티브층(114a, 114b)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다. 또한, 액티브층(114a, 114b)은 접촉 저항을 낮추기 위한 오믹 콘택층을 포함할 수도 있다.
- <33> 액티브층(114a, 114b) 상에는 소오스(115a, 115c) 및 드레인(115b, 115d)이 위치할 수 있다. 소오스(115a, 115c) 및 드레인(115b, 115d)은 단일층 또는 다중층으로 이루어질 수 있으며, 소오스(115a, 115c) 및 드레인(115b, 115d)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 소오스(115a, 115c) 및 드레인(115b, 115d)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <34> 소오스(115a, 115c) 및 드레인(115b, 115d) 상에는 제2절연막(116a)이 위치할 수 있다. 제2절연막(116a)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 제2절연막(116a)은 패시베이션막일 수 있다.
- <35> 기판(110) 상에 위치하는 트랜지스터 중 게이트(112a), 소오스(115a) 및 드레인(115b)은 구동 트랜지스터이고, 게이트(112b), 소오스(115c) 및 드레인(115d)은 스위칭 트랜지스터일 수 있다. 구동 트랜지스터의 소오스(115a) 및 드레인(115b) 중 하나는 제2절연막(116a) 상에 위치하는 쉴드(shield) 금속(118a)에 연결될 수 있다. 그리고, 구동 트랜지스터의 소오스(115a) 또는 드레인(115b) 중 하나는 스위칭 트랜지스터의 소오스(115c) 또는 드레인(115d)에 연결될 수 있다.
- <36> 제2절연막(116a) 상에는 평탄도를 높이기 위한 제3절연막(116b)이 위치할 수 있다. 제3절연막(116b)은 폴리이미드 등의 유기물을 포함할 수 있다.
- <37> 이상은 기판(110) 상에 형성된 트랜지스터가 바탕 게이트형인 것을 일례로 설명하였다. 그러나, 기판(110) 상에 형성되는 트랜지스터는 바탕 게이트형뿐만 아니라 탑 게이트형으로도 형성될 수 있다.
- <38> 트랜지스터의 제3절연막(116b) 상에는 구동 트랜지스터의 소오스(115a) 또는 드레인(115b)에 연결된 연결전극(117)이 위치할 수 있다.
- <39> 연결전극(117) 상에는 연결전극(117)의 일부를 노출하는 제1회생층(120)이 위치할 수 있다. 제1회생층(120)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx)과 같은 무기 절연막을 포함할 수 있다.
- <40> 제1회생층(120) 상에는 연결전극(117)의 일부를 노출하는 제2회생층(121)이 위치할 수 있다. 제2회생층(121)은 금속 또는 금속 산화물을 포함할 수 있다. 제2회생층(121)의 재료로 금속 또는 금속 산화물을 이용하면, 언더컷 패턴시 도움을 줄뿐만 아니라 하부전극(122)의 보조전극 역할을 할 수 있다.
- <41> 한편, 연결전극(117) 상에 위치하는 제1회생층(120)의 경우, 제2회생층(121)보다 내측으로 인입되도록 언더컷 패턴할 수 있다. 이와 같이 제1회생층(120)의 재료로 무기 절연막을 사용하고, 제2회생층(121)의 재료로 금속 또는 금속 산화물을 사용하면, 언더컷 패턴 시 제1회생층(120)의 두께를 500Å 이하로 얇게 형성할 수 있어 언더컷에 의한 단차(예를 들면, 유기 발광층의 단차)로 인해 상부 전극이 끊기는 문제를 방지할 수 있다. 또한, 이 경우, 언더컷 패턴 시 사용되는 제1회생층(120) 및 제2회생층(121)의 두께를 최소화는 물론 언더컷 패턴의 깊이도 임의로 조절할 수 있는 효과가 있다.
- <42> 연결전극(117) 상에는 하부전극(122)이 위치할 수 있다. 하부전극(122)은 언더컷 패턴된 제1회생층(120) 및 제2

희생층(121)에 의해 각 서브 픽셀마다 분리 형성될 수 있다. 이러한 하부전극(122)은 캐소드로 선택될 수 있다. 캐소드로 선택된 하부전극(122)은 알루미늄(Al), 알루미늄 합금(Al alloy)과 같이 불투명하고 일 함수가 낮은 재료를 사용할 수 있으나 이에 한정되지 않는다.

- <43> 하부전극(122) 상에는 유기 발광층(123)이 위치할 수 있다. 유기 발광층(123)은 서브 픽셀에 따라 적색, 녹색 및 청색 중 어느 하나의 색을 발광하도록 형성될 수 있다.
- <44> 유기 발광층(123) 상에는 상부전극(124)이 위치할 수 있다. 상부전극(124)은 모든 서브 픽셀의 상부 전체에 공통으로 형성될 수 있다. 이러한 상부전극(124)은 애노드로 선택될 수 있다. 애노드로 선택된 상부전극(124)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Al2O3) 등과 같이 투명한 재료를 사용할 수 있으나 이에 한정되지 않는다.
- <45> 이하, 도 3을 참조하여 유기 발광층(123)을 포함하는 유기 발광다이오드에 대해 더욱 자세히 설명한다.
- <46> 도 3에 도시된 바와 같이, 유기 발광다이오드는 하부전극(122), 전자주입층(123a), 전자수송층(123b), 발광층(123c), 정공수송층(123d), 정공주입층(123e) 및 상부전극(124)을 포함할 수 있다.
- <47> 전자주입층(123a)은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BA1q 또는 SA1q를 사용할 수 있으나 이에 한정되지 않는다.
- <48> 전자수송층(123b)은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BA1q 및 SA1q로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- <49> 발광층(123c)은 적색, 녹색, 청색 및 백색을 발광하는 물질을 포함할 수 있으며, 인광 또는 형광물질을 이용하여 형성할 수 있다.
- <50> 발광층(123c)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl)를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetone iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetone iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도편트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- <51> 발광층(123c)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도편트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- <52> 발광층(123c)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도편트 물질을 포함하는 인광물질로 이루어질 수 있다. 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.
- <53> 정공수송층(123d)은 정공의 수송을 원활하게 하는 역할을 하며, NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- <54> 정공주입층(123e)은 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(cupper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- <55> 여기서, 본 발명의 제1실시예는 도 3에 한정되는 것은 아니며, 전자주입층(123a), 전자수송층(123b), 정공수송층(123d) 및 정공주입층(123e) 중 적어도 어느 하나가 생략될 수도 있다.
- <56> 이하, 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다.
- <57> 도 4는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법의 흐름도이고, 도 5 내지 도 9는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면이다.

- <58> 도 4 및 도 5에 도시된 바와 같이, 기판(110) 상에 게이트(112a, 112b), 소오스(115a, 115c) 및 드레인(115b, 115d)을 포함하는 트랜지스터를 형성하는 단계(S101)를 실시한다.
- <59> 이에 따라, 기판(110) 상에는 게이트(112a, 112b)가 위치할 수 있다. 또한, 게이트(112a, 112b) 상에는 제1절연막(113)이 위치할 수 있다. 또한, 제1절연막(113) 상에는 액티브층(114a, 114b)이 위치할 수 있다. 또한, 액티브층(114a, 114b) 상에는 소오스(115a, 115c) 및 드레인(115b, 115d)이 위치할 수 있다. 또한, 소오스(115a, 115c) 및 드레인(115b, 115d) 상에는 제2절연막(116a)이 위치할 수 있다. 또한, 제2절연막(116a) 상에는 평탄도를 높이기 위한 제3절연막(116b)이 위치할 수 있다.
- <60> 여기서, 기판(110) 상에 위치하는 트랜지스터 중 게이트(112a), 소오스(115a) 및 드레인(115b)은 구동 트랜지스터이고, 게이트(112b), 소오스(115c) 및 드레인(115d)은 스위칭 트랜지스터일 수 있다. 구동 트랜지스터의 소오스(115a) 및 드레인(115b) 중 하나는 제2절연막(116a) 상에 위치하는 쉴드(shield) 금속(118a)에 연결될 수 있다. 그리고, 구동 트랜지스터의 소오스(115a) 또는 드레인(115b) 중 하나는 스위칭 트랜지스터의 소오스(115c) 또는 드레인(115d)에 연결될 수 있다.
- <61> 이상은 기판(110) 상에 형성된 트랜지스터가 바탕 게이트형인 것을 일례로 설명하였다. 그러나, 기판(110) 상에 형성되는 트랜지스터는 바탕 게이트형뿐만 아니라 탑 게이트형으로도 형성될 수 있다.
- <62> 다음, 도 4 및 도 5에 도시된 바와 같이, 트랜지스터 상에 소오스(115a) 또는 드레인(115b)에 연결되는 연결전극(117)을 형성하는 단계(S103)를 실시한다.
- <63> 이에 따라, 트랜지스터의 제3절연막(116b) 상에는 구동 트랜지스터의 소오스(115a) 또는 드레인(115b)에 연결된 연결전극(117)이 위치할 수 있다.
- <64> 다음, 도 4 및 도 6에 도시된 바와 같이, 연결전극(117) 상에 제1희생층(120)을 형성하는 단계(S105)를 실시한다.
- <65> 이에 따라, 연결전극(117) 상에는 연결전극(117)의 일부를 노출하는 제1희생층(120)이 위치할 수 있다. 제1희생층(120)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx)과 같은 무기 절연막을 포함할 수 있다. 본 발명의 제1실시예에서는 제1희생층(120)이 SiNx인 것을 일례로 한다.
- <66> 다음, 도 4 및 도 6에 도시된 바와 같이, 제1희생층(120) 상에 제2희생층(121)을 형성하는 단계(S107)를 실시한다.
- <67> 이에 따라, 제1희생층(120) 상에는 연결전극(117)의 일부를 노출하는 제2희생층(121)이 위치할 수 있다. 제2희생층(121)은 금속 또는 금속 산화물을 포함할 수 있다. 본 발명의 제1실시예에서는 제2희생층(121)이 ITO인 것을 일례로 한다.
- <68> 다음, 도 4 및 도 6에 도시된 바와 같이, 제2희생층(121) 상에 제2식각 방법(E2)을 이용하여 제2식각 방법(E2)을 형성하는 단계(S109)를 실시한다.
- <69> 이에 따라, 제2희생층(121) 상에는 포토레지스터(PR)가 위치할 수 있다.
- <70> 다음, 도 4 및 도 6에 도시된 바와 같이, 포토레지스터(PR)의 하부로 제2희생층(121)이 인입되도록 제1식각 방법(E1)을 이용하여 제2희생층(121)을 제거하는 단계(S111)를 실시한다. 여기서, 제1식각 방법(E1)은 습식 식각 방법을 사용할 수 있으나 이에 한정되지 않는다.
- <71> 다음, 도 4 및 도 6에 도시된 바와 같이, 제2희생층(121)의 하부로 제1희생층(120)이 인입되도록 제2식각 방법(E2)을 이용하여 제1희생층(120)을 제거하는 단계(S113)를 실시한다. 여기서, 제2식각 방법(E2)은 6불화황(SF₆)과 산소(O₂)를 포함하는 건식 식각 방법일 수 있으나 이에 한정되지 않는다.
- <72> 다만, 제1희생층(120) 제거시 산소보다 6불화황의 비율을 높게 설정할 수 있다. 이와 같은 비율로 제2식각 방법(E2)을 실시하면, 포토레지스터(PR)가 상대적으로 적게 식각 된다. 이 방법에 따르면, 언더컷 패턴을 실시할 때 종래와 같이 식각 시간을 조절해야 하는 불편함을 개선할 수 있다.
- <73> 도 7 에는 제1희생층(120) 제거시 산소와 6불화황의 비율에 따른 식각 양상이 도시된다. 도 7의 (a)는 제1희생층(120) 제거시 6불화황보다 산소의 비율이 큰 경우를 나타내고, 도 7의 (b)는 제1희생층(120) 제거시 산소보다 6불화황의 비율이 큰 경우를 나타낸다. 도 7을 통해서 알 수 있듯이, 제2식각 방법(E2)으로 제1희생층(120) 제거시 산소보다 6불화황의 비율을 높게 설정하면 제1희생층(120)이 제2희생층(121)의 내측으로 더욱 깊게 인입될

수 있다.

<74> 다음, 도 4 및 도 6에 도시된 바와 같이, 포토레지스터(PR)를 제거하는 단계(S115)를 실시한다.

<75> 이에 따라, 제2회생층(121) 상에 위치하는 포토레지스터(PR)는 제거된다.

<76> 이상과 같은 단계를 실시하면 도 8에 도시된 바와 같은 구조로 형성된다.

<77> 다음, 도 4 및 도 9에 도시된 바와 같이, 연결전극(117) 상에 하부전극(122)을 형성하는 단계(S117)를 실시한다.

<78> 이에 따라, 연결전극(117)은 물론 제2회생층(121) 상에 하부전극(122)이 위치하게 된다. 하부전극(122)은 언더컷 패턴된 제1회생층(120) 및 제2회생층(121)에 의해 각 서브 픽셀마다 분리 형성될 수 있다. 이러한 하부전극(122)은 캐소드로 선택될 수 있다. 캐소드로 선택된 하부전극(122)은 알루미늄(Al), 알루미늄 합금(Al alloy)과 같이 불투명하고 일 함수가 낮은 재료를 사용할 수 있으나 이에 한정되지 않는다.

<79> 다음, 도 4 및 도 9에 도시된 바와 같이, 하부전극(122) 상에 유기 발광층(123)을 형성하는 단계(S119)를 실시한다.

<80> 이에 따라, 하부전극(122) 상에는 유기 발광층(123)이 위치할 수 있다. 유기 발광층(123)은 서브 픽셀에 따라 적색, 녹색 및 청색 중 어느 하나의 색을 발광하도록 형성할 수 있다.

<81> 다음, 도 4 및 도 9에 도시된 바와 같이, 유기 발광층(123) 상에 상부전극(124)을 형성하는 단계(S121)를 실시한다.

<82> 이에 따라, 유기 발광층(123) 상에는 상부전극(124)이 위치할 수 있다. 상부전극(124)은 모든 서브 픽셀의 상부전체에 공통으로 형성될 수 있다. 이러한 상부전극(124)은 애노드로 선택될 수 있다. 애노드로 선택된 상부전극(124)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Al2O3) 등과 같이 투명한 재료를 사용할 수 있으나 이에 한정되지 않는다.

<83> 이상 본 발명의 제1실시예와 같이, 제1회생층(120)의 재료로 무기 절연막을 사용하고, 제2회생층(121)의 재료로 금속 또는 금속 산화물을 사용하면, 언더컷 패턴 시 제1회생층(120)의 두께를 500Å 이하로 얇게 형성할 수 있어 언더컷에 의한 단차(예를 들면, 유기 발광층의 단차)로 인해 상부전극이 오픈(끊기)되는 문제를 방지할 수 있다. 또한, 이 경우, 언더컷 패턴 시 사용되는 제1회생층(120) 및 제2회생층(121)의 두께를 최소화할 수 있음은 물론 언더컷 패턴 시 깊이도 임의로 조절할 수 있는 효과가 있다. 또한, 언더컷 패턴을 이용하여 하부전극(122)을 형성하고 유기 발광층(123) 및 상부전극(124)을 형성하므로 하부전극(122)이 산화되는 문제를 방지할 수 있는 효과가 있다. 또한, 하부전극(122)의 산화를 방지할 수 있으므로 전자주입 특성이 향상시킬 수 있음은 물론 발광 효율 또한 향상시킬 수 있는 효과가 있다. 또한, 제2회생층(121)의 재료로 금속 또는 금속 산화물을 사용하므로, 하부전극(122)의 저항을 줄일 수 있는 효과가 있다. 또한, 제1회생층(120)의 재료로 무기 절연막을 사용하므로, 제1회생층(120)의 하부에 위치하는 유기 재료들에 의한 아웃가스(out-gassing) 영향(예를 들면, 서브 픽셀 수축)을 최소화할 수 있는 효과가 있다.

<84> <제2실시예>

<85> 도 10은 본 발명의 제2실시예에 따른 서브 픽셀의 단면 예시도이며, 도 11은 도 10에 도시된 유기 발광다이오드의 계층 구조도이다.

<86> 도 10을 참조하면, 기판(210) 상에는 게이트(212a, 212b)가 위치할 수 있다. 게이트(212a, 212b)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 게이트(212a, 212b)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트(212a, 212b)는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

<87> 게이트(212a, 212b) 상에는 제1절연막(213)이 위치할 수 있다. 제1절연막(213)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.

<88> 제1절연막(213) 상에는 액티브층(214a, 214b)이 위치할 수 있다. 액티브층(214a, 214b)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 액티브층(214a, 214b)은 채널 영

역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다. 또한, 액티브층(214a, 214b)은 접촉 저항을 낮추기 위한 오믹 콘택층을 포함할 수도 있다.

<89> 액티브층(214a, 214b) 상에는 소오스(215a, 215c) 및 드레인(215b, 215d)이 위치할 수 있다. 소오스(215a, 215c) 및 드레인(215b, 215d)은 단일층 또는 다중층으로 이루어질 수 있으며, 소오스(215a, 215c) 및 드레인(215b, 215d)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 소오스(215a, 215c) 및 드레인(215b, 215d)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

<90> 소오스(215a, 215c) 및 드레인(215b, 215d) 상에는 제2절연막(216a)이 위치할 수 있다. 제2절연막(216a)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 제2절연막(216a)은 패시베이션막일 수 있다.

<91> 기판(210) 상에 위치하는 트랜지스터 중 게이트(212a), 소오스(215a) 및 드레인(215b)은 구동 트랜지스터이고, 게이트(212b), 소오스(215c) 및 드레인(215d)은 스위칭 트랜지스터일 수 있다. 구동 트랜지스터의 소오스(215a) 및 드레인(215b) 중 하나는 제2절연막(216a) 상에 위치하는 쉴드(shield) 금속(218a)에 연결될 수 있다. 그리고, 구동 트랜지스터의 소오스(215a) 또는 드레인(215b) 중 하나는 스위칭 트랜지스터의 소오스(215c) 또는 드레인(215d)에 연결될 수 있다.

<92> 제2절연막(216a) 상에는 평탄도를 높이기 위한 제3절연막(216b)이 위치할 수 있다. 제3절연막(216b)은 폴리이미드 등의 유기물을 포함할 수 있다.

<93> 이상은 기판(210) 상에 형성된 트랜지스터가 바탕 게이트형인 것을 일례로 설명하였다. 그러나, 기판(210) 상에 형성되는 트랜지스터는 바탕 게이트형뿐만 아니라 탑 게이트형으로도 형성될 수 있다.

<94> 트랜지스터의 제3절연막(216b) 상에는 구동 트랜지스터의 소오스(215a) 또는 드레인(215b)에 연결된 연결전극(217)이 위치할 수 있다.

<95> 연결전극(217) 상에는 연결전극(217)의 일부를 노출하는 희생층(220)이 위치할 수 있다. 희생층(220)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx)과 같은 무기 절연막을 포함할 수 있다.

<96> 희생층(220) 상에는 연결전극(217)의 일부를 노출하는 뱅크층(221)이 위치할 수 있다. 뱅크층(221)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.

<97> 한편, 연결전극(217) 상에 위치하는 희생층(220)의 경우, 뱅크층(221)보다 내측으로 인입되도록 언더컷 패턴할 수 있다. 이와 같이 희생층(220)의 재료로 무기 절연막을 사용하고, 희생층(220)을 언더컷 패턴하면, 언더컷 패턴 시 희생층(220)의 두께를 500Å 이하로 얇게 형성할 수 있어 언더컷에 의한 단차(예를 들면, 유기 발광층의 단차)로 인해 상부 전극이 끊기는 문제를 방지할 수 있다.

<98> 연결전극(217) 상에는 하부전극(222)이 위치할 수 있다. 하부전극(222)은 언더컷 패턴된 희생층(220)에 의해 각 서브 픽셀마다 분리 형성될 수 있다. 이러한 하부전극(222)은 캐소드로 선택될 수 있다. 캐소드로 선택된 하부전극(222)은 알루미늄(Al), 알루미늄 합금(Al alloy)과 같이 불투명하고 일 함수가 낮은 재료를 사용할 수 있으나 이에 한정되지 않는다.

<99> 하부전극(222) 상에는 유기 발광층(223)이 위치할 수 있다. 유기 발광층(223)은 서브 픽셀에 따라 적색, 녹색 및 청색 중 어느 하나의 색을 발광하도록 형성될 수 있다.

<100> 유기 발광층(223) 상에는 상부전극(224)이 위치할 수 있다. 상부전극(224)은 모든 서브 픽셀의 상부 전극에 공통으로 형성될 수 있다. 이러한 상부전극(224)은 애노드로 선택될 수 있다. 애노드로 선택된 상부전극(224)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Al2O3) 등과 같이 투명한 재료를 사용할 수 있으나 이에 한정되지 않는다.

<101> 이하, 도 11을 참조하여 유기 발광층(223)을 포함하는 유기 발광다이오드에 대해 개략적으로 설명한다.

<102> 도 11에 도시된 바와 같이, 유기 발광다이오드는 하부전극(222), 전자주입층(223a), 전자수송층(223b), 발광층(223c), 정공수송층(223d), 정공주입층(223e) 및 상부전극(224)을 포함할 수 있다.

<103> 그러나, 본 발명의 제2실시예는 도 11에 한정되는 것은 아니며, 전자주입층(223a), 전자수송층(223b), 정공수송

층(223d) 및 정공주입층(223e) 중 적어도 어느 하나가 생략될 수도 있다.

<104> 이하, 본 발명의 제2실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다.

<105> 도 12는 본 발명의 제2실시예에 따른 유기전계발광표시장치의 제조방법의 흐름도이고, 도 12 내지 도 17은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면이다.

<106> 도 12 및 도 13에 도시된 바와 같이, 기판(210) 상에 게이트(212a, 212b), 소오스(215a, 215c) 및 드레인(215b, 215d)을 포함하는 트랜지스터를 형성하는 단계(S201)를 실시한다.

<107> 이에 따라, 기판(210) 상에는 게이트(212a, 212b)가 위치할 수 있다. 또한, 게이트(212a, 212b) 상에는 제1절연막(213)이 위치할 수 있다. 또한, 제1절연막(213) 상에는 액티브층(214a, 214b)이 위치할 수 있다. 또한, 액티브층(214a, 214b) 상에는 소오스(215a, 215c) 및 드레인(215b, 215d)이 위치할 수 있다. 또한, 소오스(215a, 215c) 및 드레인(215b, 215d) 상에는 제2절연막(216a)이 위치할 수 있다. 또한, 제2절연막(216a) 상에는 평탄도를 높이기 위한 제3절연막(216b)이 위치할 수 있다.

<108> 여기서, 기판(210) 상에 위치하는 트랜지스터 중 게이트(212a), 소오스(215a) 및 드레인(215b)은 구동 트랜지스터이고, 게이트(212b), 소오스(215c) 및 드레인(215d)은 스위칭 트랜지스터일 수 있다. 구동 트랜지스터의 소오스(215a) 및 드레인(215b) 중 하나는 제2절연막(216a) 상에 위치하는 쉴드(shield) 금속(218a)에 연결될 수 있다. 그리고, 구동 트랜지스터의 소오스(215a) 또는 드레인(215b) 중 하나는 스위칭 트랜지스터의 소오스(215c) 또는 드레인(215d)에 연결될 수 있다.

<109> 이상은 기판(210) 상에 형성된 트랜지스터가 바탕 게이트형인 것을 일례로 설명하였다. 그러나, 기판(210) 상에 형성되는 트랜지스터는 바탕 게이트형뿐만 아니라 탑 게이트형으로도 형성될 수 있다.

<110> 다음, 도 12 및 도 13에 도시된 바와 같이, 트랜지스터 상에 소오스(214a) 또는 드레인(214b)에 연결되는 연결전극(217)을 형성하는 단계(S203)를 실시한다.

<111> 이에 따라, 트랜지스터의 제3절연막(216b) 상에는 구동 트랜지스터의 소오스(215a) 또는 드레인(215b)에 연결된 연결전극(217)이 위치할 수 있다.

<112> 다음, 도 12 및 도 14에 도시된 바와 같이, 연결전극(217) 상에 희생층(220)을 형성하는 단계(S205)를 실시한다.

<113> 이에 따라, 연결전극(217) 상에는 연결전극(217)의 일부를 노출하는 희생층(220)이 위치할 수 있다. 희생층(220)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx)과 같은 무기 절연막을 포함할 수 있다. 본 발명의 제2실시 예에서는 희생층(220)이 SiNx인 것을 일례로 한다.

<114> 다음, 도 12 및 도 14에 도시된 바와 같이, 희생층(220) 상에 희생층(220)의 일부가 노출되도록 뱅크층(221)을 형성하는 단계(S207)를 실시한다.

<115> 이에 따라, 희생층(220) 상에는 연결전극(217)의 일부를 노출하는 뱅크층(221)이 위치할 수 있다. 뱅크층(221)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.

<116> 다음, 도 12 및 도 14에 도시된 바와 같이, 뱅크층(221)의 하부로 희생층(220)이 인입되도록 식각 방법(E)을 이용하여 희생층(220)을 제거하는 단계(S209)를 실시한다.

<117> 여기서, 식각 방법(E)은 6불화황(SF₆)과 산소(O₂)를 포함하는 건식 식각 방법일 수 있으나 이에 한정되지 않는다.

<118> 다만, 희생층(220) 제거시 산소보다 6불화황의 비율을 높게 설정할 수 있다. 이와 같은 비율로 식각 방법(E)을 실시하면, 뱅크층(221)이 상대적으로 적게 식각 된다. 이 방법에 따르면, 언더컷 패턴을 실시할 때 종래와 같이 식각 시간을 조절해야 하는 불편함을 개선할 수 있다.

<119> 도 15에는 희생층(220) 제거시 산소와 6불화황의 비율에 따른 식각 양상이 도시된다. 도 15의 (a)는 희생층(220) 제거시 6불화황보다 산소의 비율이 큰 경우를 나타내고, 도 15의 (b)는 희생층(220) 제거시 산소보다 6불화황의 비율이 큰 경우를 나타낸다. 도 15를 통해서 알 수 있듯이, 식각 방법(E)으로 희생층(220) 제거시 산소보다 6불화황의 비율을 높게 설정하면 희생층(220)이 뱅크층(221)의 내측으로 더욱 깊게 인입될 수 있다.

- <120> 이상과 같은 단계를 실시하면 도 16에 도시된 바와 같은 구조로 형성된다.
- <121> 다음, 도 12 및 도 17에 도시된 바와 같이, 연결전극(217) 상에 하부전극(222)을 형성하는 단계(S211)를 실시한다.
- <122> 이에 따라, 연결전극(217)은 물론 뱅크층(221) 상에 하부전극(222)이 위치하게 된다. 하부전극(222)은 언더컷 패턴된 희생층(220) 및 뱅크층(221)에 의해 각 서브 픽셀마다 분리 형성될 수 있다. 이러한 하부전극(222)은 캐소드로 선택될 수 있다. 캐소드로 선택된 하부전극(222)은 알루미늄(A1), 알루미늄 합금(A1 alloy)과 같이 불투명하고 일 합수가 낮은 재료를 사용할 수 있으나 이에 한정되지 않는다.
- <123> 다음, 도 12 및 도 17에 도시된 바와 같이, 하부전극(222) 상에 유기 발광층(223)을 형성하는 단계(S213)를 실시한다.
- <124> 이에 따라, 하부전극(222) 상에는 유기 발광층(223)이 위치할 수 있다. 유기 발광층(223)은 서브 픽셀에 따라 적색, 녹색 및 청색 중 어느 하나의 색을 발광하도록 형성할 수 있다.
- <125> 다음, 도 12 및 도 17에 도시된 바와 같이, 유기 발광층(223) 상에 상부전극(224)을 형성하는 단계(S215)를 실시한다.
- <126> 이에 따라, 유기 발광층(223) 상에는 상부전극(224)이 위치할 수 있다. 상부전극(224)은 모든 서브 픽셀의 상부 전체에 공통으로 형성될 수 있다. 이러한 상부전극(224)은 애노드로 선택될 수 있다. 애노드로 선택된 상부전극(224)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Al203) 등과 같이 투명한 재료를 사용할 수 있으나 이에 한정되지 않는다.
- <127> 이상 본 발명의 제2실시예와 같이, 희생층(220)의 재료로 무기 절연막을 사용하고, 언더컷 패턴 시 희생층(220)의 두께를 500Å 이하로 얇게 형성할 수 있어 언더컷에 의한 단차(예를 들면, 유기 발광층의 단차)로 인해 상부 전극이 오픈(끊기)되는 문제를 방지할 수 있다. 또한, 이 경우, 언더컷 패턴 시 사용되는 희생층(220)의 두께를 최소화할 수 있음은 물론 패턴되는 깊이도 임의로 조절할 수 있는 효과가 있다. 또한, 언더컷 패턴을 이용하여 하부전극(222)을 형성하고 유기 발광층(223) 및 상부전극(224)을 형성하므로 하부전극(222)이 산화되는 문제를 방지할 수 있는 효과가 있다. 또한, 하부전극(222)의 산화를 방지할 수 있으므로 전자주입 특성이 향상시킬 수 있음은 물론 발광 효율 또한 향상시킬 수 있는 효과가 있다. 또한, 희생층(220)의 재료로 무기 절연막을 사용하므로, 희생층(220)의 하부에 위치하는 유기 재료들에 의한 아웃게싱(out-gassing) 영향(예를 들면, 서브 픽셀 수축)을 최소화할 수 있는 효과가 있다.
- <128> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

- <129> 도 1은 유기전계발광표시장치의 개략적인 평면도.
- <130> 도 2는 본 발명의 제1실시예에 따른 서브 픽셀의 단면 예시도.
- <131> 도 3은 도 2에 도시된 유기 발광다이오드의 계층 구조도.
- <132> 도 4는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법의 흐름도.
- <133> 도 5 내지 도 9는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면.
- <134> 도 10은 본 발명의 제2실시예에 따른 서브 픽셀의 단면 예시도.
- <135> 도 11은 도 10에 도시된 유기 발광다이오드의 계층 구조도.
- <136> 도 12는 본 발명의 제2실시예에 따른 유기전계발광표시장치의 제조방법의 흐름도.
- <137> 도 13 내지 도 17은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면.

<138> <도면의 주요 부분에 관한 부호의 설명>

<139> 110, 210: 기판 117, 217: 연결전극

<140> 120: 제1회생층 121: 제2회생층

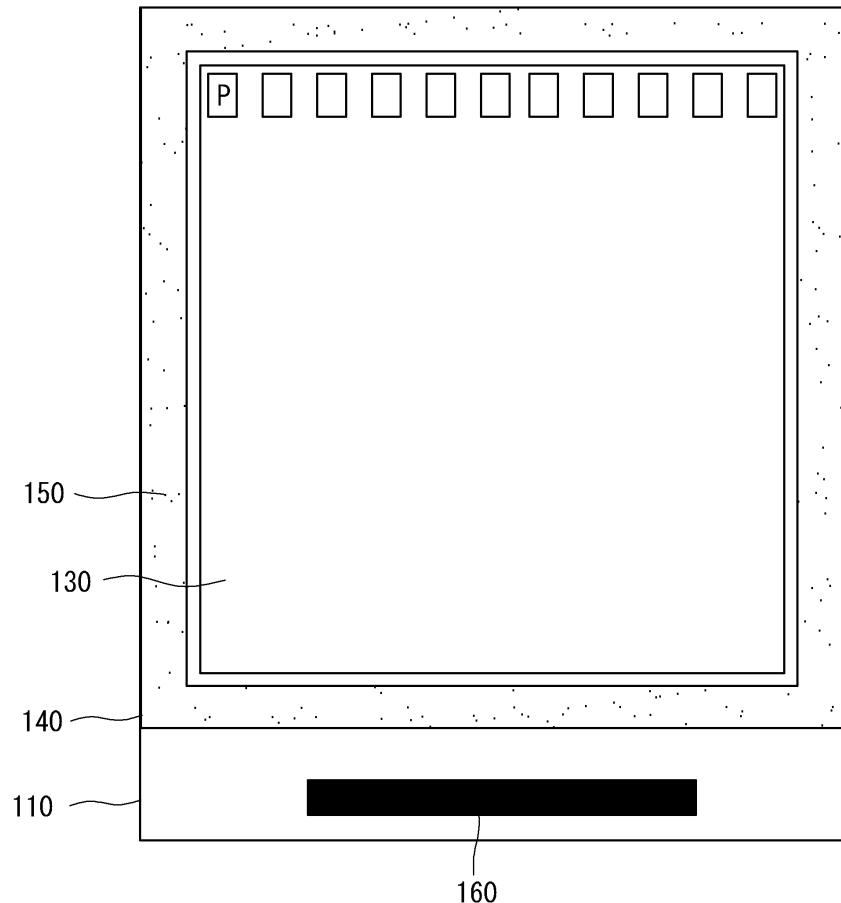
<141> 122, 222: 하부전극 123, 223: 유기 발광층

<142> 124, 224: 상부전극

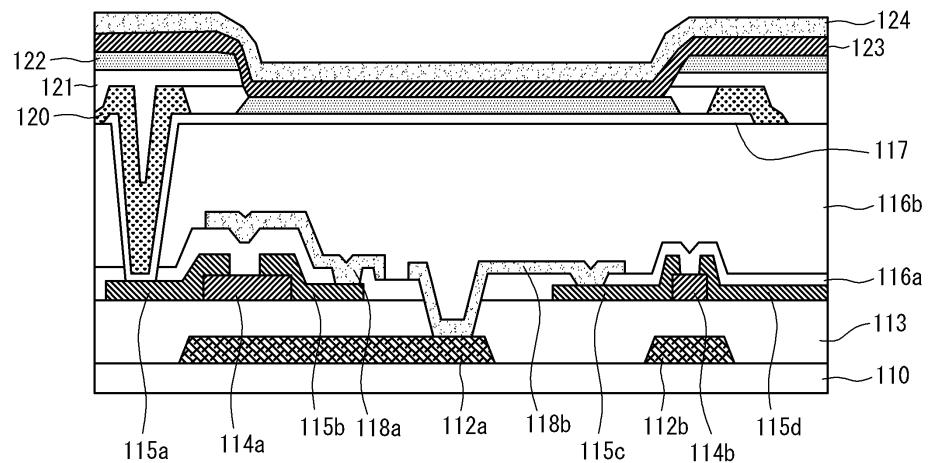
<143> 220: 회생층 221: 뱅크층

도면

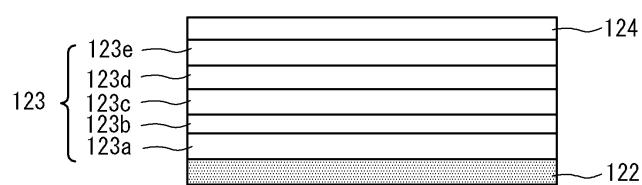
도면1



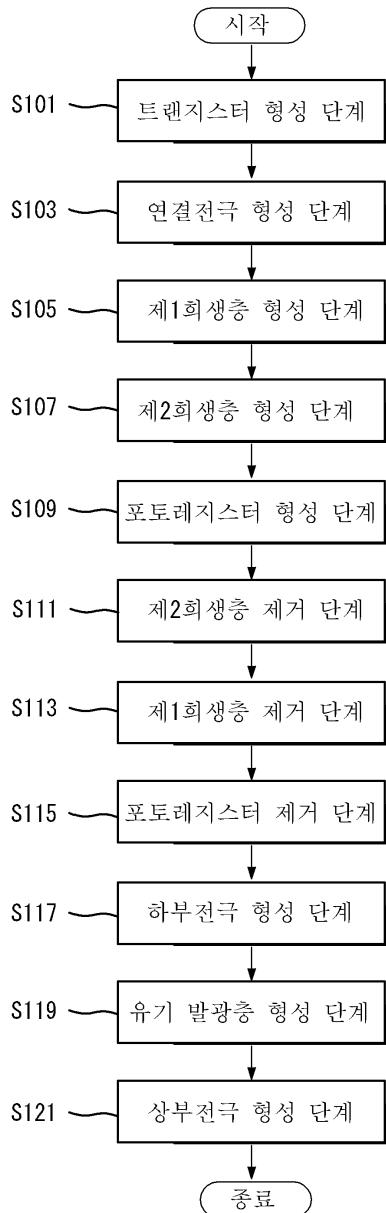
도면2



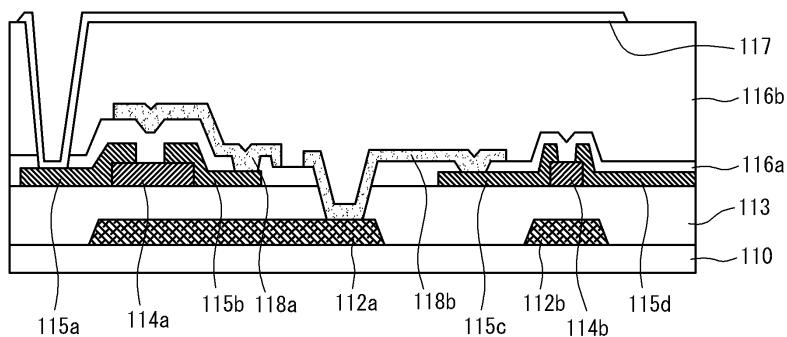
도면3



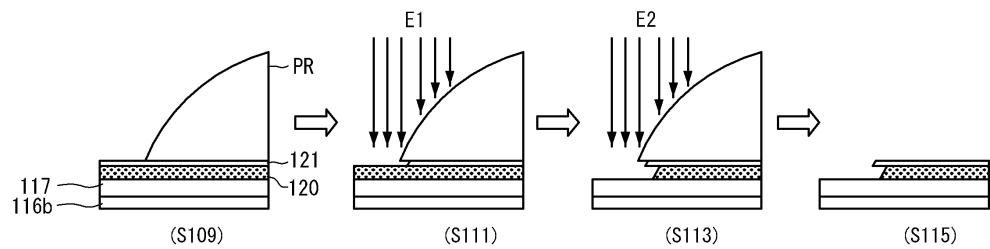
도면4



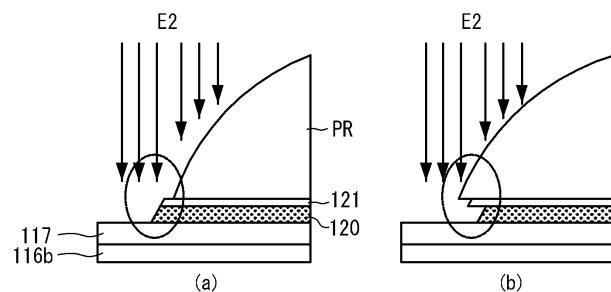
도면5



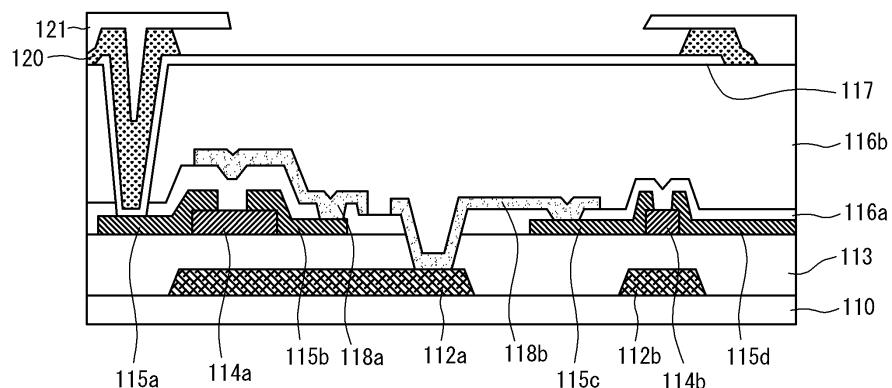
도면6



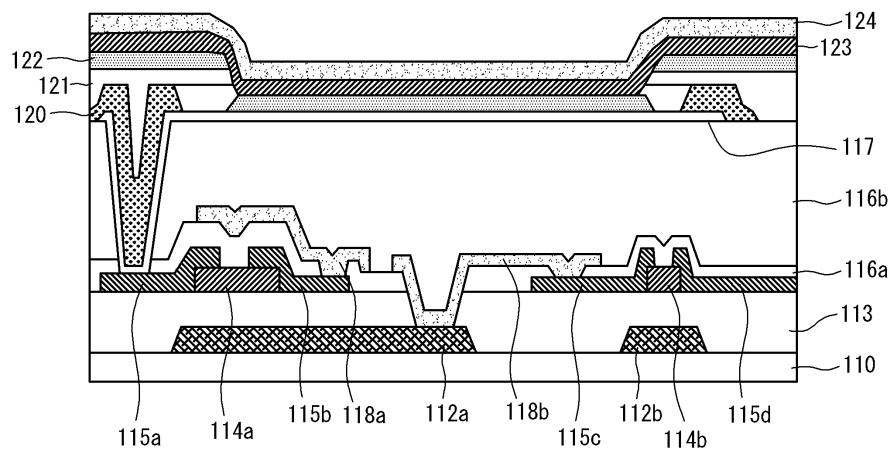
도면7



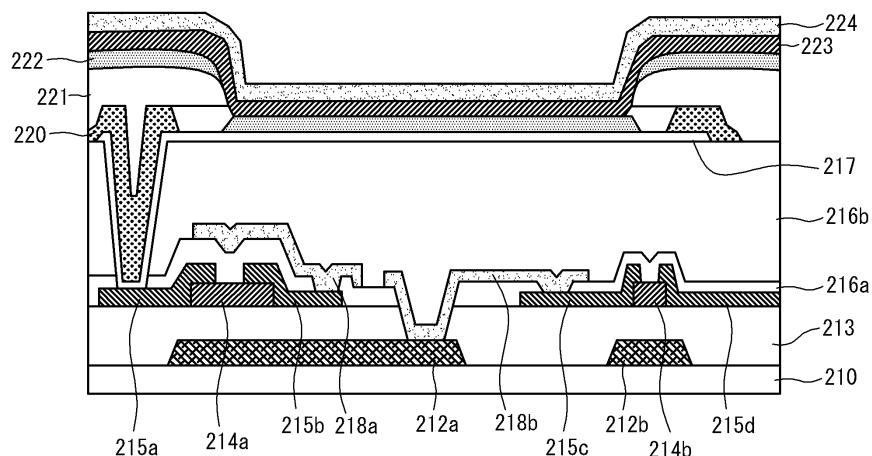
도면8



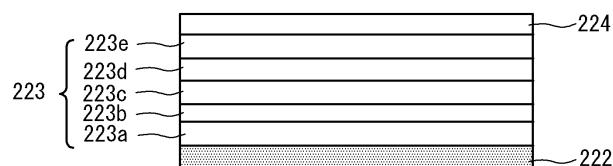
도면9



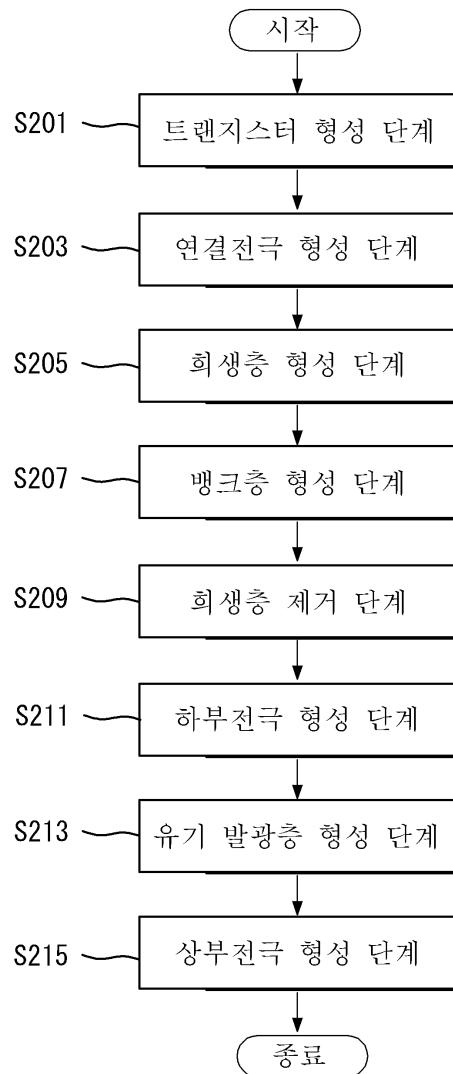
도면10



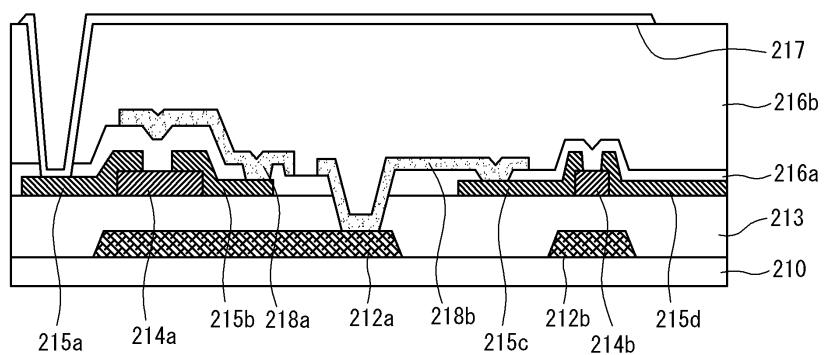
도면11



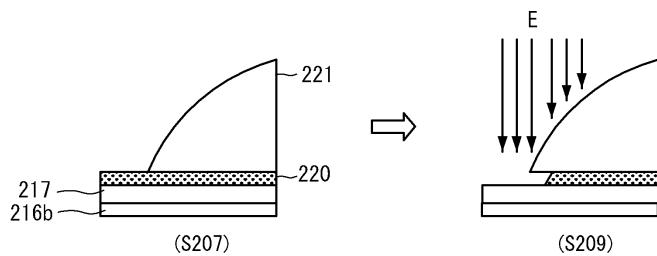
도면12



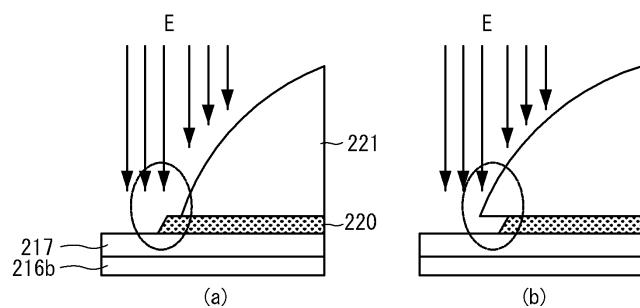
도면13



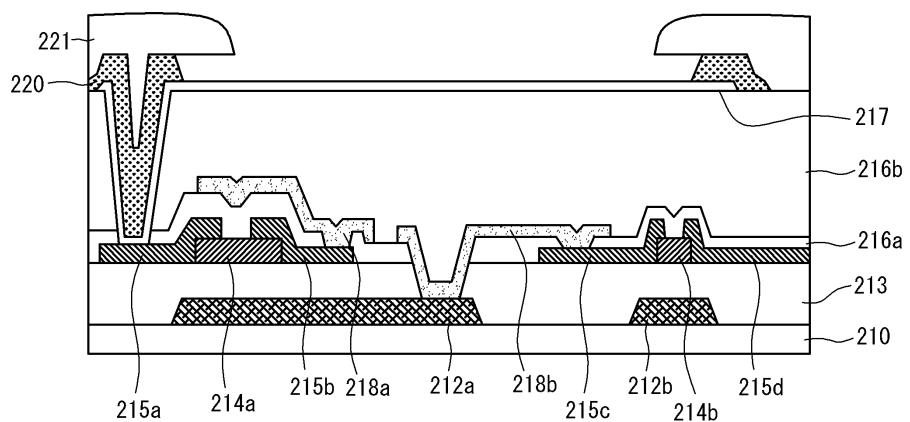
도면14



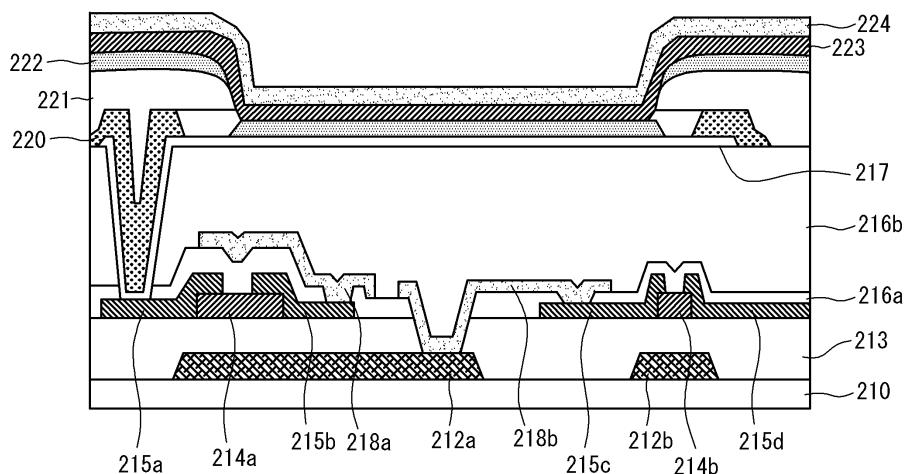
도면15



도면16



도면17



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020100008891A	公开(公告)日	2010-01-27
申请号	KR1020080069505	申请日	2008-07-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JAE HEE		
发明人	PARK JAE HEE		
IPC分类号	H05B33/22 H05B33/26 H05B33/10 H01L51/50		
CPC分类号	H01L27/3246 H01L27/3248 H01L21/31055 H01L51/0096 H01L51/105 H01L51/5056 H01L51/5072 H01L51/5092 H01L2224/03001		
其他公开文献	KR101310917B1		
外部链接	Espacenet		

摘要(译)

本发明的实施例提供了一种有机电致发光显示装置，其中它包括晶体管，该晶体管包括基板：栅极，以及位于基板和漏极表面上的源极，连接电极，第一牺牲层，第二牺牲层层，底部电极位于连接电极和第二牺牲层的表面上，有机发光层位于底部电极的表面上，上部电极位于有机发光层和第一牺牲层的表面上比第二牺牲层更靠内侧。连接电极位于晶体管的表面上并连接到源极或漏极。第一牺牲层位于连接电极的表面上并暴露连接电极的一部分。第二牺牲层位于第一牺牲层的表面上并暴露连接电极的一部分。有机电致发光显示装置，牺牲层和蚀刻。

