



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0084770
(43) 공개일자 2008년09월19일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2008-0024652

(22) 출원일자 2008년03월17일

심사청구일자 없음

(30) 우선권주장

07 01929 2007년03월16일 프랑스(FR)

(71) 출원인

탈레스

프랑스 에프-92200 니이 쉬르 시엔 튀 드 비에 45

(72) 발명자

크레트 띠에리

프랑스 38430 생 장 드 모이랑 상 드 라 꾸르 165

르브렝 위그

프랑스 38500 꾸브레비 앙빠스 자끄 프레베르 100

슈똥 엘리자베스

프랑스 38420 르벨 라 사라진

(74) 대리인

특허법인코리아나

전체 청구항 수 : 총 10 항

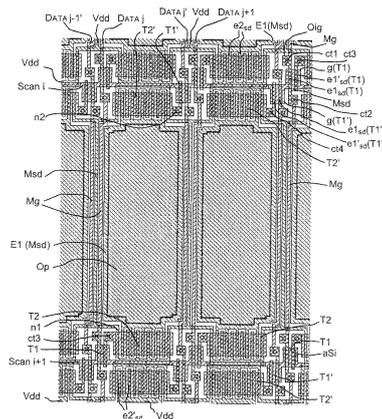
(54) 유기 발광 다이오드 디스플레이 화면의 능동 매트릭스

(57) 요약

유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스에 있어서, 각 픽셀은 2개의 로우 선택 라인들 사이에 배열되고, 각 라인은 이 픽셀의 제1 및 제2 드라이버 (COM, COM') 의 적어도 제1 스위칭 트랜지스터 (T1, T1') 를 제어한다. 이들 2개의 드라이버는, 픽셀 전극과 그 픽셀 측면의 로우 선택 라인들 중 하나 사이의 공간에서 각각, 픽셀의 픽셀 전극 (E1) 에 대해 대칭적으로 배열된다. 칼럼 데이터 라인은 각각, 트랜지스터들의 소스-드레인 전극 및 게이트를 각각 형성하는 소스-드레인 금속 레벨과 게이트 금속 레벨 사이의 접촉점 (ct1, ct2) 에 의해 니팅함으로써, 픽셀들의 2개의 연속 칼럼들 사이의 간격에 형성된다. 전류 제어 트랜지스터의 일 소스-드레인 전극은 소스-드레인 금속 레벨상에 형성된 공급 버스 (Vdd) 에 의해 형성되고, 전류 제어 트랜지스터의 타 소스-드레인 전극은 동일한 소스-드레인 금속 레벨상에 픽셀 전극의 돌출물인 적어도 하나의 핑거에 의해 형성된다.

TFT 트랜지스터, 특히 비정질 실리콘 채널을 구비한 TFT 트랜지스터에 기초한 능동 매트릭스에 적용된다.

대표도 - 도5



특허청구의 범위

청구항 1

로우들 및 칼럼들로 배열된 픽셀들 ($\text{pix}_{i,j}$) 을 포함하는 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스로서,

각 픽셀은, 표면상에 유기 발광 다이오드 (OLED) 를 수용할 수 있는 픽셀 전극 (E1) 및 상기 픽셀 전극 (E1) 에 접속된 제1 및 제2 전류 드라이버 (COM, COM') 를 포함하고,

각각의 상기 제1 드라이버 (COM) 및 각각의 상기 제2 드라이버 (COM') 는, 공급 전압부 (Vdd) 와 상기 픽셀 전극 (E1) 사이에 접속된 전류 제어 트랜지스터 (T2, T2') 및 상기 전류 제어 트랜지스터의 게이트를 제어하기 위한 적어도 제1 스위칭 트랜지스터 (T1, T1') 를 포함하고,

상기 제1 스위칭 트랜지스터는 상기 매트릭스의 칼럼 데이터 라인 (DATA j) 과 상기 전류 제어 트랜지스터 (T2) 의 상기 게이트 사이에 접속되어 있고, 상기 제1 스위칭 트랜지스터의 게이트는 상기 매트릭스의 로우 선택 라인 (Scan i) 에 접속되어 있고,

상기 제1 스위칭 트랜지스터 및 상기 전류 제어 트랜지스터의 소스 또는 드레인 전극들과 상기 픽셀 전극들은 소스-드레인 금속 레벨 (Msd) 상에 형성되고,

상기 제1 스위칭 트랜지스터 및 상기 전류 제어 트랜지스터의 상기 게이트 전극들 각각은 게이트 금속 레벨 (Mg) 상에 상기 매트릭스의 로우 선택 라인에 의해 형성되고,

- 각 픽셀은 상기 매트릭스의 2개의 로우 선택 라인들 (Scan i, Scan i+1) 사이에 배치되고, 상기 2개의 로우 선택 라인들 중 제1 로우 선택 라인 (Scan i) 과 그 픽셀 전극 (E1) 사이에 일 드라이버 (COM) 가 배치되고, 상기 제1 로우 선택 라인에 상기 일 드라이버 (COM) 의 상기 제1 스위칭 트랜지스터 (T1) 의 상기 게이트를 형성하고, 상기 2개의 로우 선택 라인들 중 제2 로우 선택 라인 (Scan i+1) 과 상기 픽셀 전극 사이에 다른 드라이버 (COM') 가 배치되고, 상기 제2 로우 선택 라인에 상기 다른 드라이버 (COM') 의 상기 제1 스위칭 트랜지스터 (T1') 의 상기 게이트를 형성하며;

- 상기 전류 제어 트랜지스터들 (T2, T2') 의 일 소스-드레인 전극 ($e2'_{sd}$) 은 상기 소스-드레인 금속 레벨상에 형성되는 공급 버스 (Vdd) 에 의해 형성되고, 상기 전류 제어 트랜지스터들의 다른 소스-드레인 전극 ($e2_{sd}$) 은 동일한 소스-드레인 금속 레벨상에 상기 픽셀 전극 (E1) 의 돌출물인 적어도 하나의 핑거 (finger) 에 의해 형성되고;

- 각 칼럼 데이터 라인은 상기 매트릭스의 픽셀의 2개의 칼럼들 사이에 배치되고 상기 소스-드레인 금속 레벨 (Msd) 및 상기 게이트 금속 레벨 (Mg) 을 사용하여 형성되고, 상기 게이트 금속 레벨은 상기 픽셀 전극 (E1) 을 따라 사용되고, 상기 소스-드레인 금속 레벨은 상기 드라이버들의 상기 제1 스위칭 트랜지스터들이 형성되는 상기 픽셀 전극들 사이의 영역에서 사용되는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 2

제 1 항에 있어서,

상기 공급 전압부 (Vdd) 는 로우/칼럼의 매트릭스형 배열을 가지는 공급 버스에 의해 상기 매트릭스에 걸쳐 배치되는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 3

제 2 항에 있어서,

픽셀들의 2개의 연속 칼럼들 사이의 각 간격은, 공급 버스 칼럼 도체 (Vdd) 및 적어도 하나의 칼럼 데이터 라인 도체 (DATA j) 를 포함하는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 4

제 2 항에 있어서,

일 픽셀의 상기 제1 드라이버 (COM) 의 상기 제1 스위칭 트랜지스터 (T1) 및 다른 픽셀의 제2 드라이버 (COM') 의 상기 제1 스위칭 트랜지스터 (T1') 는 로우 선택 라인 (Scan i) 의 양측에 백-투-백 (back-to-back) 배치되는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 5

제 4 항에 있어서,

픽셀들의 2개의 연속 칼럼들 사이의 각 간격은, 공급 버스 칼럼 도체 (Vdd) 및 칼럼 데이터 라인 도체 (DATA j) 를 포함하고,

상기 백-투-백 배치된 제1 스위칭 트랜지스터들은 동일한 칼럼 데이터 라인 (DATA j+1) 의 소스-드레인 금속 칼럼 도체의 일부에 의해 형성된 소스-드레인 전극 ($e1_{sd}$) 을 구비하는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 6

제 2 항에 있어서,

일 칼럼에서 일 픽셀의 상기 제1 드라이버 (COM) 의 상기 전류 제어 트랜지스터 (T2) 및 동일 칼럼에서 이전 픽셀 또는 다음 픽셀의 상기 제2 드라이버 (COM') 의 상기 전류 제어 트랜지스터 (T2') 는 로우 선택 라인 (Scan i) 의 양측에 대칭적으로 배열되는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 7

제 2 항에 있어서,

상기 제1 드라이버 및 상기 제2 드라이버의 상기 전류 제어 트랜지스터들은 서로 맞물린 소스-드레인 전극들을 가지며, 각 소스-드레인 전극은 하나 이상의 핑거를 포함하는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 8

제 1 항에 있어서,

각각의 상기 제1 드라이버 (COM) 및 각각의 상기 제2 드라이버 (COM') 는, 관련 드라이버 (COM) 의 상기 제1 스위칭 트랜지스터 (T1) 의 상기 게이트가 접속되는 상기 로우 선택 라인 (Scan i) 과, 상기 전류 제어 트랜지스터 (T2) 의 상기 게이트 사이에 접속된 제2 스위칭 트랜지스터 (T3) 을 포함하고, 상기 제2 스위칭 트랜지스터의 게이트는 다른 로우 선택 라인 (Scan i+1) 에 접속되어 있으며,

각 로우 선택 라인은, 활성 영역 (AZ) 에서, 픽셀들 ($pix_{i,j}$) 의 대응 로우의 양측에 배치된 제1 브랜치 (Scan_a i) 및 제2 브랜치 (Scan_b i) 로 분할되는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 9

제 8 항에 있어서,

상기 공급 전압부는 픽셀들의 2개의 칼럼들 사이의 각 간격에 공급 칼럼 도체 (Vdd) 를 가지는, 칼럼 도체들에 의해 배치되고,

일 픽셀의 상기 제1 드라이버 및 상기 제2 드라이버의 상기 전류 제어 트랜지스터 (T2, T2') 는, 상기 전류 제어 트랜지스터들 (T2, T2') 의 제1 소스-드레인 전극 ($e2_{sd}$) 및 제2 소스-드레인 전극 ($e2'_{sd}$) 을 각각 형성하는 상기 픽셀 전극 (E1) 과 상기 공급 칼럼 도체 (Vdd) 사이에, 상기 픽셀 전극을 따라 형성되는, 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 기재된 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스를 포함하는, 유기 발광 다이오드를 구비한 디스플레이 화면.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스, 또는 AMOLED (Active Matrix Organic Light-Emitting Diode; 능동 매트릭스 유기 발광 다이오드) 매트릭스에 관한 것이며, 더욱 구체적으로는 이러한 매트릭스에서의 픽셀 배열에 관한 것이다.

배경기술

- <2> 유기 발광 다이오드 디스플레이 화면에서, 픽셀은 유기 발광 다이오드에 기초한 구조이다. 이러한 디스플레이 화면은, LCD (Liquid Crystal Display) 디바이스와 같은 다른 디스플레이 디바이스와 달리 추가적인 광원을 필요로 하지 않는다. 그외의 이점으로는, 낮은 소비전력, 고 휘도 그리고 낮은 제조비용이 있다. OLED 다이오드에 의한 비디오 데이터의 디스플레이의 기반 원리는 다이오드 전류의 변조이다. 이는, 디스플레이 될 비디오 데이터에 대응하는 전압을 자신의 게이트상에서 수신하고 대응 전류를 다이오드에 전달하는 전류 제어 트랜지스터에 의해 획득된다. 실제로, 이와 같은 디스플레이 화면은 2개의 기관으로 구성되며, 대표적으로 하나의 기관은 전류 드라이버 및 픽셀 전극과 함께 능동 매트릭스를 유지하는 유리로 이루어지고, 각 픽셀 전극과 기준 전압 평면 사이에서, 유기 발광 다이오드가 각 픽셀 전극상에 형성되고, 또한 다른 하나의 기관도 유리로 이루어져서, 발광 다이오드 및 그 전극을 포함하는 영역을 수분 및 공기로부터 고립시킴으로써 밀봉하고 있다.
- <3> 도 1 에 개략적으로 도시된 바와 같이, AMOLED 디스플레이 화면의 능동 매트릭스는 일반적으로 $n \times m$ 픽셀 ($\text{pix}_{i,j}$) 을 포함하고, 여기서 $i = 1 \sim m$ 및 $j = 1 \sim n$ 이고, m 개의 로우 선택 라인 (Scan i) 및 n 개의 칼럼 (DATA j) 은 디스플레이 화면의 n 개의 픽셀이 어드레싱되도록 한다. 예컨대, 픽셀 ($\text{pix}_{i,j}$) 은 로우 선택 라인 (Scan i) 및 칼럼 (DATA j) 에 의해 비디오 정보를 디스플레이하도록 제어될 수도 있고, 디스플레이될 비디오 정보에 대응하는 전압이 칼럼을 통해 인가된다.
- <4> 본 발명은 유기 발광 다이오드를 구동하는 전류 제어 트랜지스터의 문턱 전압 (threshold voltage) 의 드리프트 (drift) 에 의해 AMOLED 디스플레이 화면에서의 공지된 디스플레이 열화 문제를 해결할 수 있도록 하는 픽셀용 특정 전류 제어 구조에 관한 것이다.
- <5> 이러한 구조는 2개의 전류 드라이버를 갖는 구조에 의해 각 픽셀에 대한 전류 제어 트랜지스터의 문턱 전압의 드리프트를 복구하는 위상을 제공할 수 있게 한다. 보다 상세하게는, 도 2 에 도시된 바와 같이, 각 픽셀 ($\text{pix}_{i,j}$) 은 픽셀의 유기 다이오드 (OLED) 를 구동하는 2개의 드라이버 (COM, COM') 를 갖는 구조를 포함한다. 이들 2개의 드라이버 (COM, COM') 는 각각 능동 매트릭스상에 형성되는 픽셀 전극에 대응되는, OLED 다이오드의 전극 (E1) 을 제어하는 출력을 가지고, 한편 카운터-전극에 해당되는 다이오드의 다른 전극 (E2) (캐소드) 이 모든 픽셀에 대해 공통인 전위 (V_k) 에 접속되어 있다.
- <6> 드라이버 (COM, COM') 는 적어도: 스위칭 트랜지스터, 전류 제어 트랜지스터 및 서스테인 커패시터 (sustain capacitor) 를 포함하는 동일한 구조를 가진다. 편의를 위해, T1, C1 및 T2는 제1 기준 드라이버 (COM) 의 소자들을 나타내고, T1', C1' 및 T2'는 제2 기준 드라이버 (COM') 의 소자들을 나타낸다.
- <7> 이들 드라이버 (COM, COM') 는 각 비디오 프레임에서 다른 기능을 가지도록 하는 방식으로 매트릭스의 로우 선택 라인 및/또는 칼럼 데이터 라인에 의해 제어되며, 이러한 기능은 주기적으로 전환된다. 이러한 기능은 1) OLED 다이오드에 대응 전류를 전달하기 위해, 전류 제어 트랜지스터의 게이트에 대한 비디오 전압의 인가에 의해, 비디오 정보를 디스플레이하는 것; 및 2) 전류 제어 트랜지스터의 게이트에 대한 블로킹 전압의 인가에 의해, 1)의 기능에 의해 야기되는 스트레스를 보상하는 것이다.
- <8> 그리하여, 소정 비디오 프레임 동안, 2개의 드라이버 중 하나의 드라이버, 예컨대, 드라이버 (COM) 는 그 전류 제어 트랜지스터 (T2) 의 게이트에 대응 비디오 전압을 인가함으로써, OLED 다이오드를 통해 비디오 정보를 디스플레이하는 기능을 가지는 한편, 다른 하나의 드라이버, 예컨대 드라이버 (COM') 는 그 전류 제어 트랜지스터 (T2') 의 게이트에 블로킹 전압을 인가함으로써, 이 트랜지스터를 문턱 전압 드리프트 복구 위상에 위치시키는

기능을 가진다.

- <9> 2개의 드라이버의 이러한 기능은 주기적으로 전환되므로, 그 전류 제어 트랜지스터의 스트레스를 제거시키기 위해 각 드라이버에 대해 평균적으로 하나의 프레임이 둘로 사용된다. 능동 매트릭스의 각 전류 제어 트랜지스터의 평균 문턱 전압 드리프트는 0 이거나 또는 대략 0 이다. 이로써 듀티 사이클 (duty cycle) 에 영향을 미치지 않고 OLED 다이오드에 비디오 전압을 인가하는 것이 수행될 수도 있으므로, 다이오드는 계속해서 제어된다 (100% 듀티 사이클).
- <10> 상기 기재한 바와 같이, 2개의 드라이버 (COM, COM') 를 적절히 제어하기 위해, 드라이버의 구조에 따라, 적절한 추가적인 로우 또는 칼럼을 특별히 제공한, 매트릭스의 로우 및/또는 칼럼을 이용한다. 더욱 상세하게는, 제1 실시형태는 드라이버 (COM, COM') 당 2개 (즉, 스위칭 트랜지스터 (T1, T1') 및 전류 제어 트랜지스터 (T2, T2')) 의 4개의 트랜지스터에 기초한 제어 구조를 가지며, 이들을 적절히 구동시키기 위해 추가적인 로우 또는 칼럼이 매트릭스에 삽입되어 있다. 다른 실시형태는 드라이버 (COM, COM') 당 3개 (즉, 2개의 스위칭 트랜지스터 및 하나의 전류 제어 트랜지스터) 의 6개의 트랜지스터에 기초한 제어 구조를 가지며, 드라이버 (COM, COM') 의 트랜지스터를 적절히 구동하기 위한 통상의 로우 선택 라인 및 칼럼 라인 이외에 매트릭스의 이전 및 다음 픽셀에 대한 로우 선택 라인이 사용된다.

발명의 내용

해결 하고자하는 과제

- <11> 이 발명에서 발생하는 하나의 기술적 문제는, 최적의 제조 수율 및 소정의 픽셀 크기 (및 이로 인한 능동 매트릭스 크기) 를 위한 개구 구경비 (open aperture ratio) 를 여전히 획득하면서, 픽셀당 트랜지스터의 개수 및/또는 각 픽셀을 제어하는데 필요한 로우 또는 칼럼의 개수를 증가시키는 방법이다.
- <12> 이러한 기술적 문제에 대한 본 발명에 의해 제공되는 하나의 해결책은, 픽셀을 제어하기 위한 소자들의 특정 배열 및 소망하는 기능을 가지고 OLED 픽셀을 제어하기 위한 이들 구조에 대응하는 능동 매트릭스의 최적화된 토폴로지 (topology) 이며, 특히 픽셀 전극당 4개 또는 6개의 TFT 트랜지스터에 기초한 AMOLED 디스플레이 화면에 대한 능동 매트릭스의 토폴로지이다.

과제 해결수단

- <13> 상술한 바와 같이, 따라서, 본 발명은 로우 및 칼럼으로 배열된 픽셀을 포함하는 유기 발광 다이오드 디스플레이 화면에 대한 능동 매트릭스에 관한 것으로서, 각 픽셀은, 표면에 유기 발광 다이오드를 수용 (accommodate) 할 수 있는 픽셀 전극 및 상기 픽셀 전극에 접속된 제1 및 제2 전류 드라이버를 포함하고, 제1 드라이버 및 제2 드라이버는 각각, 공급 전압부 (Vdd) 와 상기 픽셀 전극사이에 접속된 전류 제어 트랜지스터 및 상기 전류 제어 트랜지스터의 게이트를 제어하기 위한 적어도 제1 스위칭 트랜지스터를 포함하고, 상기 제1 스위칭 트랜지스터는 매트릭스의 칼럼 데이터 라인과 상기 전류 제어 트랜지스터의 게이트 사이에 접속되어 있고, 상기 제1 스위칭 트랜지스터의 게이트는 매트릭스의 로우 선택 라인에 접속되어 있고, 상기 제1 스위칭 트랜지스터 및 상기 전류 제어 트랜지스터의 소스 또는 드레인 전극 및 픽셀 전극은 소스-드레인 금속 레벨상에 형성되고, 상기 제1 스위칭 트랜지스터 및 상기 전류 제어 트랜지스터의 게이트 전극은 각각 게이트 금속 레벨상에 매트릭스의 로우 선택 라인에 의해 형성되고,
- <14> ● 각 픽셀은 매트릭스의 2개의 로우 선택 라인들 사이에 배치되고, 상기 2개의 로우 선택 라인들 중 제1 로우 선택 라인과 그 픽셀 전극 사이에 일 드라이버가 배치되고, 상기 제1 로우 선택 라인은 이 드라이버의 제1 스위칭 트랜지스터의 게이트를 형성하고, 상기 2개의 로우 선택 라인들 중 제2 로우 선택 라인과 그 픽셀 전극 사이에 타 드라이버가 배치되고, 상기 제2 로우 선택 라인은 이 드라이버의 제1 스위칭 트랜지스터의 게이트를 형성하며;
- <15> ● 상기 전류 제어 트랜지스터의 일 소스-드레인 전극은 상기 소스-드레인 금속 레벨상에 형성되는 공급 버스 (Vdd) 에 의해 형성되고, 상기 전류 제어 트랜지스터의 타 소스-드레인 전극은 동일한 소스-드레인 금속 레벨상에 상기 픽셀 전극의 돌출물 (excrecence) 인 적어도 하나의 핑거 (finger) 에 의해 형성되고;
- <16> ● 각 칼럼 데이터 라인은 매트릭스의 픽셀의 2개의 칼럼들 사이에 배치되고 상기 소스-드레인 금속 레벨 및 상기 게이트 금속 레벨을 사용하여 형성되고, 상기 게이트 금속 레벨은 상기 픽셀 전극을 따라 사용되고, 상기 소스-드레인 금속 레벨은 상기 드라이버들의 상기 제1 스위칭 트랜지스터들이 형성되는 상기 픽셀 전극들 사이의

영역에서 사용된다.

<17> 일 실시형태에 있어서, 매트릭스에 대하여, 상기 드라이버들은, 관련 드라이버의 상기 제1 스위칭 트랜지스터의 게이트가 접속되는 로우 선택 라인과 상기 전류 제어 트랜지스터의 게이트 사이에 접속된 제2 스위칭 트랜지스터를 포함하고, 상기 제2 스위칭 트랜지스터의 게이트는 다른 로우 선택 라인에 접속되어 있으며, 각 로우 선택 라인은 활성 영역에서 픽셀의 대응 로우의 양측에 배치된 제1 브랜치 및 제2 브랜치로 분할되어 있다.

효 과

<18> 본 발명은, 본 발명에 따른 능동 매트릭스를 포함하는 유기 발광 다이오드 디스플레이 화면에 적용된다.

발명의 실시를 위한 구체적인 내용

<19> 이하, 본 발명의 다른 이점 및 특징에 대하여 비한정적인 예시로서 주어지는 본 발명의 실시형태들의 도면을 참조하여 상세하게 설명할 것이다.

<20> 이하 설명에서, 2개의 드라이버 (COM, COM') 를 구비한 3개의 전류 제어 구조가 존재하고, 각 구조에 대해, 본 발명에 따른 능동 매트릭스의 대응 구현 및 픽셀의 배열을 설명할 것이다.

<21> 본 발명을 명료하고 간략화하기 위해, 여러 도면들에 대해 공통된 구성요소들에 대해서는 동일한 참조부호를 부여한다.

<22> 스위칭 트랜지스터의 게이트를 제어하는 로우 선택 라인을 Scan i 또는 Scan i'라 한다. 프라임 (') 심벌은 통상의 로우 선택 라인에 추가적으로 그 라인이 매트릭스상에 제공된다는 것을 의미한다.

<23> 스위칭 트랜지스터에 비디오 또는 블로킹 전압을 전송하는 칼럼 데이터 라인을 DATA j 또는 DATA j'라 한다. 프라임 심벌은 통상의 칼럼 데이터 라인에 추가적으로 그 라인이 매트릭스상에 제공된다는 것을 나타낸다.

<24> 트랜지스터 (Tk) 의 채널의 양측의 2개의 전극을 둘다 소스-드레인 전극이라 하고, 그들의 기능은 다르지 않다. 이들 2개의 전극을 ek_{sd} 및 ek'_{sd} 로 나타낸다.

<25> 도 3 및 도 6 은, 드라이버 (COM, COM') 당 2개의 트랜지스터, 즉 4개의 트랜지스터에 기초한 제어 구조에 대한 회로도 2가지 예시이다. 이 경우, 각 드라이버는 2개의 트랜지스터, 즉 스위칭 트랜지스터 (T1, T1') 및 전류 제어 트랜지스터 (T2, T2') 를 포함한다. 스위칭 트랜지스터 (T1, T1') 는 칼럼 데이터 라인에 전류 제어 트랜지스터 (T2, T2') 의 게이트 사이에 접속되며, 스위칭 트랜지스터의 게이트는 로우 선택 라인에 접속되어 있어, 픽셀을 선택할 경우 전류 제어 트랜지스터 (T2, T2') 의 게이트에 제어 (비디오 또는 블로킹) 전압을 인가할 수 있도록 한다. 전류 제어 트랜지스터 (T2, T2') 는 공급 전압부 (Vdd) 와 OLED 다이오드의 제어 전극 (E1) 사이에 전류 발생기로서 접속된다. 전류 제어 트랜지스터의 게이트와 공급 전압부 (Vdd) 사이에 서스테인 커패시터 (C1, C1') 가 접속된다. 서스테인 커패시터를 접속하는 여러 방식이 존재한다는 것에 유의해야 한다. 예컨대, 드라이버들 중 하나의 드라이버의 서스테인 커패시터는 다른 하나의 드라이버의 스위칭 트랜지스터의 게이트를 제어하는 로우 선택 라인에 접속되어 있을 수 있다 (도시하지 않음).

<26> 2개의 구조들 간의 차이는, 관련 드라이버 (COM, COM') 에 디스플레이 기능 또는 복구 기능을 교대로 제어하기 위해 스위칭 트랜지스터 (T1, T1') 가 어드레싱되는 방식에 비롯한다.

<27> 도 3 은 이러한 어드레싱을 구현하는 제1 방식을 도시하는 기본 회로도이다. 도 4 는 본 발명에 대응하는 픽셀의 구현에 해당하는 회로도이며, 도 5 는 대응 능동 매트릭스의 토폴로지 구현을 도시한다.

<28> 이 제1 실시형태에서, 픽셀당 2개의 칼럼 데이터 라인을 제공하고, 일 픽셀 ($pix_{i,j}$) 의 2개의 스위칭 트랜지스터의 복구 위상 및 비디오 디스플레이 모드에서의 교대 제어는 그 픽셀과 연관된 2개의 칼럼 데이터 라인 (DATA j, DATA j') 을 사용하고, 각 칼럼 데이터 라인은 비디오 전압 및 블로킹 전압을 교대로 수신하고, 스위칭 트랜지스터 (T1, T1') 의 게이트는 픽셀의 로우 선택 라인 (Scan i) 에 의해 구동된다. 제1 칼럼 데이터 라인 (DATA j) 은 스위칭 트랜지스터 (T1) 의 드레인 또는 소스에 접속되고, 제2 칼럼 데이터 라인 (DATA j') 은 스위칭 트랜지스터 (T1') 에 접속되어 있다. 따라서, 픽셀의 n개의 칼럼 \times m개의 로우의 대응 매트릭스는 그것을 어드레싱하기 위해 2n개 칼럼 데이터 라인 - 칼럼당 2개 - 및 m개의 로우 선택 라인을 필요로 하며, 즉, 표준 매트릭스에 비해 n개의 추가적인 칼럼을 필요로 한다. 게다가, 픽셀당 각기 2-트랜지스터 드라이버를 2개 포함한다.

- <29> 본 발명에 따른 배열에서, 각 픽셀 ($\text{pix}_{i,j}$) 은 도 4의 회로도 및 도 5의 토폴로지 도면에 도시된 바와 같이 2개의 로우 선택 라인 (Scan i , Scan $i+1$) 사이에 드라이버 (COM, COM') 의 대칭 배열로서 배치되어 있다. 이 배열은 도 3에 도시된 도면과 비교해서 스위칭 트랜지스터 ($T1$, $T1'$) 의 제어를 변경함으로써 용이해진다. 이들 트랜지스터는 디스플레이 화면의 동일한 라인에 의해서라기 보다는 2개의 상이한 로우 선택 라인들, 즉 Scan i 및 Scan $i+1$ 에 의해 제어된다. 이 예시에서, 스위칭 트랜지스터 ($T1'$) 의 게이트는 로우 선택 라인 (Scan i) 에 의해 구동되고, 스위칭 트랜지스터 ($T1$) 의 게이트는 로우 선택 라인 (Scan $i+1$) 에 의해 제어된다.
- <30> 유리하게도, 이러한 배열은,
- <31> ● 픽셀 ($\text{pix}_{i,j}$) 내에서 픽셀 전극 (E1) 에 대한 토폴로지의 대칭, 각 드라이버는 그것을 구동하는 로우 선택 라인, 예컨대, 드라이버 (COM') 의 경우의 Scan i 및 드라이버 (COM) 의 경우의 Scan $i+1$ 에 가능한 한 가깝게 배치됨;
- <32> ● 일 로우의 픽셀들의 트랜지스터들 ($T2$) 에 대한 다음 (또는 이전) 로우의 픽셀들의 트랜지스터들 ($T2'$) 은 상기 2개의 로우들 사이의 로우 선택 라인에 대해 대칭적 위치결정됨 (그 역 또한 동일함). 예컨대, 트랜지스터들 ($T2$) 은 각 로우 선택 라인 위에 위치되고, 트랜지스터들 ($T2'$) 은 각 로우 선택 라인 아래에 위치된다;
- <33> ● 일 픽셀에 대한 제1 드라이버의 제1 스위칭 트랜지스터와 다른 픽셀에 대한 제2 드라이버의 제1 스위칭 트랜지스터는 로우 선택 라인의 양측에 백-투-백 (back-to-back) 배열됨. 그리하여, 한쌍의 트랜지스터 ($T1$, $T1'$) 가 이들 2개의 트랜지스터 ($T1$, $T1'$) 를 구동하는 공통의 로우 선택 라인에 대해 백-투-백 배치되며, 예컨대 도 4 및 도 5의 토폴로지 도면의 하부-우측 부분에 도시된 바와 같이, 이러한 한쌍의 트랜지스터는 픽셀 ($\text{pix}_{i+1,j}$) 의 트랜지스터 ($T1$) 및 픽셀 ($\text{pix}_{i,j+1}$) 의 트랜지스터 ($T1'$) 에 의해 형성될 수 있다. 이러한 로우 선택 라인에 대한 백-투-백 위치결정은 공간을 가능한 한 최적화시킴으로써 개구 구경비를 증가시킬 수 있도록 한다. 이것은, 일반적으로 게이트 금속 (Mg; 대표적으로 TiMo, 즉 티타늄 몰리브덴) 으로부터 형성되는 로우 선택 라인이 스위칭 트랜지스터 ($T1$, $T1'$) 의 게이트 (g) 를 형성하기 위한 적절한 설계 (도 5) 를 가지기 때문이다. 또한, 이들 트랜지스터의 소스 전극은 관련 칼럼 데이터 라인의 돌출물을 제공하지 않고 관련 칼럼 데이터 라인에 의해 형성된다. 공간이 가장 최적화된다.
- <34> 도 13 에 도시된 바와 같이, 단지 칼럼의 매트릭스 (또는 단지 로우의 매트릭스) 만이 아니라, 전기적으로 연속성의 로우 도체 (rc) 와 칼럼 도체 (cc) 의 매트릭스형 배열에 걸쳐 공급 버스 (Vdd) 가 배치되는 것이 유리한데, 이는, 대응하는 드라이버의 전류 제어 트랜지스터와 서스테인 커패시터 사이의 공통 노드에 각각이 대응하는 노드 ($n1$ 및 $n2$) 에서의 전류 제어 트랜지스터 ($T2$ 및 $T2'$) 의 소스/드레인 전극으로 Vdd 를 전달하는 것을 가능하게 한다. 이러한 공급 버스 (Vdd) 의 배치는, OLED 다이오드가 형성되는 픽셀 전극 (E1) 의 영역에 대한 침해 없이 달성된다. 이러한 공급 버스 (Vdd) 의 매트릭스형 배치에 따르면, 액세스 저항은 낮고, 이는 실질적으로 모든 픽셀에 대해 동일하다. 유리하게는, 매트릭스형 배치는 리던던시 기능을 제공하여, 매트릭스의 제조 수율이 훨씬 양호하게 되고, 매트릭스형 배치는, 제조 공정 중에 공급 칼럼 또는 로우에서 일어날 수도 있는 단선 (break) 의 경우에도, 활성 영역의 모든 픽셀에 대해 전류가 분배되는 것을 보장한다. 매트릭스형 분배는, 각 픽셀에서 이용가능한 광학 영역을 최적화하면서, 매트릭스의 Vdd 로의 접속을 위한 모든 노드 ($n1$, $n2$) 에 도달하는 것을 가능하게 한다.
- <35> 통상적으로, 공급 버스 (Vdd) 는 (통상 몰리브덴 (Mo) 으로 이루어지는) 매트릭스의 소스-드레인 금속 레벨 (Msd) 상에 형성된다. 따라서, 본래 공급 버스는, 각 공급 칼럼 (Vdd) 의 양쪽의 로우를 따라 측방향으로 연장됨으로써 트랜지스터 ($T2$ 및 $T2'$) 의 소스-드레인 전극을 형성하고, 그에 따라 매트릭스 배열을 형성하게 된다.
- <36> 또한, 일반적으로, 소스-드레인 금속 레벨은, 칼럼 데이터 라인 (DATA j , DATA j') 의 소스-드레인 금속 레벨인데, 이는 물론 스위칭 트랜지스터 ($T1$, $T1'$) 의 소스-드레인 전극 (예를 들어, 트랜지스터 ($T1$) 의 전극 ($e1_{sd}$)) 에 형성된다 (도 5 참조).
- <37> 따라서, 픽셀의 2 개의 칼럼들 사이에는, 3 개의 수직 도체, 즉 1 개의 공급 칼럼 도체 (Vdd) 및 2 개의 칼럼 데이터 라인 도체 (예를 들어, DATA j' 및 DATA $j+1$) 가 존재하는데, 이들은 그 양쪽에 배치되어 있다.
- <38> 동일 평면의 칼럼 도체들 사이의 소스-드레인 금속 레벨 상의 단락의 위험을 제한하고, 또한 서로 인접한 이들 각종 칼럼 도체를 형성하여, 개구 구경비를 증가시키기 위해서, 매트릭스의 2 개의 금속 레벨들 사이에서 니팅

방법 (knitting method) 을 이용하여, 즉 소스-드레인 금속 레벨 및 게이트 금속 레벨을 이용함으로써, 또한 매트릭스의 2 개의 금속 레벨들 사이에 접촉점(들)을 제공함으로써, 칼럼 데이터 라인이 형성되는 것이 유리한데, 소스-드레인 금속 레벨 (Msd) 은 단지 트랜지스터의 지리학적 영역에서만 이용되어, 스위칭 트랜지스터 (T1 및 T1') 의 소스/드레인 전극 ($e1_{sd}$) 을 형성하게 된다. 게이트 금속 레벨 (Mg) 은 어디에나, 특히 픽셀 전극 (E1) 을 따라 어디에나 이용되어, 그에 따라 서로 매우 근접한 그 양쪽의 공급 칼럼 (Vdd) 및 칼럼 데이터 라인을 갖게 된다. 칼럼 데이터 라인에 대하여, 2 개의 금속 레벨들 (Msd 와 Mg) 사이의 통로는, 통상적으로 게이트 절연층에서의 어퍼처 (Oig) 에 의해 획득된 접촉점 (ct1, ct2) 에 의해 형성되는데, 이는 소스-드레인 금속 레벨 (Msd) 이 이들 접촉점에서 게이트 금속 레벨과 접촉하게 한다.

- <39> 소스-드레인 금속으로 이루어진 스위칭 트랜지스터 (T1, T1') 의 다른 소스-드레인 전극 ($e1'_{sd}$) 은, 접촉점 (ct3) 을 만들기 위해 게이트 절연층에 어퍼처를 제공함으로써, 연관된 전류 제어 트랜지스터 (T2 또는 T2') 의 게이트에 접속된다.
- <40> 공급 버스 (Vdd) 의 매트릭스형 분배는 2 개의 접촉점들 (ct1 과 ct2) 사이의 영역에서 소스-드레인 금속 도체 (Msd) 의 통로를 저지하는데, 소스-드레인 금속 (Msd) 으로 이루어진 칼럼 도체 (Vdd) 는 ct1 이전에 각 측에서 공급 라인 도체로 분할되어, 각 측에서는 로우 선택 라인에 대해 서로 대칭적으로 면하는 트랜지스터 (T2 및 T2') 의 소스-드레인 전극 ($e2_{sd}$ 및 $e2'_{sd}$) 을 형성하고, 다른 측에서는 ct2 이후에 결합한다. 다시 말하면, 매트릭스형 분배 (Vdd) 는, 백-투-백 트랜지스터 (T1 및 T1') 의 각 쌍을 바이패스하도록 형성된다. 이와 같이, 임의의 방식으로 제조 수율 및 제조 공정의 신뢰성을 희생하지 않으면서 광학 어퍼처가 최적화된다.
- <41> 통상적으로, 픽셀 전극 (E1) 은 소스-드레인 금속 레벨 (Msd) 상에 형성된다 (도 5 참조). 이 픽셀 전극 (E1) 상의 접촉 영역, 다시 말하면 유기 발광 다이오드가 배치되는 픽셀의 광학 영역을 노출하기 위해서, 매트릭스의 패시베이션층에 어퍼처 (Op) 가 형성된다.
- <42> OLED 다이오드에 필요한 전류를 제공하기에 충분히 큰 크기의 채널의 폭 (W) 을 가져야 하는 전류 제어 트랜지스터에 의해 점유되는 면적을 최적화하기 위해서, 도 5 에 도시된 바와 같이, 이들 트랜지스터 (T2, T2') 는, 서로 맞물린 소스-드레인 전극을 갖는 토폴로지를 갖는 것이 유리하고, 그에 따라 픽셀의 개구 구경비를 열화시키지 않으면서, (로우 선택 라인의 방향으로의 폭을 고려하여) 최소 폭에 대한 원하는 비율을 획득하는 것이 가능해진다. 보다 상세하게는, 이들 트랜지스터의 하나의 소스-드레인 전극 ($e2_{sd}$) 은, 픽셀 전극 (E1) (소스-드레인 금속 (Msd)) 의 돌출물 (핑거) 에 의해 형성되는 한편, 다른 소스-드레인 전극 ($e2'_{sd}$) 은 공급 버스 (Vdd) 로부터의 돌출물에 의해 형성된다. 각 로우 선택 라인에 대한 2 개의 트랜지스터 (T2 및 T2') 의 대칭적인 위치결정은, 공급 라인 도체 (Vdd) 의 동일한 부분으로부터 이들 2 개의 트랜지스터의 각각에서의 대응하는 전극 ($e2_{sd}$) 을 형성하는 것을 가능하게 한다. 이 시점에서, (Msd 금속으로 이루어진) 공급 도체 (Vdd) 가 게이트 금속 (Mg) 으로 이루어진 로우 선택 라인 상에 위치하여, 점유 공간의 최적 관리가 이루어진다는 것이 주목된다. 또한, 복수의 전극 핑거를 갖는 이러한 구현은, 단일 핑거를 갖는 구현과 비교하여 볼 때, 핑거에서의 단선의 경우에 픽셀 결합 문제를 제한하는 것을 가능하게 한다.
- <43> 따라서, 2 개의 픽셀 칼럼들 사이에는, 각 측에, 공급 칼럼 도체 (Vdd) 의 측면의 2 개의 칼럼 데이터 라인 도체 (예를 들어, DATA j' 및 DATA j+1) 가 존재한다.
- <44> 본 발명에 따른 배열은, 특히 4-트랜지스터 픽셀에 의해 점유되는 면적을, 유리한 개구 구경비로 최적화하는 것을 가능하게 한다.
- <45> 통상적으로, 트랜지스터는 바람직하게 비정질 실리콘으로 이루어진 TFT (Thin-Film Transistor) 이고, 이들 트랜지스터의 채널은, 소스-드레인 전극들 (Msd 레벨) 사이에서, 비정질 실리콘 (a-Si) 으로 이루어지고, 보다 상세하게는 도 5 에서 트랜지스터 중 하나에 대해 도시된 바와 같이 (Mg 레벨 상의) 게이트에 의해 제어된다.
- <46> 도 6 은 연관된 드라이버 (COM 및 COM') 에 대한 복구 기능 또는 디스플레이 기능을 교대로 제어하기 위한 4-트랜지스터 제어 구조의 스위칭 트랜지스터 (T1 및 T1') 를 어드레싱하는 또다른 방법을 도시한 기본 회로도이다. 도 7 은 본 발명에 따른 대응하는 픽셀의 일 구현에 대응하는 회로도이고, 도 8 은 대응하는 능동 매트릭스의 토폴로지 구현을 도시한 도면이다.
- <47> 도 3 에서와 같은 드라이버 (COM 및 COM') 의 디스플레이 기능 및 복구 기능의 교대를 허용하기 위해서, 추가적인 칼럼 데이터 라인을 삽입하는 대신에, 로우 선택 라인이 이용된다. 칼럼 데이터 라인의 개수를 2 배로

하는 대신에, 로우 선택 라인의 개수를 2 배로 한다. 그러므로, 대응하는 매트릭스는 디스플레이 화면의 $m \cdot n$ 개의 픽셀 ($pix_{i,j}$) 과 연관된 n 개의 칼럼 데이터 라인, 및 $2 \cdot m$ 개의 로우 선택 라인 - 픽셀당 2 개 - 을 포함할 것이다.

- <48> 이 실시형태에 있어서, 스위칭 트랜지스터 (T1) 의 게이트는 픽셀 ($pix_{i,j}$) 의 로우 선택 라인 (Scan i) 에 접속되고, 이중 스위칭 트랜지스터 (T1') 의 게이트는, Scan i' 로 표시되는 또다른 로우 선택 라인에 접속된다. 도 8 에 도시된 바와 같이, 동일한 칼럼 데이터 라인 (예를 들어, DATA j+2) 은 이 라인의 우측의 칼럼의 픽셀의 모든 트랜지스터 (T1) 의 소스-드레인 전극 ($e1_{sd}$) 에 접속되고, 또한 이 라인의 좌측의 칼럼의 픽셀의 모든 트랜지스터 (T1') 의 소스-드레인 전극 ($e1'_{sd}$) 에 접속된다.
- <49> 매트릭스의 토폴로지 및 배열의 관점에서, 모든 경우에, 각 픽셀이, 이 픽셀의 스위칭 트랜지스터 (T1, T1') 중 하나를 각각이 제어하는 2 개의 로우 선택 라인의 측면에 위치하기 때문에, 도 3 내지 도 6 에 관하여 기술한 설명은 동일한 방식으로 적용되지만, 픽셀의 2 개의 칼럼들 사이에 단지 하나의 공급 도체 및 하나의 칼럼 데이터 라인만이 존재하기 때문에, 픽셀을 형성하는데 필요한 공간은 여기서 보다 크다.
- <50> 또한, 그러므로, 동일한 칼럼 데이터 라인 및 동일한 로우 선택 라인과 연관된 2 개의 트랜지스터 (T1 및 T1') 의 백-투-백 위치결정은, 그 설계를 적용시킬 필요 없이, 동일한 칼럼 데이터 라인 도체를 갖는 2 개의 트랜지스터 (T1 및 T1') 에 대한 소스-드레인 전극 ($e1_{sd}$), 즉 2 개의 접촉점들 (ct1 과 ct2) 사이의 소스-드레인 금속 (Msd) 의 부분을 형성하는 것을 가능하게 한다. 따라서, 공간이 최상으로 최적화된다.
- <51> 도 9 는 6 개의 트랜지스터 (즉, 드라이버 (COM) 당 3 개의 트랜지스터) 에 기초한 제어 구조를 갖는 OLED 픽셀의 구조를 도시한 도면이다. 이러한 구조의 이점은, 이러한 구조가 드라이버 (COM 및 COM') 에 대한 교대 복구 및 비디오 디스플레이 기능을 제어하기 위한 추가적인 로우 선택 라인 또는 칼럼 데이터 라인을 필요로 하지 않는다는 것이다. 그러므로, $n \times m$ 픽셀로 구성되는 화면에 있어서, 종래기술에서와 같이 (도 1 참조), m 개의 로우 선택 라인 (Scan i) 및 n 개의 칼럼 데이터 라인 (DATA j) 이 존재한다.
- <52> 이는 회로 토폴로지 (라인의 교차, 라인의 제어) 및 점유 공간에 대하여 대단한 이점이다. 이는, 전류 제어 트랜지스터가 교대로 제어되는 추가적인 스위칭 트랜지스터를 제공함으로써 달성된다. 이러한 추가적인 드라이버 스위칭 트랜지스터는, 드라이버 (COM) 의 경우에는 T3 으로 표시되고, 드라이버 (COM') 의 경우에는 T3' 로 표시된다. 다음에, 트랜지스터 (T1 및 T1') 는 제 1 스위칭 트랜지스터로 지칭되고, 트랜지스터 (T3 및 T3') 는 제 2 스위칭 트랜지스터로 지칭된다.
- <53> 도 8 및 도 9 에 도시된 바와 같이, 각 픽셀 ($pix_{i,j}$) 에 있어서, 2 개의 드라이버 (COM 및 COM') 의 제 1 스위칭 트랜지스터 (T1 및 T1') 에 접속되는 단일 칼럼 데이터 라인 (DATA j), 이들 드라이버 중 하나 드라이버의 제 1 스위칭 트랜지스터의 게이트가 접속되는 제 1 로우 선택 라인, 및 이들 드라이버 중 다른 하나의 드라이버의 제 1 스위칭 트랜지스터의 게이트가 접속되는 매트릭스의 또다른 로우 선택 라인 (바람직하게는, 이전의 라인) 이 존재한다. 이 실시예에 있어서, 픽셀 ($pix_{i,j}$) 의 경우에, 로우 선택 라인 (Scan i) 은 드라이버 (COM) 의 스위칭 트랜지스터 (T1) 의 게이트에 접속되는 한편, 로우 선택 라인 (Scan i-1) 은 드라이버 (COM') 의 스위칭 트랜지스터 (T1') 의 게이트에 접속된다. 또한, 드라이버 (COM) 의 컴포넌트 (T1, C1 및 T2), 및 드라이버 (COM') 의 컴포넌트 (T1', C1' 및 T2') 는 함께 접속되고, 또한 특히 도 3 에 관하여 기술한 바와 같이, OLED 다이오드에 접속된다. 기술한 바와 같이, $n1$ 및 $n2$ 는 각각 V_{dd} 에 대한 트랜지스터 (T2 및 T2') 각각의 소스-드레인 전극의 접속을 위한 노드를 표시하는 한편, ct3 및 ct4 는 각각 제어 트랜지스터 (T2 및 T2') 각각의 게이트에 대한 제 1 스위칭 트랜지스터 (T1 및 T1') 각각의 소스-드레인 전극의 접속을 위한 노드를 표시한다.
- <54> 각 드라이버에 제공된 제 2 스위칭 트랜지스터 (T3, T3') 는, 전류 제어 트랜지스터의 게이트와, 이것이 속하는 드라이버의 제 1 스위칭 트랜지스터의 로우 선택 라인 (Scan i, Scan i-1) 각각의 사이에 접속된다. 일 드라이버의 제 2 스위칭 트랜지스터의 게이트는 다른 드라이버와 연관된 로우 선택 라인에 접속된다. 따라서, 예시된 실시예에 있어서, 픽셀 ($pix_{i,j}$) 의 트랜지스터 (T3) 는, 전류 제어 트랜지스터 (T2) 의 게이트와 스위칭 트랜지스터 (T1) 의 로우 선택 라인 (Scan i) 사이에 접속된다. 또한, 그 게이트는 로우 선택 라인 (Scan i-1) 에 접속된다. 전류 제어 트랜지스터 (T2') 의 게이트와 스위칭 트랜지스터 (T1') 의 로우 선택 라인 (Scan i-1) 사이에는 트랜지스터 (T3') 가 접속된다. 또한, 그 게이트는 로우 선택 라인 (Scan i) 에 접속

된다.

- <55> 본 발명에 따르면, 기술적인 제약을 고려하면서, 공간을 최상으로 최적화하기 위한 대응하는 픽셀 배열이 제공된다. 특히, 전술한 바와 같이, 그 목적은, 최적의 개구 구경비를 획득하기 위해서, 픽셀 내에 대칭적으로 드라이버 (COM 및 COM') 를 배열하는 것이다. 이는 특히 스위칭 트랜지스터를 백-투-백 배열할 수 있는 것에 유리한데, 그에 따라 필요한 공간을 제한하는 것을 가능하게 하고, 그 접속을 보다 용이하게 한다. 또한, 유리하게는, 로우 선택 라인에 대해 대칭적으로 전류 제어 트랜지스터를 배열할 수 있다.
- <56> 본 발명에 따른 대응하는 배열은 도 10, 도 11 및 도 12 에 도시되어 있다. 도 10 및 도 11 은 하나의 픽셀 (도 10) 및 4 개의 인접 픽셀 (도 11) 에 대한 회로도이다. 도 12 는 대응하는 매트릭스의 토폴로지 도면이다.
- <57> 이 배열에 있어서, 광학 영역의 양쪽에 로우 선택 라인 (Scan i) 의 2 개의 브랜치 (Scan_a i 및 Scan_b i) 가 존재하도록 이중 로우 선택 라인이 제공된다. 따라서, 각 픽셀은, 동일한 로우 선택 라인의 상부 브랜치 (Scan_a i) 및 하부 브랜치 (Scan_b i) 인 2 개의 로우 선택 라인의 측면에 위치한다. 이 배열은, 픽셀의 스위칭 트랜지스터가 픽셀에 크로스오버하지 않으면서 유리하게 구현될 수 있게 한다. 또한, 이는, 픽셀의 2 개의 드라이버 (COM 및 COM') 가 픽셀 전극 (E1) 의 양쪽에 대칭적으로 배열될 수 있게 한다. 실제, 이중 라인은 활성 영역 (AZ) 의 경계에 제공된다.
- <58> 픽셀의 전류 제어 트랜지스터 (T2 및 T2') 는, 이들 트랜지스터의 소스-드레인 전극 (e2_{sd}) 을 형성하는 픽셀 전극 (E1) 과 그 다른 전극 (e2'_{sd}) 을 형성하는 공급 칼럼 (Vdd) 사이에서, 픽셀 전극 쪽에 배치된다. 여기서, 이들 트랜지스터는 단일 소스-드레인 전극 평거를 갖는 L 이다. 여기서, 이들 트랜지스터에 대해 커야 하는 채널의 폭 (W) 은, 픽셀 전극 (E1) 의 길이를 이용함으로써 획득된다. 2 개의 트랜지스터들 (T2 와 T2') 사이의 간격은 이들 트랜지스터의 2 개의 게이트들 (g) 사이의 간격 (0g) 에 의해 획득된다.
- <59> 도 14 에 도시된 바와 같이, 상부 메인 버스 (Bt) 또는 하부 메인 버스 (Bb) 로부터 비롯되는 공급 칼럼 도체 (cc) 를 통해 공급 버스 (Vdd) 가 분배된다. 따라서, 픽셀의 각 칼럼에 대해 하나의 공급 칼럼 도체 (cc) 가 존재하는데, 이는 픽셀의 2 개의 칼럼들 사이의 각 간격으로 배치된다 (도 12 참조). 실제로, 도 13 에 서와 같은 매트릭스형 분배는 6-트랜지스터 제어 구조의 경우에는 유리하지 않다. 픽셀에서의 전류 소비로 인한 공급 칼럼 도체들 (cc) 사이의 전압 강하를 제한하기 위해서, 도 12 에서 확인될 수도 있는 바와 같이, 넓은 공급 칼럼 도체가 형성되어, 최저의 가능한 액세스 저항을 획득하게 된다.
- <60> 드라이버당 하나의 추가적인 스위칭 트랜지스터의 존재와 연관되는 이들 차이점에 관계없이, 4-트랜지스터 제어 구조에 대한 이전의 실시형태와 관련하여 확인되는 본 발명에 따른 구성의 다른 특징은, 동일한 효과를 갖는 동일한 방식으로 적용된다. 특히, 접촉점 (ct1 및 ct2) 과의 니팅이 존재한다. 스위칭 트랜지스터는, 2 개의 연속 로우 선택 라인들 사이에, 주로 로우 선택 라인의 하부 브랜치 (예를 들어, Scan_b i) 와 다음의 로우 선택 라인의 상부 브랜치 (이 예에서, Scan_a i+1) 사이에 집중된다. 이러한 배열은, 형성될 각종 접속부들, 특히 전류 제어 트랜지스터의 게이트에 대해 드라이버의 스위칭 트랜지스터의 소스-드레인 전극을 공통으로 접속시키는 접속부들의 최적화를 가능하게 하고, 그에 따라 트랜지스터 (T2) 의 게이트에 대해 트랜지스터 (T1) 의 소스-드레인 전극 (e1'_{sd}) 과 트랜지스터 (T3) 의 소스-드레인 전극 (e3'_{sd}) 을 접속시키는 하나의 접속점 (ct3), 및 트랜지스터 (T2') 의 게이트에 대해 트랜지스터 (T1') 의 소스-드레인 전극 (e1'_{sd}) 과 트랜지스터 (T3') 의 소스-드레인 전극 (e3'_{sd}) 을 접속시키는 하나의 접속점 (ct4) 이 존재한다.
- <61> 또한, 접촉점 (ct1 및 ct2) 은 대응하는 픽셀과 연관된 칼럼 데이터 라인에 대해 트랜지스터 (T1') 의 소스-드레인 전극 (e1_{sd}) 을 접속시키는 역할을 하는데, 이는 이 칼럼에서 이전의 픽셀의 트랜지스터 (T1) 의 소스-드레인 전극 (e1_{sd}) 을 형성한다.
- <62> 접촉점 (ct5 및 ct6) 은 각각, 트랜지스터 (T3, T3') 각각의 전극 (e3_{sd}) 이 대응하는 로우 선택 라인에 접속될 수 있게 한다.
- <63> 본 발명을 예시하기 위해 제공되었던 배열의 각종 실시예는, 이 픽셀의 스위칭 트랜지스터를 구동하는 2 개의 로우 선택 라인들 (제 1 실시예에서는, Scan i 와 Scan i', 또한 제 2 실시예에서는, Scan_a i 와 Scan_b i) 사이

에 각 픽셀을 배열함으로써, 문체의 드라이버의 스위칭 트랜지스터 또는 트랜지스터들을 구동하는 로우 선택 라인과 픽셀 전극 사이에서, 픽셀 전극의 양측에 2 개의 드라이버를 대칭적으로 배열하는 것이 가능하다는 것, 및 트랜지스터의 게이트 도체 레벨과 트랜지스터의 소스-드레인 전극의 도체 레벨 사이의 칼럼 데이터 라인의 니팅이, 최대화된 광학 어퍼처 및 최적의 제조 신뢰성으로 (동일 평면의 도체들 사이의 과잉 금속으로 인한 단락의 위험 없이) 능동 매트릭스를 형성하는 것을 가능하게 한다는 것을 나타낸다.

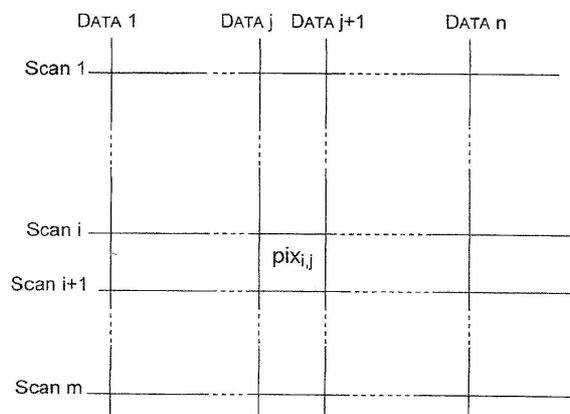
- <64> 유리하게는, 동일한 로우 선택 라인에 의해 구동되는 스위칭 트랜지스터의 백-투-백 배열은 광학 어퍼처를 증가시킨다.
- <65> 예시된 실시예에 있어서, 서스테인 커패시터 (C1 및 C1') 는 통상적으로 전류 제어 트랜지스터의 게이트-소스 (또는 게이트-드레인) 커패시터스에 의해 형성된다.
- <66> 드라이버가 단일 스위칭 트랜지스터를 포함하는 경우에 유리하게 채택될 수도 있는 공급 버스의 매트릭스형 분배 (도 13 참조) 는, 액세스 저항을 향상시키는 것, 및 그에 따라 제조 프로세스의 신뢰성을 향상시키면서, 매트릭스에 걸친 양호한 전력 분배를 획득하는 것을 가능하게 한다 (리던던시 기능).
- <67> 진술한 본 발명은 특히 TFT (비정질 실리콘) 트랜지스터에 기초한 능동 매트릭스를 이용하는 유기 발광 다이오드 디스플레이 화면에 적용된다. 보다 일반적으로, 본 발명은 임의의 능동 매트릭스 유기 발광 다이오드 디스플레이 화면에 적용된다.

도면의 간단한 설명

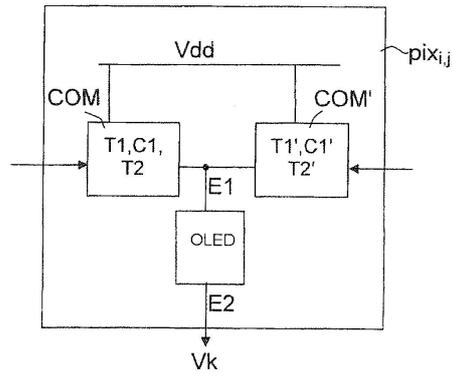
- <68> 도 1 은 종래 기술에 따른 OLED 능동 매트릭스 구조를 개략적으로 나타내는 도면.
- <69> 도 2 는 본 발명이 적용되는 매트릭스의 OLED 픽셀의 원리를 도시한 도면.
- <70> 도 3 은 제1 OLED 다이오드 픽셀 구조의 등가 회로도.
- <71> 도 4 및 도 5 는 본 발명에 따른 대응 구현을 나타낸 도면.
- <72> 도 6 은 제2 OLED 다이오드 픽셀 구조의 등가 회로도.
- <73> 도 7 및 도 8 은 본 발명에 따른 대응 구현을 나타낸 도면.
- <74> 도 9 는 본 발명의 다른 실시형태에 따른 제3 OLED 다이오드 픽셀 구조를 나타낸 도면.
- <75> 도 10 내지 도 12 는 본 발명에 따른 대응 구현을 나타낸 도면.
- <76> 도 13 은 특히 도 3 내지 도 8 에 적용가능한 전압 (Vdd) 의 매트릭스형 분배를 나타내며, 도 14 는 도 9 내지 도 12 에 보다 특징적으로 적용되는 전압부 (Vdd) 의 배치를 나타낸 도면.

도면

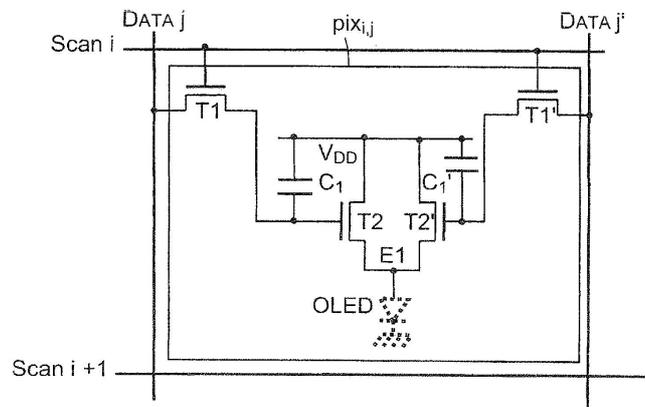
도면1



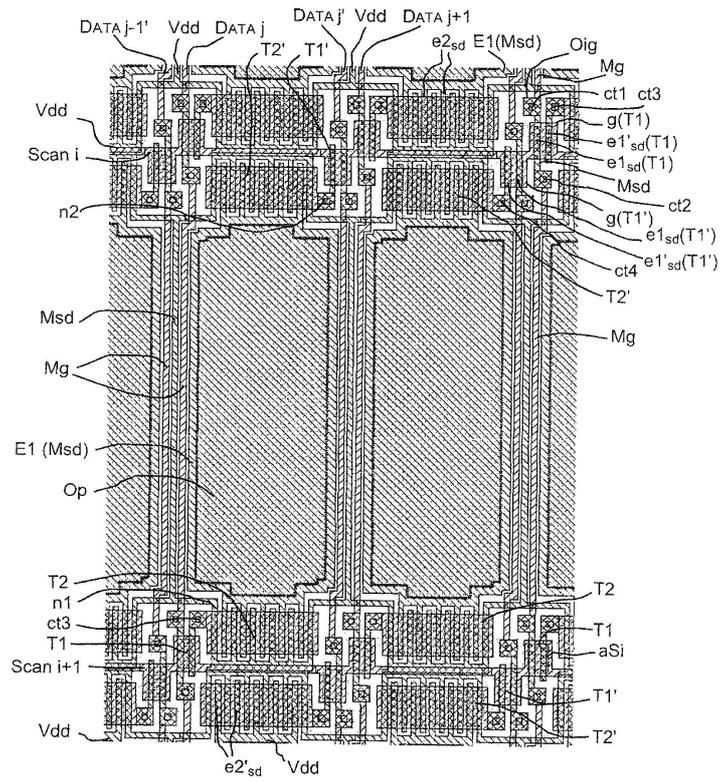
도면2



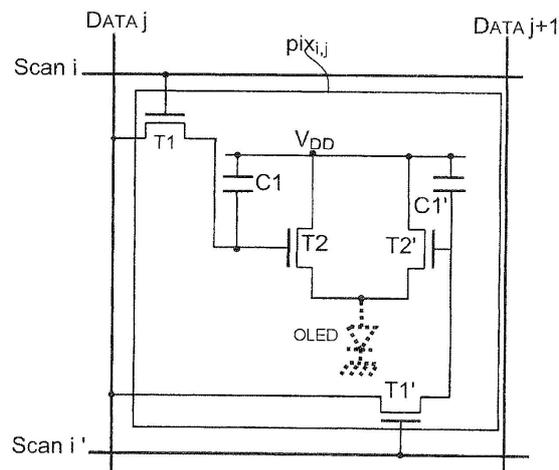
도면3



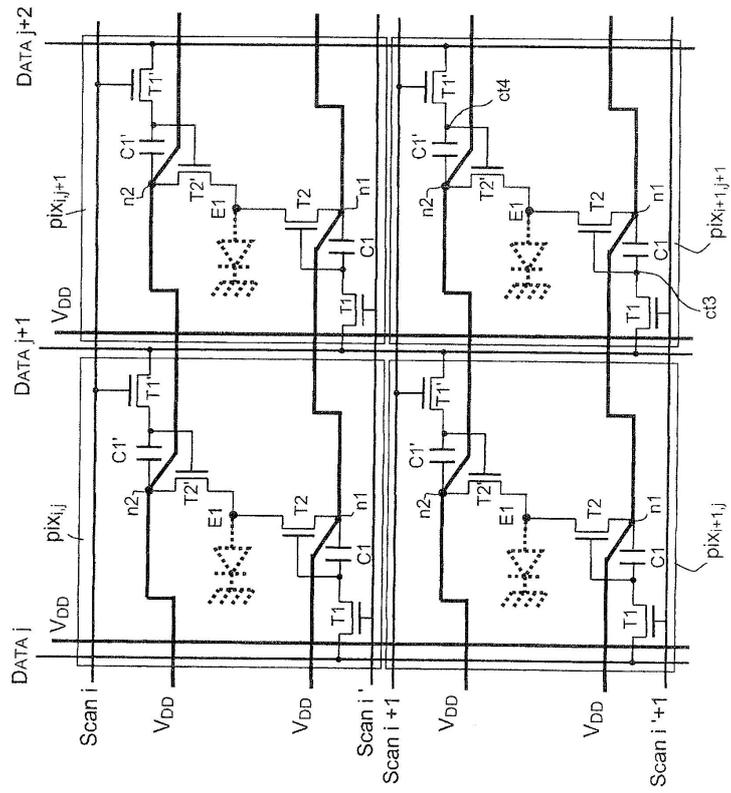
도면5



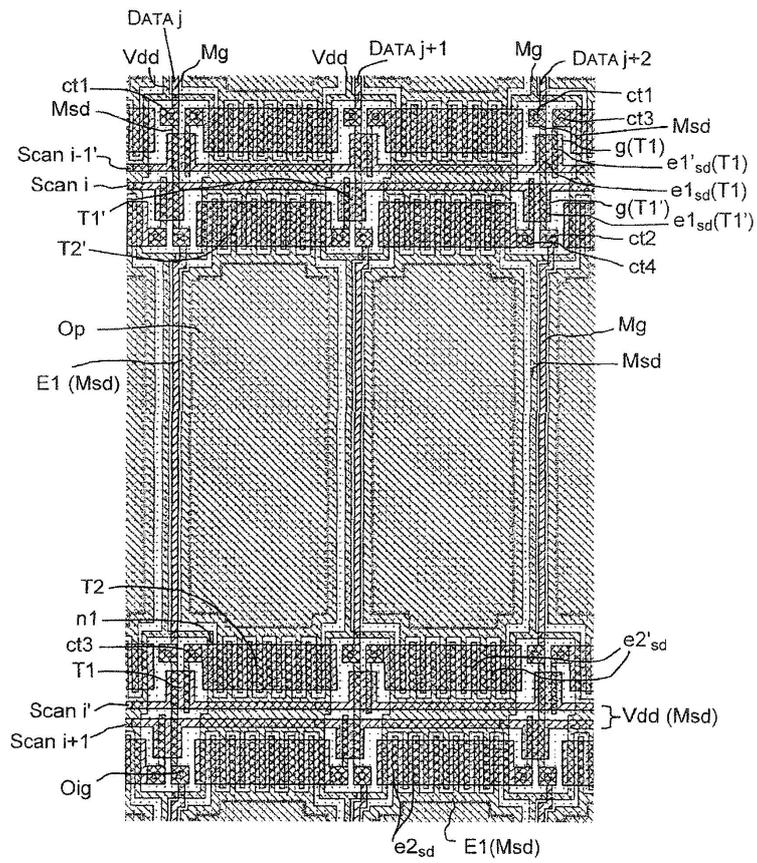
도면6



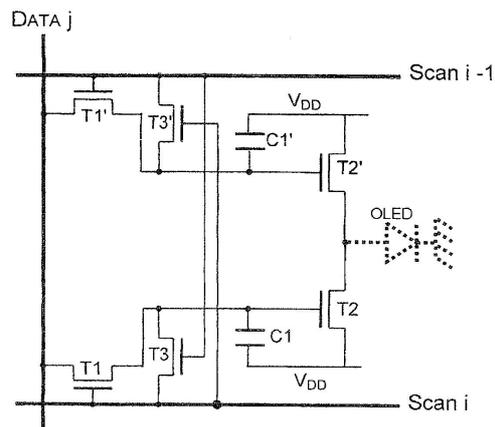
도면7



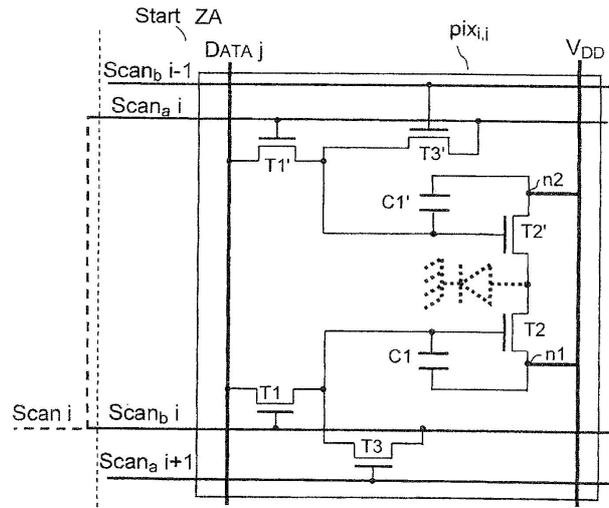
도면8



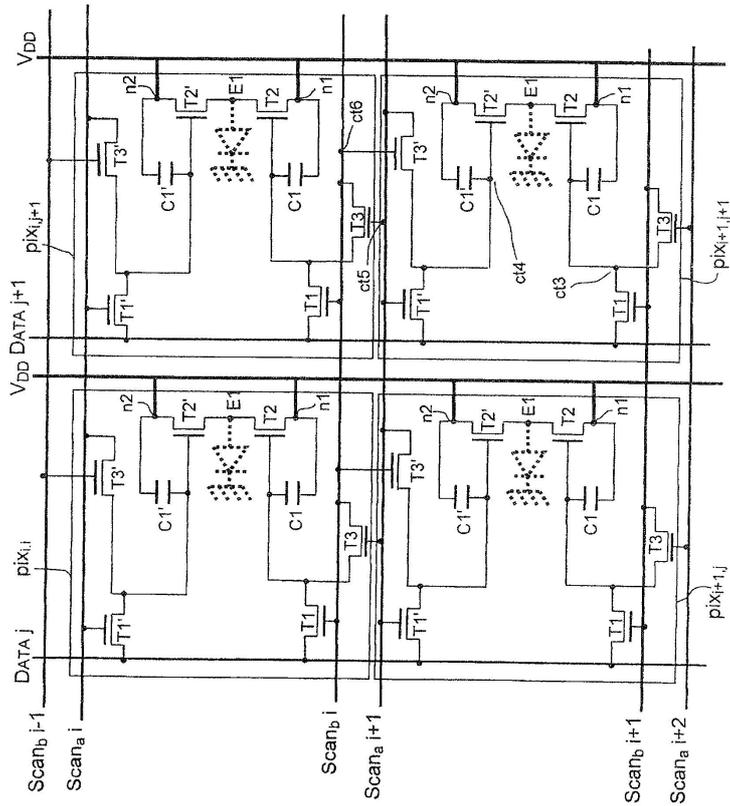
도면9



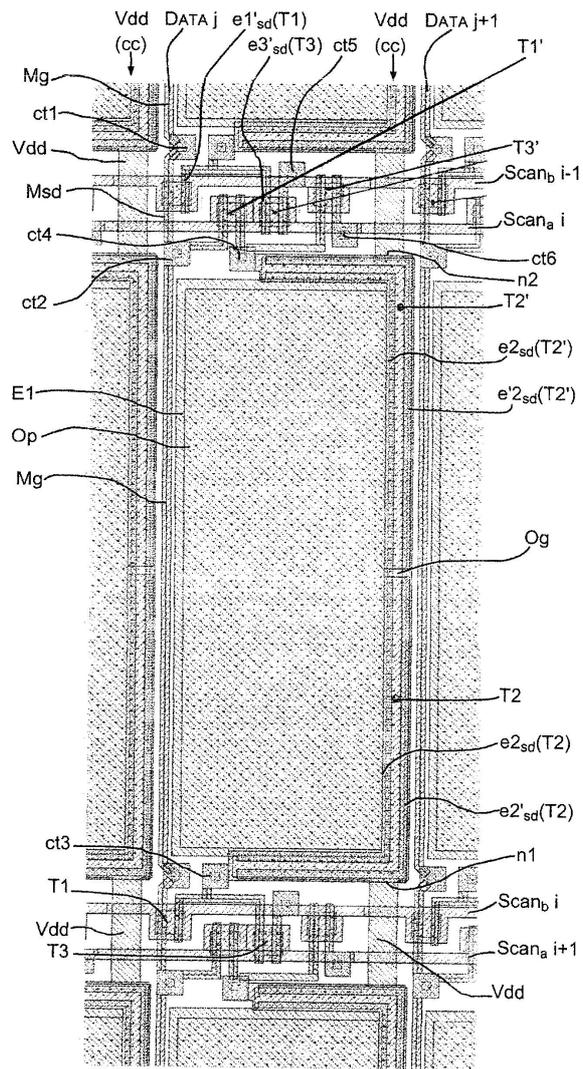
도면10



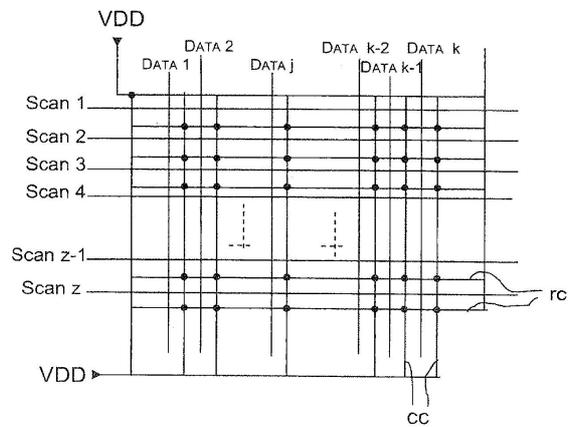
도면11



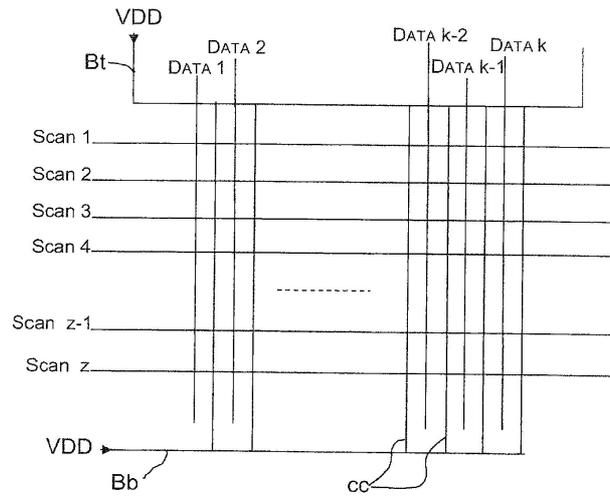
도면12



도면13



도면14



专利名称(译)	有机发光二极管显示屏的有源矩阵		
公开(公告)号	KR1020080084770A	公开(公告)日	2008-09-19
申请号	KR1020080024652	申请日	2008-03-17
[标]申请(专利权)人(译)	汤姆森 - 无线电报总公司		
申请(专利权)人(译)	泰勒斯		
当前申请(专利权)人(译)	泰勒斯		
[标]发明人	KRETZ THIERRY 크레뜨띠에리 LEBRUN HUGUES 르브룅위그 CHUITON ELISABETH 슈똥엘리자베스		
发明人	크레뜨띠에리 르브룅위그 슈똥엘리자베스		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2300/0852 H01L27/3276 G09G2300/0465 G09G2320/043 G09G3/3233 G09G2310/0254 G09G2300/0426		
代理人(译)	韩国专利公司		
优先权	2007001929 2007-03-16 FR		
其他公开文献	KR101486081B1		
外部链接	Espacenet		

摘要(译)

在用于有机发光二极管显示屏的有源矩阵中，每个像素布置在两个行选择线之间，每个线连接到至少第一开关晶体管和第二开关晶体管。
(T1, T1')。这两个驱动器相对于像素的像素电极E1对称地布置在像素电极和像素侧上的一个行选择线之间的空间中。列数据线，分别晶体管间距之间的源通过编织由漏极金属层和所述金属层之间的栅接触点 (CT1, CT2)，像素到源极的形成漏电极和栅极，分别在两个连续的列如图1所示。电流控制晶体管一个源 - 漏电极由形成在源 - 漏金属层上的电源总线 (Vdd) 形成，而电流控制晶体管的另一个源 - 漏电极形成在同一源 - 它是由手指形成。应用于基于TFT晶体管的有源矩阵，特别是具有非晶硅沟道的TFT晶体管。

