



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0056897
(43) 공개일자 2008년06월24일

(51) Int. Cl.

H05B 33/02 (2006.01)

(21) 출원번호 10-2006-0130040

(22) 출원일자 2006년12월19일

심사청구일자 없음

(71) 출원인

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

이상웅

경기 용인시 기흥구 공세동 428-5

(74) 대리인

팬코리아특허법인

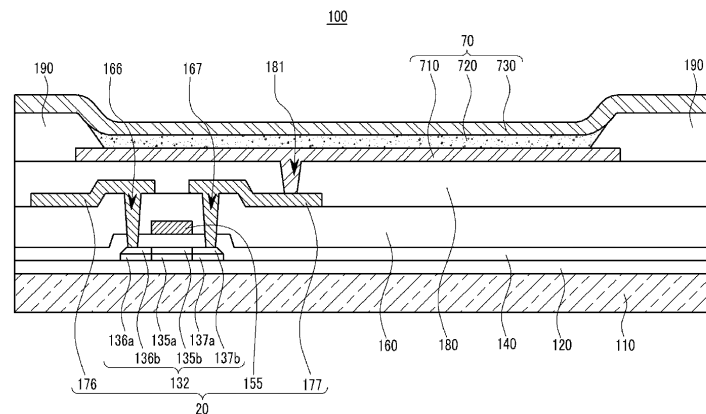
전체 청구항 수 : 총 11 항

(54) 유기 전계 발광 표시장치 및 그 제조 방법

(57) 요약

본 발명은 유기 전계 발광 표시장치 및 그 제조 방법에 관한 것으로서, 본 발명에 따른 유기 전계 발광 표시장치는 기관 부재와, 상기 기관 부재 상에 형성된 하부 반도체층과, 상기 하부 반도체층 상에 형성되며, 상기 기관 부재의 판면에 대한 측면의 경사각이 상기 하부 반도체층보다 완만하게 형성된 상부 반도체층을 포함한다.

대표도



특허청구의 범위

청구항 1

기관 부재;

상기 기관 부재 상에 배치된 반도체층을 포함하는 박막 트랜지스터; 및

상기 박막 트랜지스터의 신호에 의해 구동되는 유기 발광 소자

를 포함하며,

상기 박막 트랜지스터의 반도체층은,

제1 비정질 규소층의 결정화에 의해 형성되며, 상기 기관 부재 상에 배치되는 하부 반도체층; 및

제2 비정질 규소층의 결정화에 의해 형성되며, 상기 하부 반도체층 상에 배치되는 상부 반도체층을 포함하고,

상기 상부 반도체층은 상기 기관 부재의 판면에 대한 측면의 경사각이 상기 하부 반도체층보다 완만하게 형성되는 유기 전계 발광 표시장치.

청구항 2

제 1항에 있어서,

상기 하부 반도체층을 형성하는 제1 비정질 규소층과 상기 상부 반도체층을 형성하는 제2 비정질 규소층은 식각비가 서로 다른 물질로 이루어지는 유기 전계 발광 표시장치.

청구항 3

제 2항에 있어서,

상기 상부 반도체층을 형성하는 제2 비정질 규소층은 상기 하부 반도체층을 형성하는 제1 비정질 규소층에 비해 상대적으로 식각비가 빠른 물질로 이루어지는 유기 전계 발광 표시장치.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 제1 비정질 규소층과 제2 비정질 규소층은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택된 어느 한 물질로 각각 이루어지는 유기 전계 발광 표시장치.

청구항 5

제 4항에 있어서,

상기 제1 비정질 규소층은 실리콘 질화막으로 이루어지며, 상기 제2 비정질 규소층은 실리콘 산화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택된 어느 한 물질로 이루어지는 유기 전계 발광 표시장치.

청구항 6

제 5항에 있어서,

상기 제1 비정질 규소층은 상기 기관 부재 상에 구비된 버퍼막 상에 형성되는 유기 전계 발광 표시장치.

청구항 7

기관 부재 상에 제1 비정질 규소층을 형성하는 단계;

상기 제1 비정질 규소층 상에 제2 비정질 규소층을 형성하는 단계;

상기 제1 비정질 규소층 및 상기 제2 비정질 규소층을 패터닝하는 단계; 및

상기 패터닝된 제1 비정질 규소층 및 제2 비정질 규소층을 결정화하여 하부 반도체층 및 상부 반도체층으로 이

루어진 반도체층을 형성하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법.

청구항 8

제 7항에 있어서,

상기 제2 비정질 규소층은 상기 제1 비정질 규소층에 비해 상대적으로 식각비가 빠른 물질로 형성하는 유기 전계 발광 표시장치의 제조 방법.

청구항 9

제 7항 또는 제 8항에 있어서,

상기 제1 비정질 규소층과 제2 비정질 규소층은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택된 어느 한 물질로 형성하는 유기 전계 발광 표시장치.

청구항 10

제 9항에 있어서,

상기 제1 비정질 규소층은 실리콘 질화막으로 형성하며, 상기 제2 비정질 규소층은 실리콘 산화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택한 어느 한 물질로 형성하는 유기 전계 발광 표시장치.

청구항 11

제 10항에 있어서,

상기 제1 비정질 규소층을 형성하기 이전에 상기 기판 부재 상에 버퍼층을 형성하는 단계를 더 포함하는 유기 전계 발광 표시장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 유기 전계 발광 표시장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 반도체층의 형상을 개선하여 불량의 발생을 억제한 유기 전계 발광 표시장치 및 그 제조 방법에 관한 것이다.
- <20> 근래에 음극선관(cathode ray tube, CRT)의 단점을 극복하여 경량화 및 소형화가 가능한 평판 표시장치가 차세대 표시장치로 각광 받고 있다.
- <21> 이러한 평판 표시장치의 대표적인 예로 플라즈마 디스플레이 패널(plasma display panel, PDP), 액정 표시장치(liquid crystal display, LCD), 유기 전계 발광 표시장치(organic light emitting display) 등이 있다.
- <22> 유기 전계 발광 표시장치는 유기 화합물을 발광시켜 화상을 표시하는 자발광형 표시장치로서, 다른 평판 표시장치에 비해 넓은 시야각 확보가 가능하며 고해상도 실현이 가능하다.
- <23> 유기 전계 발광 표시장치는 구동 방법에 따라 능동 구동(active matrix, AM)형 유기 전계 발광 표시장치와 수동 구동(passive matrix, PM)형 유기 전계 발광 표시장치로 구분될 수 있으며, 발광 형식에 따라 전면 발광형, 배면 발광형 및 양면 발광형으로 구분될 수 있다.
- <24> 화소는 화면을 표시하는 최소단위를 말한다. 능동 구동형 유기 전계 발광 표시장치에서 화소는 발광하여 화상을 표시하는 유기 발광 소자와 유기 발광 소자를 구동하는 화소 구동 회로를 포함하는 것이 일반적이다.
- <25> 화소 구동 회로는 통상적으로 두개 이상의 박막 트랜지스터(thin film transistor, TFT)와 하나의 축전 소자(capacitor)를 포함한다. 두개의 박막 트랜지스터 중에서 하나는 복수의 화소들 중에서 발광시키고자 하는 화소의 유기 발광 소자를 선택하는 작용을 하는 스위칭 소자의 기능을 한다. 그리고 다른 하나의 박막 트랜지스터

터는 선택된 유기 발광 소자를 발광시키기 위한 구동 전원을 인가하는 구동 소자의 기능을 한다.

- <26> 유기 전계 발광 표시장치에 사용될 수 있는 박막 트랜지스터에는 여러 종류가 있으며, 그 중에서도 저온 폴리실리콘(Low Temperature Poly Silicon, LTPS) 박막 트랜지스터가 널리 사용되고 있다. 저온 폴리실리콘 박막 트랜지스터는 기판 내에서 전자 이동도가 높다는 장점이 있다.
- <27> 박막 트랜지스터는 게이트 전극, 소스 전극, 드레인 전극 및 반도체층을 포함한다. 저온 폴리실리콘 박막 트랜지스터를 형성할 때에는, 먼저 비정질 규소층을 도포하고 이를 결정화한 후 패터닝하여 반도체층을 형성한다.
- <28> 그런데, 상기한 패터닝 공정에서는 일반적으로 건식 식각 공정을 이용한다. 따라서, 결정화가 이루어진 반도체층의 계면에 플라즈마 손상(plasma damage)이 발생하는 문제점이 있다.
- <29> 그리고, 종래의 저온 폴리실리콘 박막 트랜지스터에 사용되는 반도체층은 기판의 판면에 대한 측면 경사각이 급하게(steep) 형성되었다. 즉, 반도체층은 측면이 수직에 가깝게 형성되어 뾰족한 모서리를 갖게 되었다.
- <30> 이와 같이, 측면 경사각이 급한 반도체층은 항복(降伏) 전압(breakdown voltage)을 증가시켜 불량 발생의 원인이 되었다. 이로 인하여 제품의 신뢰성이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <31> 본 발명은 상기한 문제점을 해결하기 위한 것으로, 플라즈마 손상 및 항복 전압의 증가를 방지할 수 있는 유기 전계 발광 표시장치를 제공하고자 한다.
- <32> 또한, 상기한 유기 전계 발광 장치의 제조 방법을 제공하고자 한다.

발명의 구성 및 작용

- <33> 전술한 목적을 달성하기 위하여 본 발명에 따른 유기 전계 발광 표시장치는 기판 부재, 상기 기판 부재 상에 배치된 반도체층을 포함하는 박막 트랜지스터 및 상기 박막 트랜지스터의 신호에 의해 구동되는 유기 발광 소자를 포함한다.
- <34> 본 발명의 실시예에 의하면, 상기 박막 트랜지스터의 반도체층은 제1 비정질 규소층의 결정화에 의해 형성되며 상기 기판 부재 상에 배치되는 하부 반도체층과, 제2 비정질 규소층의 결정화에 의해 형성되며 상기 하부 반도체층 상에 배치되는 상부 반도체층을 포함하고, 상기 상부 반도체층은 상기 기판 부재의 판면에 대한 측면의 경사각이 상기 하부 반도체층보다 완만하게 형성된다.
- <35> 이러한 구성의 반도체층은 반도체층의 에지(edge) 부분에 전계가 집중됨으로 인해 항복 전압이 증가되는 것을 방지할 수 있다.
- <36> 본 발명의 실시예에서, 상기 하부 반도체층을 형성하는 제1 비정질 규소층과 상기 상부 반도체층을 형성하는 제2 비정질 규소층은 식각비가 서로 다른 물질로 이루어진다.
- <37> 바람직하게는, 상기 상부 반도체층을 형성하는 제2 비정질 규소층은 상기 하부 반도체층을 형성하는 제1 비정질 규소층에 비해 상대적으로 식각비가 빠른 물질로 이루어진다.
- <38> 예컨대, 상기 제1 비정질 규소층과 제2 비정질 규소층은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택된 어느 한 물질로 각각 이루어질 수 있다.
- <39> 그리고, 상기 제1 비정질 규소층은 식각비가 상대적으로 느린 실리콘 질화막으로 이루어질 수 있고, 상기 제2 비정질 규소층은 실리콘 질화막에 비해 식각비가 상대적으로 빠른 실리콘 산화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택된 어느 한 물질로 이루어질 수 있다.
- <40> 물론, 상기 제1 비정질 규소층은 실리콘 산질화막으로 이루어질 수 있고, 제2 비정질 규소층은 상기 실리콘 산질화막에 비해 식각비가 상대적으로 빠른 실리콘 질화막 또는 테트라 에틸 오르소 실리케이트 중에서 선택된 어느 한 물질로 이루어질 수도 있다.
- <41> 그리고, 상기 제1 비정질 규소층과 기판 부재 사이에는 버퍼막이 더욱 구비될 수 있다.
- <42> 상기한 구성의 유기 전계 발광 표시장치는, 기판 부재 상에 제1 비정질 규소층을 형성하는 단계, 상기 제1 비정질 규소층 상에 제2 비정질 규소층을 형성하는 단계, 상기 제1 비정질 규소층 및 상기 제2 비정질 규소층을 패터닝하는 단계, 및 상기 패터닝된 제1 비정질 규소층 및 제2 비정질 규소층을 결정화하여 하부 반도체층 및 상

부 반도체층으로 이루어진 반도체층을 형성하는 단계를 포함하는 유기 전계 발광 표시장치의 제조 방법에 의해 제조할 수 있다.

- <43> 이러한 구성에 의하면, 제1 비정질 규소층 및 제2 비정질 규소층을 패터닝한 후에 결정화 공정을 실시하므로, 상기 패터닝시에 발생할 수 있는 플라스마 손상을 방지할 수 있는 효과가 있다.
- <44> 본 발명의 실시예에 의하면, 상기 제2 비정질 규소층은 상기 제1 비정질 규소층에 비해 상대적으로 식각비가 빠른 물질로 형성하는 것이 바람직하다.
- <45> 상기 제1 비정질 규소층과 제2 비정질 규소층은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택된 어느 한 물질로 형성할 수 있으며, 이 경우, 상기 제1 비정질 규소층은 실리콘 질화막으로 형성할 수 있고, 상기 제2 비정질 규소층은 실리콘 산화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택한 어느 한 물질로 형성할 수 있다.
- <46> 물론, 상기 제1 비정질 규소층을 실리콘 산질화막으로 형성하고, 제2 비정질 규소층을 실리콘 산화막 또는 테트라 에틸 오르소 실리케이트 중에서 선택한 어느 한 물질로 형성하는 것도 가능하다.
- <47> 그리고, 상기 제1 비정질 규소층을 형성하기 이전에 상기 기판 부재 상에 버퍼층을 형성하는 것도 가능하다.
- <48> 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <49> 첨부 도면에서는, PMOS 구조의 박막 트랜지스터를 포함한 유기 전계 발광 표시장치를 도시하고 있다. 그러나 본 발명은 반드시 이에 한정되는 것은 아니며, NMOS 구조 또는 CMOS 구조의 박막 트랜지스터에도 모두 적용될 수 있다.
- <50> 또한, 첨부 도면에서는, 하나의 화소(화면을 표시하는 최소 단위를 말한다)에 두개의 박막 트랜지스터(thin film transistor, TFT)와 하나의 축전 소자(capacitor)를 구비하는 2Tr-1Cap 구조의 능동 구동(active matrix, AM)형 유기 전계 발광 표시장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다.
- <51> 따라서 유기 전계 발광 표시장치는 하나의 화소에 셋 이상의 박막 트랜지스터와 둘 이상의 축전 소자를 구비할 수 있으며, 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성할 수도 있다.
- <52> 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- <53> 또한, 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <54> 도 1은 본 발명의 실시예에 따른 화소를 갖는 유기 전계 발광 표시장치에서 하나의 화소를 개략적으로 나타낸다. 그리고, 도 2는 도 1의 II-II선을 따라 도시한 단면을 나타낸다.
- <55> 도 1에서 도시한 바와 같이, 유기 전계 발광 표시장치(100)는 하나의 화소에 제1 박막 트랜지스터(10), 제2 박막 트랜지스터(20), 축전 소자(80), 그리고 유기 발광 소자(organic light emitting diode, OLED)(70)를 포함한다. 그리고 유기 전계 발광 표시장치(100)는 일 방향을 따라 배치되는 게이트 라인(151)과, 게이트 라인(151)과 절연 교차되는 데이터 라인(171) 및 공통 전원 라인(172)을 더 포함한다.
- <56> 유기 발광 소자(70)는 정공 주입 전극인 양(+)극, 전자 주입 전극인 음(-)극, 양극과 음극 사이에 배치된 유기막을 포함하는 구조를 가진다. 정공과 전자가 각각 양극 및 음극으로부터 유기막 내부로 주입된다. 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.
- <57> 축전 소자(80)는 절연막(140)(도 2에 도시)을 사이에 두고 배치된 하부 전극(158)과 상부 전극(178)을 포함한다.
- <58> 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)는 각각 게이트 전극(152, 155), 소스 전극(173, 176), 드레인 전극(174, 177) 및 반도체층(131, 132)을 갖는다.

- <59> 반도체층(131, 132)은, 도 2에 도시한 바와 같이, 하부 반도체층(135a, 136a, 137a)과 상부 반도체층(135b, 136b, 137b)으로 구분된다. 여기서, 상부 반도체층(135a, 136a, 137a)은 기판 부재(110)의 판면에 대한 측면 경사각이 하부 반도체층(135b, 136b, 137b)보다 완만하게 형성된다. 따라서 반도체층(131, 132)은 전체적으로 뾰족한 모서리를 갖지 않으며, 이에 항복 전압이 증가되는 것을 억제할 수 있다.
- <60> 제1 박막 트랜지스터(10)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 제1 박막 트랜지스터(10)의 제1 게이트 전극(152)은 게이트 라인(151)과 전기적으로 연결되고, 제1 소스 전극(173)은 데이터 라인(171)과 연결되며, 제1 드레인 전극(176)은 축전 소자(80)의 하부 전극(158)과 연결된다.
- <61> 제2 박막 트랜지스터(20)는 선택된 발광 소자(70)의 유기막(720)(도 2에 도시)을 발광시키기 위한 구동 전원을 제1 화소 전극(710)에 인가한다. 여기서, 제1 화소 전극(710)은 유기 발광 소자(70)의 양극이 된다.
- <62> 그러나 본 발명이 반드시 이에 한정되는 것은 아니며, 유기 전계 발광 표시장치(100)의 구동 방법에 따라 제1 화소 전극(179)이 발광 소자(70)의 음극이 될 수도 있다.
- <63> 제2 박막 트랜지스터(20)의 제2 게이트 전극(155)은 축전 소자(80)의 하부 전극(158)과 연결되고, 제2 소스 전극(176)은 공통 전원 라인(172)과 연결된다. 그리고 제2 박막 트랜지스터(20)의 제2 드레인 전극(177)은 평탄 화막(180)(도 2에 도시)을 사이에 두고 컨택홀(181)을 통해 발광 소자(70)의 제1 화소 전극(710)과 연결된다.
- <64> 이와 같은 구조에 의하여, 제1 박막 트랜지스터(10)는 게이트 라인(151)에 인가되는 게이트 전압에 의해 구동되어 데이터 라인(171)에 인가되는 데이터 전압을 제2 박막 트랜지스터(20)로 전달하는 역할을 한다.
- <65> 그리고, 공통 전원 라인(172)으로부터 제2 박막 트랜지스터(20)에 인가되는 공통 전압과 제1 박막 트랜지스터(10)로부터 전달된 데이터 전압의 차에 해당하는 전압이 축전 소자(80)에 저장되고, 축전 소자(80)에 저장된 전압에 대응하는 전류가 제2 박막 트랜지스터(20)를 통해 유기 발광 소자(70)로 흘러 유기 발광 소자(70)가 발광하게 된다.
- <66> 또한, 도 1에 도시하지는 않았으나, 개구부를 가지고 각각의 화소를 정의하는 화소 정의막(190)(도 2에 도시)을 더 포함한다.
- <67> 도 2를 참조하여 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치(100)의 구조에 대해 구체적으로 설명하면 다음과 같다. 도 2는 제2 박막 트랜지스터(20), 발광 소자(70) 및 축전 소자(80)를 중심으로 도시하고 있다.
- <68> 이하에서는 제2 박막 트랜지스터(20)를 중심으로 박막 트랜지스터의 구조에 대해 설명한다. 제1 박막 트랜지스터(10)는 그 구조가 제2 박막 트랜지스터(20)와 동일하므로 그 자세한 설명은 생략한다.
- <69> 도 2에 도시한 바와 같이, 기판 부재(110)는 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판 또는 스테인리스 강 등으로 이루어진 금속성 기판으로 형성된다.
- <70> 그리고 기판 부재(110) 위에 버퍼층(120)이 형성된다. 버퍼층(120)은 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 그러나 버퍼층(120)은 반드시 필요한 것은 아니며, 기판 부재(110)의 종류 및 공정 조건에 따라 생략될 수도 있다.
- <71> 버퍼층(120) 위에는 반도체층(132)이 형성된다. 반도체층(132)은 다결정 규소로 형성된다. 여기서 반도체층(132)은 먼저 비정질 규소를 도포하고 패터닝한 다음 이를 결정화하는 방법으로 형성한다.
- <72> 또한, 반도체층(132)은 하부 반도체층(135a, 136a, 137a)과 상부 반도체층(135b, 136b, 137b)으로 구분된다. 여기서, 상부 반도체층(135a, 136a, 137a)은 기판 부재(110)의 판면에 대한 측면 경사각이 하부 반도체층(135b, 136b, 137b)보다 완만하게 형성된다.
- <73> 이를 위해, 하부 반도체층(135b, 136b, 137b)과 상부 반도체층(135a, 136a, 137a)은 각각 식각비가 서로 다른 물질로 형성된다. 상부 반도체층(135a, 136a, 137a)을 형성하는 물질은 하부 반도체층(135b, 136b, 137b)을 형성하는 물질에 비해 상대적으로 식각비가 빠르다.
- <74> 예를 들면, 하부 반도체층(135b, 136b, 137b)을 형성하는 제1 비정질 규소층과 상부 반도체층(135a, 136a, 137a)을 형성하는 제2 비정질 규소층은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx), 실리콘 산질화막(SiON), 테트라 에틸 오르소 실리카이트(TEOS; Tetra Ethyl Ortho Silicate) 중에서 선택된 어느 한 물질로 형성할 수 있다.

- <75> 여기에서, 상기 물질들의 식각비는 실리콘 산화막과 테트라 에틸 오르소 실리케이트가 가장 빠르며, 실리콘 산 질화막과 실리콘 질화막 순으로 식각비가 느린 것으로 알려져 있다.
- <76> 따라서, 상기 제1 비정질 규소층은 실리콘 질화막으로 형성할 수 있고, 상기 제2 비정질 규소층은 실리콘 산화막, 실리콘 산질화막, 테트라 에틸 오르소 실리케이트 중에서 선택한 어느 한 물질로 형성할 수 있다.
- <77> 물론, 상기 제1 비정질 규소층을 실리콘 산질화막으로 형성하고, 제2 비정질 규소층을 실리콘 산화막 또는 테트라 에틸 오르소 실리케이트 중에서 선택한 어느 한 물질로 형성하는 것도 가능하다.
- <78> 이와 같은 구성에 의하면, 기판 부재(110)의 판면에 대한 상부 반도체층의 측면 경사각이 완만하게 이루어지므로, 항복 전압이 증가되는 것을 억제할 수 있다. 따라서 불량의 발생을 줄일 수 있어 제품의 신뢰성을 향상시킬 수 있다.
- <79> 또한, 반도체층(132)은 불순물이 도핑되지 않은 채널 영역(135a, 135b)과, 채널 영역(135a, 135b)의 양 옆으로 p+ 도핑되어 형성된 소스 영역(136a, 136b) 및 드레인 영역(137a, 137b)을 포함한다. 이 때, 도핑되는 이온 물질은 붕소(B)와 같은 P형 불순물이며, 주로 B₂H₆이 사용된다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라진다.
- <80> 반도체층(132) 위에는 게이트 절연막(140)이 형성되고, 게이트 절연막(140) 위에는 게이트 전극(155)을 포함하는 게이트 배선이 형성된다. 그리고 도 2에 도시하지는 않았지만, 게이트 배선은 게이트 라인(151)(도 1에 도시), 하부 전극(158)(도 1에 도시) 및 그 밖에 배선을 더 포함한다. 이 때, 게이트 전극(155)은 반도체층(132)의 적어도 일부, 특히 채널 영역(135)과 중첩되도록 형성된다.
- <81> 또한, 도 2에서 도시한 바와 달리, 게이트 배선은 다중층으로 형성될 수 있다. 일예를 들면, 배선 저항에 의한 신호 저항을 막기 위해 비저항이 작은 알루미늄 또는 알루미늄 합금을 하부층으로 형성하고, 화학약품에 대한 내식성이 강한 몰리브덴-텅스텐 또는 몰리브덴-텅스텐 질화물을 상부층으로 형성하여 게이트 배선을 형성할 수 있다.
- <82> 근래에는 몰리브덴, 알루미늄, 티타늄, 텅스텐 등이 배선 재료로 각광받고 있다.
- <83> 게이트 절연막(140) 상에는 게이트 전극(155)을 덮는 층간 절연막(160)이 형성된다. 게이트 절연막(140)과 층간 절연막(160)은 반도체층(132)의 소스 영역(136a, 136b) 및 드레인 영역(137a, 137b)을 드러내는 콘택홀들(166, 167)을 가지고 있다. 여기서, 소스 영역(136a, 136b)을 드러내는 콘택홀을 제1 콘택홀(166)이라 하고, 드레인 영역(137a, 137b)을 드러내는 콘택홀을 제2 콘택홀(167)이라 한다.
- <84> 층간 절연막(160) 위에는 소스 전극(176) 및 드레인 전극(177)을 포함하는 데이터 배선이 형성된다. 그리고 도 2에 도시하지는 않았지만, 데이터 배선은 데이터 라인(171)(도 1에 도시), 공통 전원 라인(172)(도 1에 도시), 상부 전극(178)(도 1에 도시) 및 그 밖에 배선을 더 포함한다.
- <85> 여기서, 소스 전극(176) 및 드레인 전극(177)은 각각 콘택홀들(166, 167)을 통해 반도체층(132)의 소스 영역(136a, 136b) 및 드레인 영역(137a, 137b)과 연결된다.
- <86> 또한, 데이터 배선은, 게이트 배선과 마찬가지로, 서로 다른 이종의 재질로 만들어진 다중층으로 형성하여 각 재질이 갖는 단점을 보완할 수 있다.
- <87> 또한, 게이트 배선 및 데이터 배선의 구조는 본 실시예에 반드시 한정되는 것은 아니다. 따라서 박막 트랜지스터(10, 20) 및 기타 회로 배선의 구조에 따라 다양하게 변형될 수 있다. 즉, 게이트 라인, 데이터 라인, 공통 전원 라인 및 그 밖의 구성이 본 실시예와 다른 층에 형성될 수도 있다.
- <88> 이와 같이 형성된 반도체층(132), 게이트 전극(155), 소스 전극(176) 및 드레인 전극(177)을 포함하여 박막 트랜지스터(20)가 만들어진다.
- <89> 층간 절연막(160) 상에는 데이터 배선(176, 177)을 덮는 평탄화막(180)이 형성된다. 평탄화막(180)은 그 위에 형성될 유기 발광 소자(70)의 발광 효율을 높이기 위해 단차를 없애고 평탄화시키는 역할을 한다. 또한, 평탄화막(180)은 드레인 전극(177)의 일부를 노출시키는 콘택홀(181)을 갖는다. 이하에서 드레인 전극(177)의 일부를 노출시키는 콘택홀(181)은 제3 콘택홀이라 한다.
- <90> 이러한 평탄화막(180)은 평탄화 특성이 우수한 물질로 만들어진다. 평탄화막(180)은 평탄화막(180) 상에 형성될 유기막(720)이 고른 두께를 갖도록 형성할 수 있게 한다. 따라서 균일한 휘도를 갖도록 유기막(720)을 형성

할 수 있어 발광 효율을 높일 수 있다. 또한, 평탄화막(180) 상에 형성될 여러 도전층의 단선 및 단락과 같은 불량의 발생을 예방할 수 있다.

- <91> 평탄화막(180) 위에는 유기 발광 소자(70)의 제1 화소 전극(710)이 형성된다. 제1 화소 전극(710)은 평탄화막(180)의 제3 컨택홀(181)을 통해 드레인 전극(177)과 연결된다. 그리고 복수의 개구부를 가지고 각각의 화소를 정의하는 화소 정의막(190)이 평탄화막(180) 및 제1 화소 전극(710) 위에 형성된다. 이때, 화소 정의막(190)의 개구부는 제1 화소 전극(710)을 드러낸다.
- <92> 그리고 화소 정의막(190)의 개구부 내에서 제1 화소 전극(710) 위에는 유기막(720)이 형성되고, 화소 정의막(190) 및 유기막(720) 상에는 제2 화소 전극(730)이 형성된다. 여기서, 제2 화소 전극(730)은 유기 발광 소자(70)의 음극이 된다. 즉, 유기 발광 소자(70)는 제1 화소 전극(710), 유기막(720) 및 제2 화소 전극(730)을 포함한다.
- <93> 제1 화소 전극(710)과 제2 화소 전극(730)은 어느 하나는 투명한 도전성 물질로 형성되고 다른 하나는 반투명 또는 반사형 도전성 물질로 형성될 수 있다.
- <94> 이와 같이, 제1 화소 전극 및 제2 화소 전극을 형성하는 물질의 종류에 따라, 유기 전계 발광 표시장치는 전면 발광형, 배면 발광형 또는 양면 발광형이 될 수 있다.
- <95> 투명한 도전성 물질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(산화 아연) 또는 In_2O_3 (Indium Oxide) 등의 물질을 사용할 수 있다.
- <96> 반사형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 금(Au) 등의 물질을 사용할 수 있다.
- <97> 유기막(720)은 저분자 유기물 또는 고분자 유기물로 이루어진다. 이러한 유기막(720)은 정공 주입층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 발광층, 전자 수송층(electron-transporting layer, ETL), 그리고 전자 주입층(electron-injection layer, EIL)을 포함하는 다중막으로 형성된다. 즉, 정공 주입층은 양극인 제1 화소 전극(710) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다.
- <98> 또한, 도 2에는 도시하지 않았으나, 제2 화소 전극(730) 위로 봉지 부재가 더 형성될 수 있다.
- <99> 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치(100)의 제조 방법을 도 3 내지 도 6을 참조하여 상세히 설명한다.
- <100> 먼저, 도 3에 도시한 바와 같이, 기판 부재(110) 상에 버퍼층(120)을 형성한다. 여기서, 버퍼층(120)은 생략될 수도 있다. 그리고 버퍼층(120) 위에 다시 제1 비정질 규소층(130a) 및 제2 비정질 규소층(130b)을 차례로 적층하여 형성한다. 여기서, 제1 비정질 규소층(130a)과 제2 비정질 규소층(130b)은 식각비가 서로 다른 물질로 형성된다. 특히, 제2 비정질 규소층(130b)이 제1 비정질 규소층(130a)에 비해 상대적으로 식각비가 빠른 물질로 만들어진다.
- <101> 예를 들면, 하부 반도체층(135b, 136b, 137b)을 형성하는 제1 비정질 규소층(130a)은 실리콘 질화막(SiN_x)으로 형성할 수 있고, 상부 반도체층(135a, 136a, 137a)을 형성하는 제2 비정질 규소층(130b)은 실리콘 질화막에 비해 상대적으로 식각 속도가 빠른 실리콘 산화막(SiO_2), 실리콘 산질화막(SiON), 테트라 에틸 오르소 실리케이트(TEOS; Tetra Ethyl Ortho Silicate) 중에서 선택된 어느 한 물질로 형성할 수 있다.
- <102> 물론, 상기 제1 비정질 규소층(130a)을 실리콘 산질화막으로 형성하고, 제2 비정질 규소층(130b)을 실리콘 산화막 또는 테트라 에틸 오르소 실리케이트 중에서 선택한 어느 한 물질로 형성하는 것도 가능하다.
- <103> 다음, 도 4에 도시한 바와 같이, 제1 비정질 규소층(130a) 및 제2 비정질 규소층(130b)을 건식 식각 공정을 이용하여 패터닝한다. 여기서, 제1 비정질 규소층(130a)과 제2 비정질 규소층(130b)은 식각비가 서로 다른 물질로 이루어지므로, 패터닝된 제2 비정질 규소층(130b)은 제1 비정질 규소층(130a)에 비해 상대적으로 기판 부재(110)의 판면에 대한 측면 경사각이 완만하게 형성된다.
- <104> 그리고, 패터닝된 제1 비정질 규소층(130a)과 제2 비정질 규소층(130b)을 결정화 하여 하부 반도체층(132a) 및 상부 반도체층(132b)으로 이루어진 반도체층(132)을 형성한다.
- <105> 이때, 결정화 공정에는 로 열처리, 급속열처리(RTA), 엑시머 레이저 어닐링(ELA) 등의 다양한 방법을 사용할 수

있다.

<106> 이와 같은 제조 방법에 의하여, 반도체층(132)은 전체적으로 뾰족한 모서리를 갖지 않게 된다. 따라서 반도체층(132)의 형상에 의해 항복 전압이 증가되는 것을 억제할 수 있다.

<107> 그리고, 제1 및 제2 비정질 규소층을 패터닝한 후 결정화 공정을 실시하므로, 패터닝 시에 발생할 수 있는 플라즈마 손상을 방지할 수 있다.

<108> 다음, 도 5에 도시한 바와 같이, 게이트 절연막(140)으로 반도체층(132)을 덮은 후, 게이트 전극(155)을 포함하는 게이트 배선을 형성한다. 그리고 게이트 전극(155)을 마스크로 하여 반도체층(132)에 고농도의 p+ 이온을 주입한다.

<109> 이렇게 고농도의 p⁺ 이온이 도핑된 게이트 전극(155)의 바깥쪽에 위치한 반도체층(132)에는 각각 소스 영역(136a, 136b) 및 드레인 영역(137a, 137b)이 형성되며, 소스 영역(136a, 136a)과 드레인 영역(137a, 137)의 사이에는 이온이 도핑되지 않은 채널 영역(135a, 135b)이 형성된다. 여기서, 도핑되는 이온의 종류는 박막 트랜지스터의 종류에 따라 달라진다.

<110> 다음, 도 6에 도시한 바와 같이, 게이트 절연막(140) 위에 게이트 전극(155)을 덮는 층간 절연막(160)을 형성한 후, 사진 식각 공정을 통해 반도체층(132)의 소스 영역(136a, 136b) 및 드레인 영역(137a, 137b)이 드러나도록 층간 절연막(160) 및 게이트 절연막(140)을 제거하여 컨택홀들(166, 167)을 형성한다.

<111> 여기서, 소스 영역(136a, 136b)을 드러내는 컨택홀을 제1 컨택홀(166)이라고, 드레인 영역(137a, 137b)을 드러내는 컨택홀을 제2 컨택홀(167)이라 한다.

<112> 그리고 층간 절연막(160) 상에 소스 전극(176) 및 드레인 전극(177)을 포함하는 데이터 배선을 형성한다. 이때, 소스 전극(176) 및 드레인 전극(177)은 각각 컨택홀들(166, 167)을 통해 반도체층(132)의 소스 영역(136a, 136b) 및 드레인 영역(137a, 137b)과 연결된다.

<113> 다음, 앞서 도 2에 도시한 바와 같이, 데이터 배선(176, 177)을 덮는 평탄화막(180)을 형성한다. 이 때, 평탄화막(180)은 드레인 전극(177)의 일부를 드러내는 컨택홀(180)을 갖는다. 이하에서 드레인 전극(177)의 일부를 노출시키는 컨택홀(181)은 제3 컨택홀이라 한다.

<114> 그리고 평탄화막(180) 위에 제1 화소 전극(710)을 형성한다. 제1 화소 전극(710) 및 평탄화막(180) 위에 제1 화소 전극(710)을 적어도 일부를 드러내는 개구부를 갖는 화소 정의막(190)을 형성한다. 화소 정의막(190)의 개구부 내에서, 제1 화소 전극(710) 위에 유기막(720)을 형성한다. 유기막(720) 위에 제2 화소 전극(730)을 형성하여 유기 발광 소자(70)를 형성한다.

<115> 본 발명을 앞서 기재한 바에 따라 설명하였지만, 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

발명의 효과

<116> 이 상에서 설명한 본 발명의 실시예에 의하면, 기관 부재의 판면에 대한 반도체층의 측면 경사각이 완만하게 형성되므로, 항복 전압이 증가되는 것을 억제할 수 있다. 따라서 항복 전압 증가에 따른 불량의 발생을 줄일 수 있어 제품의 신뢰성을 향상시킬 수 있다.

<117> 그리고, 제1 및 제2 비정질 규소층을 패터닝한 후 결정화 공정을 실시하므로, 패터닝 시에 발생할 수 있는 플라즈마 손상을 방지할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 배치도이다.

〈2〉 도 2는 도 1의 II-II선을 따라 도시한 단면도이다.

〈3〉 도 3 내지 도 6은 도 2의 유기 전계 발광 표시장치의 제조 방법을 각 단계별로 순차적으로 도시한 단면도이다.

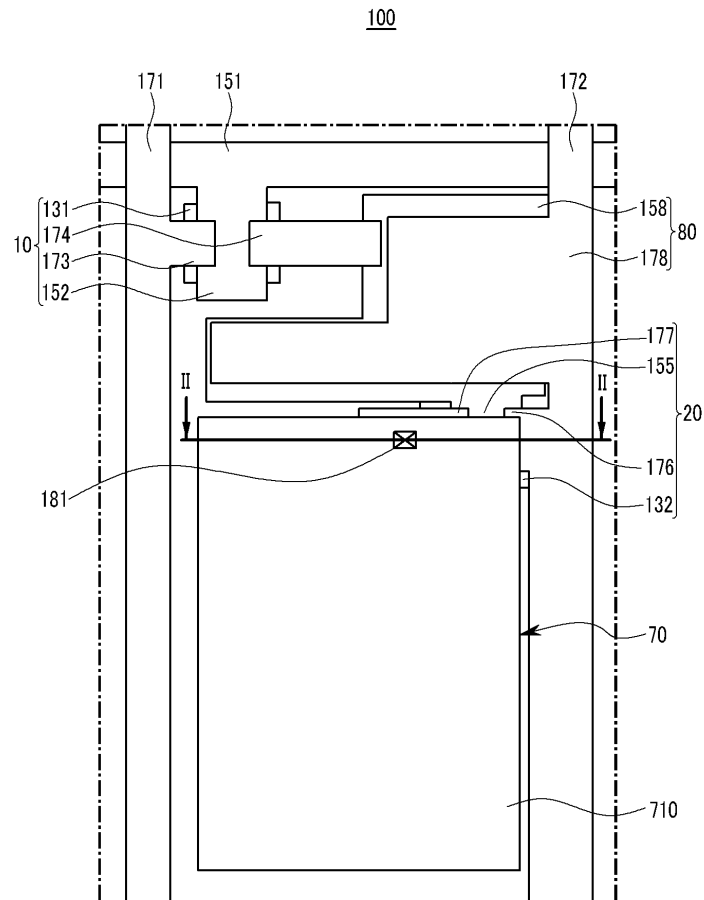
<4> * 도면의 주요 부분에 대한 부호의 설명

<5> 10 : 제1 박막 트랜지스터 20: 제2 박막 트랜지스터

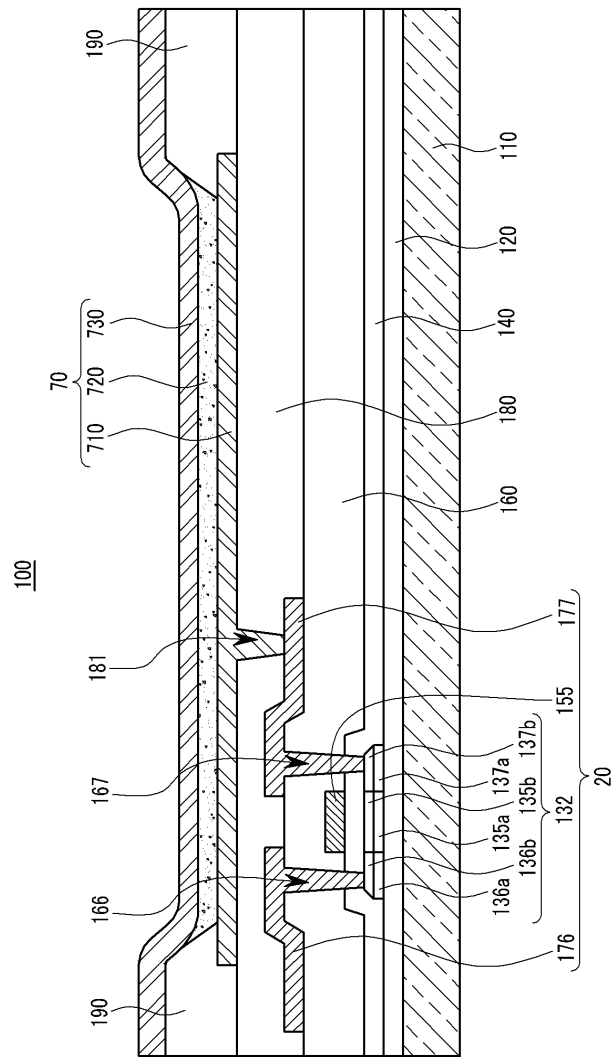
- | | | |
|------|-------------------|-------------------|
| <6> | 70 : 발광 소자 | 80 : 축전 소자 |
| <7> | 110 : 기관 부재 | 120 : 버퍼층 |
| <8> | 131 : 제1 반도체층 | 132 : 제2 반도체층 |
| <9> | 132a : 제2 하부 반도체층 | 132b : 제2 상부 반도체층 |
| <10> | 140 : 게이트 절연막 | 151 : 게이트 라인 |
| <11> | 152 : 제1 게이트 전극 | 155 : 제2 게이트 전극 |
| <12> | 158 : 하부 전극 | 160 : 층간 절연막 |
| <13> | 171 : 데이터 라인 | 172 : 공통 전원 라인 |
| <14> | 173 : 제1 소스 전극 | 174 : 제2 드레인 전극 |
| <15> | 176 : 제2 소스 전극 | 177 : 제2 드레인 전극 |
| <16> | 180 : 평탄화막 | 190 : 화소 정의막 |
| <17> | 710 : 제1 화소 전극 | 720 : 유기막 |
| <18> | 730 : 제2 화소 전극 | |

도면

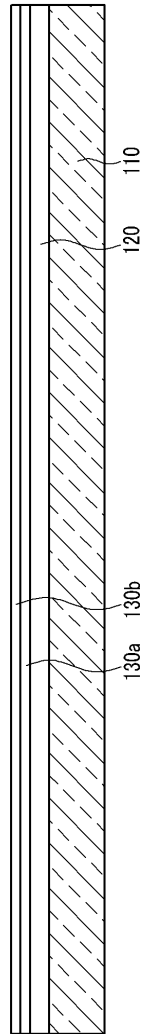
도면1



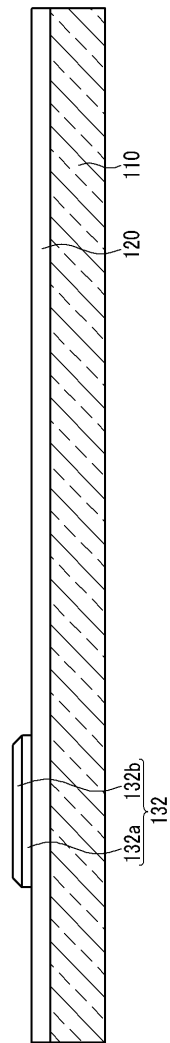
도면2



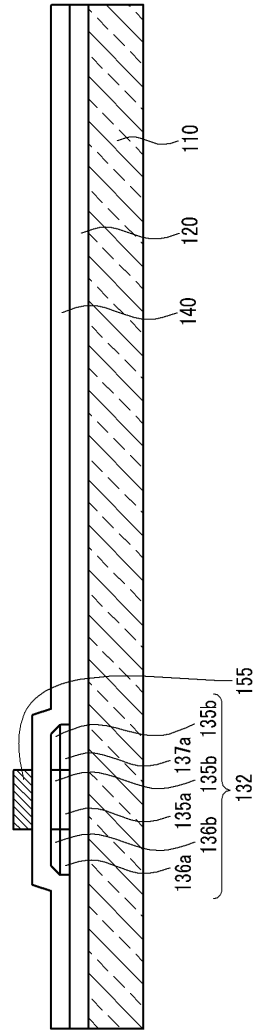
도면3



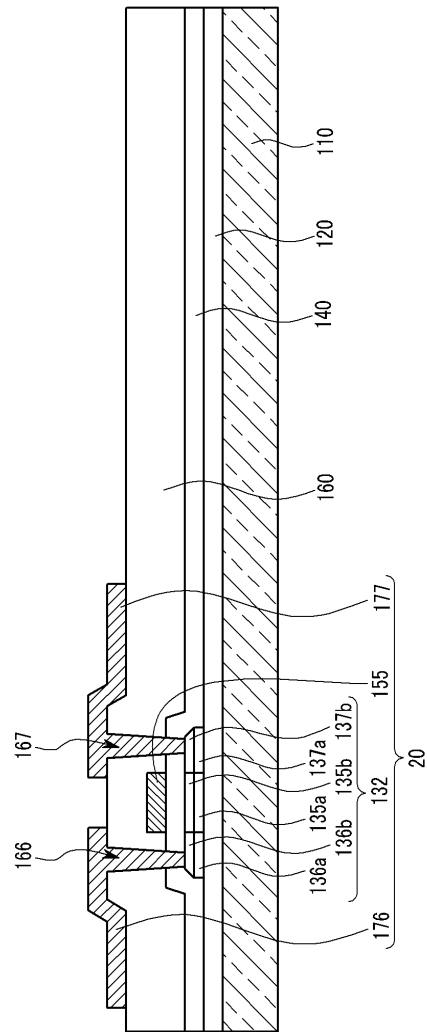
도면4



도면5



도면6



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080056897A	公开(公告)日	2008-06-24
申请号	KR1020060130040	申请日	2006-12-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	LEE SANG WOONG		
发明人	LEE, SANG WOONG		
IPC分类号	H05B33/02		
CPC分类号	H01L27/1222 H01L27/1229 H01L27/1259 H01L27/3244 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明涉及有机电致发光显示器及其制造方法，它包括根据本发明的有机电致发光显示装置是基板构件，以及形成在基板构件和上部半导体层上的下半导电层。它形成在下半导电层上并且比下半导电层柔和，形成围绕基板构件的板侧的侧面的倾斜角。有机电致发光显示装置，半导体层和结晶。

