



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월12일

(11) 등록번호 10-1492626

(24) 등록일자 2015년02월05일

(51) 국제특허분류(Int. Cl.)

H05B 33/02 (2006.01) H01L 51/50 (2006.01)
H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0004557

(22) 출원일자 2008년01월15일

심사청구일자 2013년01월04일

(65) 공개번호 10-2009-0078632

(43) 공개일자 2009년07월20일

(56) 선행기술조사문헌

KR1020070107677 A*

KR1020010039643 A*

JP2005259780 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정연식

경상북도 구미시 3공단2로 235 (진평동)

(74) 대리인

특허법인로얄

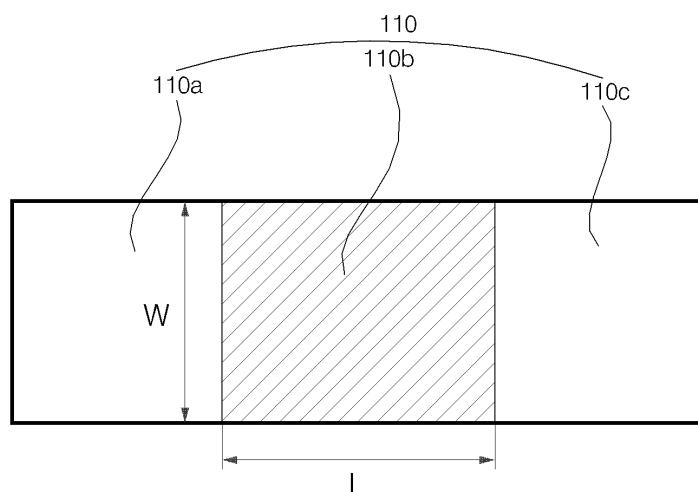
전체 청구항 수 : 총 5 항

심사관 : 이태호

(54) 발명의 명칭 유기전계발광표시장치

(57) 요 약

본 발명은 유기전계발광표시장치에 관한 것으로, 게이트 라인에 스캔 펄스가 공급되면 텐-온되어 데이터 라인에 공급된 데이터신호를 스위칭하는 제1 박막트랜지스터, 상기 제1 박막트랜지스터를 통해 공급되는 상기 데이터 신호에 응답하여 유기발광다이오드로 공급되는 전류량을 제어하는 제2 박막트랜지스터를 포함한다. 제2 박막트랜지스터의 반도체층은 소스 전극과 접촉되는 소스 영역, 드레인 전극과 접촉되는 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 채널 영역의 폭(W)과 길이(L)의 비율은 1:4 내지 1:2 이다.

대 표 도 - 도4

특허청구의 범위

청구항 1

게이트 라인에 스캔 팰스가 공급되면 텐-온되어 데이터 라인에 공급된 데이터신호를 스위칭하는 제1 박막트랜지스터, 상기 제1 박막트랜지스터를 통해 공급되는 상기 데이터 신호에 응답하여 유기발광다이오드로 공급되는 전류량을 제어하는 제2 박막트랜지스터를 포함하는 유기전계발광표시장치에 있어서,

제2 박막트랜지스터는 게이트 전극, 소스 전극, 드레인 전극 및 반도체층을 포함하고,

상기 반도체층은 상기 소스 전극과 접촉되는 소스 영역, 상기 드레인 전극과 접촉되는 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함하고,

상기 채널 영역의 폭(W)과 길이(L)의 비율은 1:4 내지 1:2 인 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 반도체층은 저온폴리실리콘(LTPS)인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 채널 영역의 폭(W)은 5 내지 10 μm 인 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 채널 영역의 길이(L)는 20 μm 인 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 박막트랜지스터는 아날로그 구동되는 것을 특징으로 하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치에 관한 것으로, 더욱 상세하게는 반도체층 내의 채널 영역의 계조 표현을 향상 시킬 수 있는 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 본 발명은 유기전계발광표시장치에 관한 것이다.

[0003] 유기전계발광표시장치에 사용되는 기판상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다.

[0004] 유기전계발광표시장치는 제1 전극과 제2 전극으로부터 각각 전자와 정공을 발광부 내로 주입시켜 주입된 정공과 전자가 결합하여 생성된 엑시톤(exciton)이 여기상태로부터 기저상태로 떨어질 때 발광하는 장치이다.

[0005] 유기전계발광표시장치는 넓은 시야각, 고속 응답성, 고 콘트라스트 등의 뛰어난 특징을 가지고 있으므로 그래픽 디스플레이의 픽셀, 텔레비전 영상 디스플레이나 표면광원(Surface Light Source)의 픽셀로서 사용될 수 있으며, 얇고 가벼우며 색감이 좋기 때문에 차세대 평면 디스플레이에 적합한 장치이다. 그리고, 플라스틱과 같이 훨 수 있는(Flexible) 투명 기판을 이용하여 형성할 수 있는 장점이 있다.

[0006] 이러한 용도를 갖는 유기전계발광표시장치의 구조를 살펴보면, 투명 기판 위에 띠(stripe) 형태로 형성되는 ITO(Indium Tin Oxide)와 같은 제1 전극과, 제1 전극 위에 형성되는 정공 주입층(HIL: Hole Injecting Layer) 또는 정공 수송층(HTL: Hole Transporting Layer)과, 정공 주입층 또는 정공 수송층 위에 형성되는 발광층과, 발광층 위에 형성되는 전자 주입층(EIL: Electron Injecting Layer) 또는 전자 수송층(ETL: Electron Transporting Layer)과, 전자 주입층 또는 전자 수송층 위에 형성되는 제2 전극으로 이루어진다.

[0007] 또한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식과 배면발광(Bottom-Emission)방식 등이 있고, 구동 방식에 따라 수동 매트릭스형(Passive Matrix)과 능동 매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0008] 유기전계발광표시장치 중 능동 매트릭스형을 이용한 유기전계발광표시장치는 표시부에 매트릭스 형태로 배치된 복수의 서브 픽셀들에 신호가 공급되면, 서브 픽셀 내부에 위치하는 박막트랜지스터, 커페시터 및 유기 발광다이오드가 구동하게 되어 영상을 표시할 수 있게 된다.

[0009] 그러나, 유기전계발광표시장치의 반도체층 내의 채널 영역의 그레인 영역의 크기의 균일 정도에 따라 장치의 신뢰성이 결정되고, 통상 그레인 영역의 크기를 일정하게 하기가 어렵다, 이에 따라, 계조 표현을 정확히 할 수 있는 방안이 필요하다.

발명의 내용

해결 하고자 하는 과제

[0010] 따라서 본 발명의 목적은, 장치의 계조표현을 향상시키고, 궁극적으로 장치의 신뢰성을 향상시킬 수 있는 유기전계발광표시장치의 제공에 있다.

과제 해결수단

[0011] 본 발명의 유기전계발광표시장치는 게이트 라인에 스캔 펄스가 공급되면 텐-온되어 데이터 라인에 공급된 데이터신호를 스위칭하는 제1 박막트랜지스터, 상기 제1 박막트랜지스터를 통해 공급되는 상기 데이터 신호에 응답하여 유기발광다이오드로 공급되는 전류량을 제어하는 제2 박막트랜지스터를 포함한다.

제2 박막트랜지스터의 반도체층은 소스 전극과 접촉되는 소스 영역, 드레인 전극과 접촉되는 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 채널 영역의 폭(W)과 길이(L)의 비율은 1:4 내지 1:2 이다.

효과

[0012] 본 발명에 따르면, 반도체층 내의 채널 영역의 계조 표현을 향상시켜, 장치의 신뢰성과 안정감을 향상시킬 수 있는 유기전계발광표시장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

[0014] 도 1은 본 발명의 일실시예에 따른 유기전계발광표시장치를 나타낸 도면이다. 도 1을 참조하면, 본 실시예에 따른 유기전계발광표시장치(10)는 기판(15), 유기전계발광소자(20), 및 봉지 캡(25)을 포함한다.

[0015] 기판(15)은 유리 기판을 사용할 수 있으며, 기판(15)의 외곽부에 형성되는 실란트를 통해 봉지 캡(25)과 부착된다. 봉지 캡(25)과 부착되지 않은 영역에는 다수의 유기전계발광소자(20)가 위치하여 발광 영역을 구성한다. 본 실시예에서는 $m \times n$ 개의 유기전계발광소자(20)가 발광 영역에 포함되는 것을 가정한다.

[0016] 유기전계발광표시장치(10)는 능동 매트릭스(Active Matrix) 방식 및 수동 매트릭스(Passive Matrix) 방식 중 어느 하나의 방식에 따라 동작할 수 있다. 본 발명의 일실시예에 따른 능동 매트릭스 방식에 따라 동작하는 경우, 각각의 유기전계발광소자(20)는 각각의 픽셀이 포함하는 박막트랜지스터(Thin-Film Transistor, TFT)에 의해 픽셀 별로 구동된다.

[0017] 봉지 캡(25)은 기판(15)의 외곽부에 형성되는 실란트를 통해 기판(15)과 부착되어 발광 영역을 밀봉함으로써 외부로부터 유입될 수 있는 수분 및 산소로부터 유기전계발광소자(20)를 보호한다. 외부로부터 유입되는 수분 및 산소에 의해 유기전계발광소자(20)가 손상되어 수명이 단축될 수 있으므로, 봉지 캡(25)은 수증기 투과율이 낮

을수록 바람직하다.

[0018] 또한, 봉지 캡(25)은 외부 충격으로부터 발광 영역에 형성된 유기전계발광소자(20)를 보호한다. 봉지 캡(25)의 응력이 강하면 균열(crack)이 발생하여 신뢰성이 저하되고 유기전계발광소자(20)가 손상될 수 있으므로, 봉지 캡(25)은 응력이 낮거나 응력 완화성이 있어야 하고, 공정상 피복성이 우수해야 한다.

[0019] 도 2는 도 1의 A-A'의 유기전계발광소자의 일부분의 회로를 도시한 회로도이다.

[0020] 능동 매트릭스 유기전계발광표시장치는 도 2에 도시된 바와 같이 게이트 라인(GL)과 데이터 라인(DL)이 교차에 의해 정의된 영역에 각각 배열되는 유기전계발광소자(20)를 구비한다. 유기전계발광소자(20)들 각각은 게이트 라인(GL)에 게이트 신호가 공급될 때 데이터 라인(DL)으로부터의 데이터 신호를 공급받아 그 데이터 신호에 상응하는 빛을 발생하게 된다.

[0021] 유기전계발광소자들(20) 각각은, 기저 전압원(GND)에 음극(제2 전극 또는 캐소드 전극)이 접속된 유기발광다이오드(60)와, 게이트 라인(GL) 및 데이터 라인(DL)과 공급 전압원(VDD)에 접속되고 유기발광다이오드(60)의 양극(제1 전극 또는 애노드 전극)에 접속되어 그 유기발광다이오드(60)를 구동하기 위한 셀 구동부(22)를 구비한다. 유기발광다이오드(60)의 음극과 양극 사이에는 유기물층이 형성된다. 도면에서는 기저 전압원을 그라운드 전압으로 표시하고 있으나, 이에 한정되지 않는다.

[0022] 게이트 라인(GL), 데이터 라인(DL) 및 공급 전압원(VDD)은 도전 물질로 2층 내지 3층의 적층구조로 형성될 수 있다. 게이트 라인(GL), 데이터 라인(DL) 및 전원 공급 라인(VDD)의 재료로는 Al(Nd)/Mo, Al(Nd)/Ti, Mo/Al(Nd)/Mo, Ti/Al(Nd)/Ti 등으로 형성될 수 있다.

[0023] 셀구동부(22)는 스위칭용 박막트랜지스터(50a), 구동용 박막트랜지스터(50b) 및 커패시터(55)를 구비한다.

[0024] 스위칭용 박막트랜지스터(50a)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터신호를 제1 노드(N1)에 공급한다. 제1 노드(N1)에 공급된 데이터 신호는 커패시터(55)에 충전됨과 아울러 구동용 박막트랜지스터(50b)의 게이트 단자로 공급된다.

[0025] 구동용 박막트랜지스터(50b)는 게이트 단자로 공급되는 데이터 신호에 응답하여 공급 전압원(VDD)으로부터 유기발광다이오드(60)로 공급되는 전류량(I)을 제어함으로써 유기발광다이오드(60)의 발광량을 조절하게 된다.

[0026] 그리고, 스위칭용 박막트랜지스터(50a)가 턴-오프되더라도, 커패시터(60)에 저장된 데이터 신호에 의해, 구동용 박막트랜지스터(50b)는 다음 프레임의 데이터 신호가 공급될 때까지 공급 전압원(VDD)으로부터의 전류(I)를 유기발광다이오드(60)에 공급하여, 유기발광다이오드(60)이 발광을 유지하게 한다.

[0027] 도 3은 본 발명의 일실시예에 따른 유기전계발광표시장치의 단면을 도시한 단면도이다.

[0028] 도 3을 참조하면, 구동용 박막트랜지스터는 기판(100) 상에 베퍼층(105)이 형성되고, 베퍼층(105) 상에 반도체층(110)이 형성된다. 여기서, 반도체층(110)은 저온 폴리 실리콘(LTPS)일 수 있다. 반도체층(110)은 불순물이 도핑된 소스 영역(110a), 드레인 영역(110c) 및 채널 영역(110b)을 가진다.

[0029] 반도체층(110)과 동일층에 커패시터 하부전극(128)이 형성되며, 반도체층(110) 및 커패시터 하부전극(128) 상에 게이트 절연막인 제1 절연막(115)이 형성되고, 제1 절연막(115) 상에 반도체층(110)의 일정 영역과 대응되는 게이트 전극(120) 및 커패시터 상부전극(123)이 형성된다. 한편, 도면과 같이, 반도체층(110)과 커패시터 하부전극(128)이 일체형으로 형성될 수 있다.

[0030] 커패시터(도 2의 55)는 불순물이 도핑된 반도체층(110)의 연장부인 커패시터 하부전극(128)과 게이트 전극(120)과, 동일층에 배치되는 커패시터 상부전극(123)과, 그 사이에 형성된 제1 절연막(115)으로 구성되어, 레벨-쉬프트(Level-shift) 전압을 작게하고 박막트랜지스터의 턴오프 구간동안에 충전된 전하를 유지시켜준다.

[0031] 이때, 커패시터 상부전극(123)은 액티브 영역 외부에까지 연장형성되어 액티브 영역 외부에서 전압을 인가받으며, 커패시터 하부전극(128)은 반도체층(110)의 연장부에 스토리지 도핑하여 형성된다.

[0032] 게이트 전극(120)을 포함하는 기판(100) 상에 충간 절연막인 제2 절연막(125)이 형성되고, 제2 절연막(125) 상에 형성되며 제1 절연막(115) 및 제2 절연막(125)을 관통하는 콘택홀들(130a, 130b)을 통해 반도체층(110)의 일정 영역과 전기적으로 연결된 소스 전극(135a) 및 드레인 전극(135b)이 형성된다. 소스 전극(135a) 및 드레인 전극(135b)은 반도체층(110)의 소스 영역(110a) 및 드레인 영역(110c)에 각각 접촉된다.

[0033] 따라서, 반도체층(110), 제1 절연막(115), 게이트 전극(120), 제2 절연막(125), 소스 전극(135a) 및 드레인 전

극(135b)을 포함하는 박막트랜지스터를 구성한다.

[0034] 그리고, 소스 전극(135a) 또는 드레인 전극(135b)과 전기적으로 연결된 제1 전극(140)이 위치한다. 박막트랜지스터의 소스 전극(135a) 및 드레인 전극(135b)이 먼저 형성되고, 그 다음 소스 전극(135a) 또는 드레인 전극(135b) 상에 제1 전극(140)이 형성된다.

[0035] 제1 전극(140) 상에는 화소 정의막인 제3 절연막(145)이 위치하며, 제3 절연막(145)은 제1 전극(140)의 일부 영역을 노출시키는 개구부(150)를 포함한다.

[0036] 제3 절연막(145) 및 개구부(150) 상에 유기발광다이오드(60)의 유기물층(155)이 위치하고, 유기물층(155) 상에 제2 전극(160)이 위치하여 제1 전극(140), 유기물층(155) 및 제2 전극(160)을 포함하는 유기전계발광소자가 구성된다.

[0037] 유기물층(155)은 적어도 발광층(EML)을 포함하며, 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층 중 적어도 하나를 포함할 수도 있다. 한편, 그 밖에, 정공 수송 억제를 위한 정공 저지층 등도 포함할 수 있다.

[0038] 발광층은 적색, 녹색 및 청색 발광층으로 나뉜다. 발광층의 재료로는 형광물질 또는 인광물질을 모두 사용할 수 있으며, 이하에서는 인광물질을 위주로 하여 설명하기로 한다.

[0039] 적색 발광층은 CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl)를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetone iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetone iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도편트를 포함하는 인광물질로 이루어질 수 있다. 또한 이리듐계 전이금속화합물과 백금 포르파린류 등이 있다. 또한 이와는 달리, PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수도 있다.

[0040] 청색 발광층은 CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도편트 물질을 포함하는 인광물질로 이루어질 수 있다.

[0041] 또한, (3,4-CN)3Ir, (3,4-CN)2Ir(picolinic acid), (3,4-CN)2Ir(N3), (3,4-CN)2Ir(N4), (2,4-CN)3Ir 등의 이리듐계 전이금속화합물이 있다. 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있다.

[0042] 녹색 발광층은 CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도편트 물질을 포함하는 인광물질로 이루어질 수 있다. 또한, 트리스(2-페니피리딘)Ir(III) 등이 있을 수 있다. 또한, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수도 있다.

[0043] 도 4는 도 3의 반도체층을 도시한 평면도이다.

[0044] 도 4를 참조하면 반도체층(110)은 불순물이 도핑된 소스 영역(110a), 채널 영역(110b) 및 드레인 영역(110c)을 가진다.

[0045] 박막트랜지스터에 흐르는 데이터 전류(Idata)사이에는 하기의 수학식 1의 관계가 성립한다.

수학식 1

$$\begin{aligned} I_{data} &= \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \\ &= \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{data} + V_{th})^2 \end{aligned}$$

[0046] 여기서, μ 는 박막트랜지스터의 전자 이동도를, C_{ox} 는 박막트랜지스터의 게이트 전극(120)과 채널 영역(110b)에 의해 형성된 커페시터의 단위 면적당 커페시턴스를, W 는 박막트랜지스터의 채널 영역(110b)의 폭을, L 은 박막트랜지스터의 채널 영역(110b) 길이를, V_{th} 는 박막트랜지스터의 문턱전압을, V_{data} 는 데이터선으로부터 공급되는 데이터전류(Idata)로 인해 저장커패시터(Cst)에 저장되는 전압을 나타낸다. 여기서, μ 와 C_{ox} 는 제조 공정에 따라 달라진다.

[0048] 반도체층(110) 채널 영역(110b)의 폭(W)과 길이(L)의 비율은 1:4 내지 1:2 인 것이 바람직하다. 특히, 반도체층

(110) 채널 영역(110b)의 폭(W)은 5 내지 10 μm 일 수 있으며, 길이(L)는 20 μm 일 수 있다. 즉, 본 발명의 실시예에 따르면, 채널 영역(110b)의 폭(W)과 길이(L)의 비율을 조절하여, 채널 영역(110b) 내의 그레인(Grain)의 크기를 크게 하여 박막트랜지스터의 이동도를 증가시키고, 그레인 경계의 위치를 조절하여, 소자의 균일성을 향상시켜 제조 표현을 향상시킬 수 있다.

[0049] 채널 영역(110b)의 폭(W)과 길이(L)의 비율에 관한 상세한 설명은 도 5에서 후술하기로 한다.

[0050] 도 5는 본 발명의 일실시예에 따른 채널 영역의 폭(W)과 길이(L)의 비율의 관계를 도시한 도이다.

[0051] 도 5의 가로축은 채널 영역(110b)의 폭(W)과 길이(L)의 비율을 나타내며, 도 5의 좌측 세로축은 박막트랜지스터의 문턱전압(Vth)을 나타내며, 도 5의 우측 세로축은 문턱전압의 편차를 나타낸다.

[0052] 도 5를 참조하여 설명하면, 실험 결과로 판단할 때 채널 영역(110b)의 폭(W)과 길이(L)의 비율이 1:4 보다 작으면, 폭 효과(Width effect)에 의한 Vth의 측정시 특성의 발생 문턱전압(Vth)이 현저히 낮게 나타난다.

[0053] 한편, 채널 영역(110b)의 폭(W)과 길이(L)의 비율이 1:2 보다 크면, 문턱전압(Vth)의 편차가 커진다. 즉, 엑시머 레이저 어닐링(ELA:Excimer Laser Annealing)에 의하여 반도체층(110)을 저온 폴리 실리콘(LTPS)으로 형성하는 경우에, 줄무늬 현상에 의해 채널의 균일도 편차가 커지게 된다. 이에 의해, 결국 휘도 불균일이 현저히 증가한다.

[0054] 따라서, 채널 영역(110b)의 폭(W)과 길이(L)의 비율은, 도 5에 도시된 A영역과 같이 0.25 내지 0.5의 비율로 형성됨이 바람직하다. 즉, 1:4 내지 1:2의 비율로 형성되는 것이 바람직하다.

[0055] 도 5에서의 발생 문턱전압(Vth) 및 문턱전압(Vth)의 편차는, 채널 영역의 길이(L)가 20 μm 를 기준으로, 채널 영역의 폭(W)을 다양하게 설정함으로써 측정되었다. 따라서, 바람직한 채널 영역의 폭(W)은 5 내지 10 μm 가 된다.

[0056] 한편, 엑시머 레이저 어닐링(ELA:Excimer Laser Annealing)에 의한 줄무늬 현상으로 인한 문턱전압(Vth)의 편차는 구동용 박막트랜지스터(50b)를 디지털 구동시에는 그 영향이 적으므로, 본 발명의 실시예에 따른, 채널 영역(110b)의 폭(W)과 길이(L)의 비율은, 구동용 박막트랜지스터(50b)가 아날로그 구동되는 경우에 적용되는 것이 바람직하다.

[0057] 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 전술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

도면의 간단한 설명

[0058] 도 1은 본 발명의 일실시예에 따른 유기전계발광표시장치를 나타낸 도,

[0059] 도 2는 도 1의 A-A'의 유기전계발광소자의 일부분의 회로를 도시한 회로도,

[0060] 도 3은 본 발명의 일실시예에 따른 유기전계발광표시장치의 단면을 도시한 단면도,

[0061] 도 4는 도 3의 반도체층을 도시한 평면도, 그리고

[0062] 도 5는 본 발명의 일실시예에 따른 채널 영역의 폭(W)과 길이(L)의 비율의 관계를 도시한 도이다.

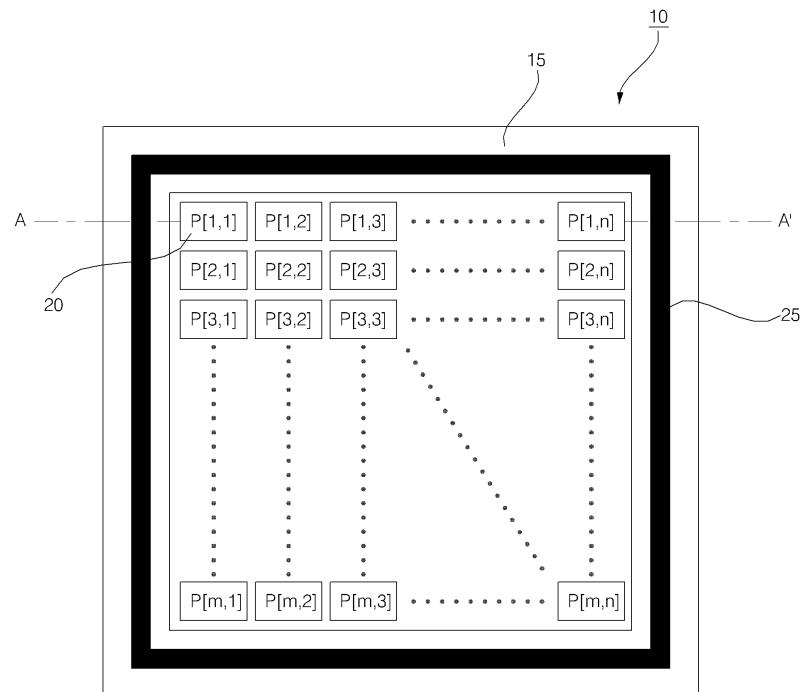
[0063] <도면의 주요 부분에 관한 부호의 설명>

[0064] 110: 반도체층 110a: 소스 영역

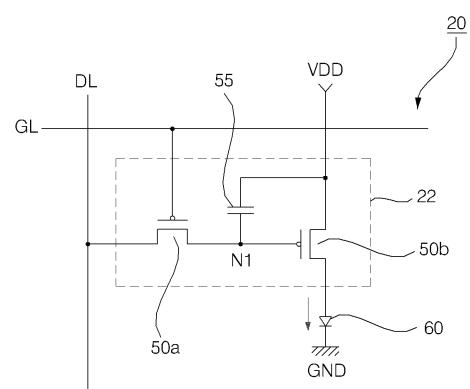
[0065] 110b: 채널 영역 110c: 드레인 영역

도면

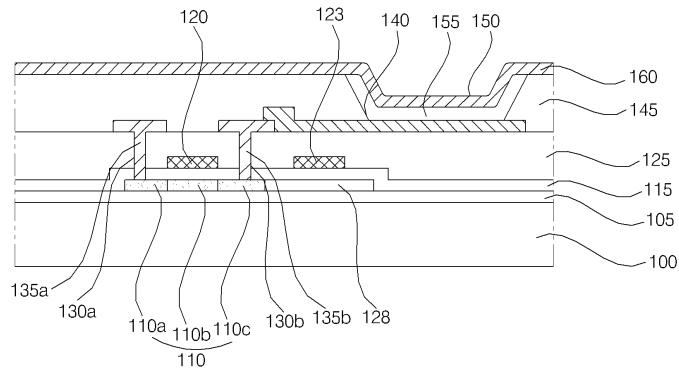
도면1



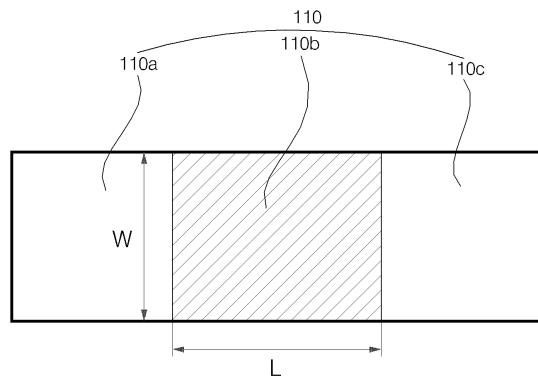
도면2



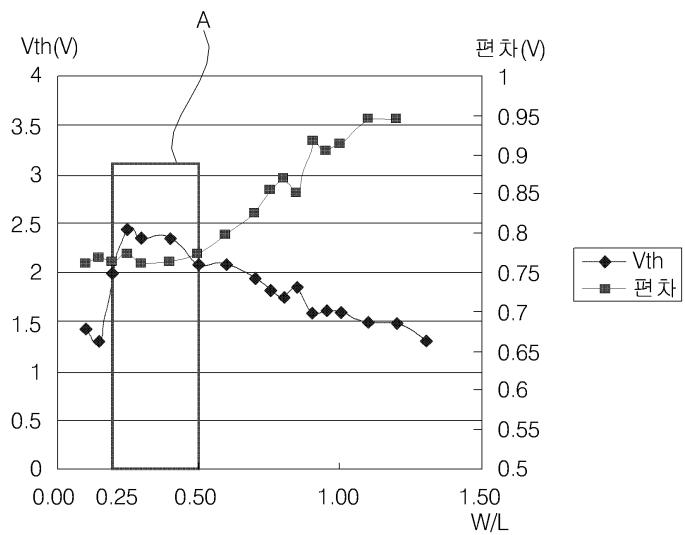
도면3



도면4



도면5



专利名称(译)	标题 : 有机电致发光显示装置		
公开(公告)号	KR101492626B1	公开(公告)日	2015-02-12
申请号	KR1020080004557	申请日	2008-01-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG YUN SIK		
发明人	JEONG, YUN SIK		
IPC分类号	H05B33/02 H01L51/50 H01L29/786		
CPC分类号	H01L27/3262 H01L29/78696		
其他公开文献	KR1020090078632A		
外部链接	Espacenet		

摘要(译)

提供有机发光显示器以通过改善其灰度表达来最终增强可靠性和稳定性。有机发光显示器包括基板，薄膜晶体管，第一电极，第二电极和有机材料层。薄膜晶体管形成在基板上，并包括半导体层(110)，栅极绝缘层，栅电极，层间电介质，源电极和漏电极。第一和第二电极形成在基板上并连接到薄膜晶体管的源电极或漏电极。有机材料层形成在第一和第二电极之间。半导体层包括源区(110a)，沟道区(110b)和漏区。沟道区的宽度(W)和长度(L)的比率为1:4至1:2。

