



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2007년12월26일

(11) 등록번호 10-0788589

(24) 등록일자 2007년12월17일

(51) Int. Cl.

H05B 33/26 (2006.01)

(21) 출원번호 10-2007-0006306

(22) 출원일자 2007년01월19일

심사청구일자 2007년01월19일

(56) 선행기술조사문헌

JP10142626 A

KR1020020056695 A

KR1020050011900 A

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

정선이

경기 용인시 기흥구 공세동 428-5

최웅식

경기 용인시 기흥구 공세동 428-5

(74) 대리인

서경민, 서만규

전체 청구항 수 : 총 27 항

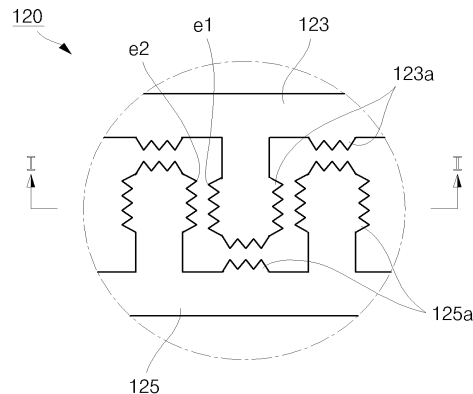
심사관 : 추장희

(54) 유기 전계 발광 표시 장치

(57) 요약

본 발명은 유기 전계 발광 표시 장치에 관한 것으로서, 특히 기관의 비화소 영역에 형성되며, 제1전극층, 제1전극층에 형성되는 제1절연층, 제1절연층에 형성되는 제2전극층을 포함하는 정전기 방전 회로에 있어서, 제1전극층 및 제2전극층에 수평 방향으로 형성되는 돌출 전극을 포함하여, 정전기 방전으로부터 유기 전계 발광 표시 장치에 포함되는 화소 및 구동부가 정전기 방전에 의하여 파괴되는 것을 방지하면서 돌출 전극을 통해 정전기 방전을 비교적 쉽게 유도하기 위한 유기 전계 발광 표시 장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

화소 영역 및 비화소 영역을 포함하는 기관;

상기 비화소 영역에 형성되며,

상기 기관에 형성되는 제1전극층, 상기 제1전극층에 형성되는 제1절연층, 및 상기 제1절연층에 형성되는 제2전극층을 포함하는 정전기 방전 회로;를 포함하며,

상기 제1전극층 및 상기 제2전극층 중에서 선택되는 어느 하나는,

수평 방향으로 연장되도록 형성되는 돌출 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 돌출 전극은 튼니형, 삼각형, 사각형, 오각형 및 사다리꼴 중에 선택되는 어느 하나의 모양으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 돌출 전극은,

상기 제1전극층에 포함되는 제1돌출 전극을 포함하며,

상기 제1돌출 전극은 수평 방향으로 상기 제2전극층을 향하도록 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 돌출 전극은,

상기 제2전극층에 포함되는 제2돌출 전극을 포함하며;

상기 제2돌출 전극은 수평 방향으로 상기 제1전극층을 향하도록 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 정전기 방전 회로는,

상기 제1돌출 전극 및 상기 제2돌출 전극을 모두 포함하도록 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 정전기 방전 회로는,

상기 제1돌출 전극 및 상기 제2돌출 전극이,

서로 대향하도록 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 정전기 방전 회로는,

상기 기관 및 상기 제1전극층 사이에 형성되는 반도체층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8

제 7 항에 있어서,

상기 정전기 방전 회로는,

상기 반도체층 및 상기 제1전극층 사이에 형성되는 제2절연층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9

제 7 항에 있어서,

상기 정전기 방전 회로는,

상기 기관 및 상기 반도체층 사이에 형성되는 버퍼층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10

제 1 항에 있어서,

상기 정전기 방전 회로는,

상기 제2전극층에 형성되는 보호층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11

제 10 항에 있어서,

상기 정전기 방전 회로는,

상기 보호층에 형성되어 상기 제2전극층과 비아홀을 통해서 전기적으로 연결되는 제3전극층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12

제 1 항에 있어서,

상기 비화소 영역은,

상기 화소 영역의 화소를 구동하기 위한 적어도 하나의 구동부 및,

상기 화소 및 상기 구동부를 외부 모듈과 전기적으로 연결하기 위한 패드부를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 패드부는,

상기 기관 내주의 적어도 일변에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 14

제 13 항에 있어서,

상기 정전기 방전 회로는,

상기 기판 내주에서 상기 패드부가 형성된 영역을 제외한 나머지 중에서 선택되는 적어도 일변에 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 15

제 14 항에 있어서,

상기 정전기 방전 회로는,

상기 기판 내주의 각 변에 독립적으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 16

제 14 항에 있어서,

상기 정전기 방전 회로는,

상기 기판 내주를 감싸도록 일체형으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 17

제 12 항에 있어서,

상기 제1전극층 및 상기 제2전극층 중에 선택되는 어느 하나는,

상기 패드부에 형성되는 그라운드 패드와 전기적으로 연결되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 18

제 1 항에 있어서,

상기 제1전극층 및 상기 제2전극층은 각각,

알루미늄, 알루미늄-네오뮴, 크롬, 몰리브덴, 몰리브덴-텅스텐 및 티타늄 중에 선택되는 어느 하나 또는 이들의 조합으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 19

제 1 항에 있어서,

상기 제1절연층은,

실리콘 산화막, 실리콘 질화막 및 무기물 중에 선택되는 어느 하나의 재질로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 20

화소 영역 및 비화소 영역을 포함하는 기판;

상기 기판의 상기 비화소 영역에 형성되며,

상기 기판에 형성되는 반도체층;

상기 반도체층에 형성되는 게이트 절연막;

상기 게이트 절연막에 형성되는 게이트 전극;

상기 게이트 전극을 덮도록 형성되는 층간 절연막; 및,

상기 층간 절연막에 형성되는 소스/드레인 전극을 포함하는 정전기 방전 회로;를 포함하며,

상기 게이트 전극은,

상기 소스/드레인 전극을 향해서 수평 방향으로 연장되도록 형성되는 제1돌출 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 21

제 20 항에 있어서,

상기 소스/드레인 전극은,

상기 게이트 전극을 향해서 수평 방향으로 형성되는 제2돌출 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 22

제 21 항에 있어서,

상기 제1돌출 전극 및 제2돌출 전극은 각각,

틀니형, 삼각형, 사각형, 오각형 및 사다리꼴 중에 선택되는 어느 하나의 모양으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 23

제 22 항에 있어서,

상기 정전기 방전 회로는,

상기 제1돌출 전극과 상기 제2돌출 전극이 서로 대향하도록 형성되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 24

제 20 항에 있어서,

상기 게이트 전극 및 상기 소스/드레인 전극 중에 선택되는 어느 하나는,

상기 패드부에 형성되는 그라운드 패드와 전기적으로 연결되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 25

제 20 항에 있어서,

상기 정전기 방전 회로는,

상기 기판과 상기 반도체층 사이에 형성되는 버퍼층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 26

제 20 항에 있어서,

상기 정전기 방전 회로는,

상기 소스/드레인 전극에 형성되는 보호층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 27

제 26 항에 있어서,

상기 정전기 방전 회로는,

상기 보호층에 형성되어, 상기 소스/드레인 전극과 전기적으로 연결되는 전극층을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 유기 전계 발광 표시 장치에 관한 것으로서, 보다 상세하게는 정전기 방전으로부터 유기 전계 발광 표시 장치에 포함되는 화소 및 구동부가 정전기 방전에 의하여 파괴되는 것을 방지하면서, 정전기 방전을 비교적 쉽게 유도하기 위한 유기 전계 발광 표시 장치를 제공한다.
- <21> 유기 전계 발광 표시 장치(Organic Light Emitting Display)는 캐소드(cathode)에서 공급되는 전자(electron)와 애노드(anode)에서 공급되는 정공(hole)의 재결합에 의하여 빛을 발생하는 유기 전계 발광 소자(Organic Light Emitting Diode:OLED)를 이용한 것으로 평판 표시 장치(Flat Panel Display)의 일종이다. 이러한 유기 전계 발광 표시 장치는 두께가 얇고, 시야각이 넓으며, 응답속도가 빠른 장점이 있다.
- <22> 상기 유기 전계 발광 표시 장치는 구동 방법에 따라 수동 구동(passive matrix) 방식과 능동 구동(active matrix)방식으로 나뉜다. 수동 구동 방식은 기판상에 양극과 음극을 직교하도록 형성한 후 라인을 선택하여 구동하는 방식이다. 반면, 능동 구동 방식은 화소마다 형성되는 박막 트랜지스터(Thin Film Transistor:TFT)를 이용하여 데이터 신호에 대응되는 구동 전류를 유기 전계 발광 소자(OLED)로 공급하여 유기 전계 발광 소자(OLED)에서 빛이 발광되어 화상을 구현하는 방식으로, 수동 구동 방식에 비하여 안정적인 휘도를 나타낼 수 있으며 전력소모가 적어, 고해상도 및 대형 디스플레이의 적용에 유리한 장점이 있다.
- <23> 종래의 유기 전계 발광 표시 장치는 매트릭스 형태로 배열되는 화소를 포함하는 화소 영역과 화소를 구동하기 위한 전원 및 구동부를 포함하는 비화소 영역을 포함한다. 화소 영역의 화소는 구동(driving) 또는 스위칭(switcing) 동작에 필요한 박막 트랜지스터와 유기 전계 발광 소자를 포함한다. 화소 영역과 비화소 영역은 다수의 라인을 통해 전기적으로 연결된다.
- <24> 상술한 종래의 유기 전계 발광 표시 장치는 크게, 박막 트랜지스터 형성 단계, 유기 전계 발광 소자 형성 단계, 봉지(encapsulation) 단계, 모듈링(moduling) 단계를 통해서 제조된다. 유기 전계 발광 표시 장치는 이러한 제조 단계에서 내부 환경 요인 또는 기타 외부 환경 요인에 의해서 정전기가 발생될 수 있다. 정전기는 유기 전계 발광 표시 장치를 제조하기 위한 증착, 식각 등을 포함하는 거의 모든 제조 공정에서 발생될 수 있다. 또는 유기 전계 발광 표시 장치에 화상이 표시되는 도중에 외부 환경에 의해서도 발생될 수 있다.
- <25> 종래의 유기 전계 발광 표시 장치는 상술한 제조 단계 및 외부 환경 요인에 의해서 발생하는 정전기 방전(ElectroStatic Discharge: ESD)으로 인하여 내부 회로가 손상되는 문제점이 생긴다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명은 상술한 종래 유기 전계 발광 표시 장치의 문제점을 해소하기 위한 것으로서, 특히 정전기 방전으로부터 유기 전계 발광 표시 장치에 포함되는 화소 및 구동부가 정전기 방전에 의하여 파괴되는 것을 방지하면서, 정전기 방전을 비교적 쉽게 유도하기 위한 유기 전계 발광 표시 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <27> 상기 목적을 달성하기 위한 본 발명의 유기 전계 발광 표시 장치는 화소 영역 및 비화소 영역을 포함하는 기판, 상기 비화소 영역에 형성되며, 상기 기판에 형성되는 제1전극층, 상기 제1전극층에 형성되는 제1절연층, 및 상기 제1절연층에 형성되는 제2전극층을 포함하는 정전기 방전 회로를 포함하며, 상기 제1전극층 및 상기 제2전극층 중에서 선택되는 어느 하나는 수평 방향으로 연장되도록 형성되는 돌출 전극을 포함하는 것을 특징으로 할 수 있다.
- <28> 또한, 본 발명에 따르면 상기 돌출 전극은 톱니형, 삼각형, 사각형, 오각형 및 사다리꼴 중에 선택되는 어느 하나의 모양으로 형성될 수 있다. 이때, 상기 돌출 전극은 상기 제1전극층에 포함되는 제1돌출 전극을 포함하며, 상기 제1돌출 전극은 수평 방향으로 상기 제2전극층을 향하도록 형성될 수 있다. 또한, 상기 돌출 전극은 상기 제2전극층에 포함되는 제2돌출 전극을 포함하며, 상기 제2돌출 전극은 수평 방향으로 상기 제1전극층을 향하도록 형성될 수 있다.
- <29> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 제1돌출 전극 및 상기 제2돌출 전극을 모두 포함하도록 형성될 수 있다. 이때, 상기 정전기 방전 회로는 상기 제1돌출 전극 및 상기 제2돌출 전극이 서로 대향하도록

형성될 수 있다.

- <30> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 기관 및 상기 제1전극층 사이에 형성되는 반도체층을 더 포함할 수 있다. 이때, 상기 정전기 방전 회로는 상기 반도체층 및 상기 제1전극층 사이에 형성되는 제2절연층을 더 포함할 수 있다. 또한, 상기 정전기 방전 회로는 상기 기관 및 상기 반도체층 사이에 형성되는 버퍼층을 더 포함할 수 있다.
- <31> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 제2전극층에 형성되는 보호층을 더 포함할 수 있다. 이때, 상기 정전기 방전 회로는 상기 보호층에 형성되어 상기 제2전극층과 비아홀을 통해서 전기적으로 연결되는 제3전극층을 더 포함할 수 있다.
- <32> 또한, 본 발명에 따르면 상기 비화소 영역은 상기 화소 영역의 화소를 구동하기 위한 적어도 하나의 구동부 및, 상기 화소 및 상기 구동부를 외부 모듈과 전기적으로 연결하기 위한 패드부를 더 포함할 수 있다. 이때, 상기 패드부는 상기 기관 내주의 적어도 일변에 형성될 수 있다. 또한, 상기 정전기 방전 회로는 상기 기관 내주에서 상기 패드부가 형성된 영역을 제외한 나머지 중에서 선택되는 적어도 일변에 형성될 수 있다.
- <33> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 기관 내주의 각 변에 독립적으로 형성되는 것을 특징으로 할 수 있다.
- <34> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 기관 내주를 감싸도록 일체형으로 형성될 수 있다.
- <35> 또한, 본 발명에서 상기 제1전극층 및 상기 제2전극층 중에 선택되는 어느 하나는, 상기 패드부에 형성되는 그라운드 패드와 전기적으로 연결될 수 있다.
- <36> 또한, 본 발명에서 상기 제1전극층 및 상기 제2전극층은 각각, 알루미늄, 알루미늄-네오듐, 크롬, 몰리브덴, 몰리브덴-텅스텐 및 티타늄 중에 선택되는 어느 하나 또는 이들의 조합으로 형성될 수 있다.
- <37> 또한, 본 발명에 따르면 상기 제1절연층은 실리콘 산화막, 실리콘 질화막 및 무기물 중에 선택되는 어느 하나의 재질로 형성될 수 있다.
- <38> 또한, 본 발명은 화소 영역 및 비화소 영역을 포함하는 기관, 상기 기관의 상기 비화소 영역에 형성되며, 상기 기관에 형성되는 반도체층, 상기 반도체층에 형성되는 게이트 절연막, 상기 게이트 절연막에 형성되는 게이트 전극, 상기 게이트 전극을 덮도록 형성되는 층간 절연막 및, 상기 층간 절연막에 형성되는 소스/드레인 전극을 포함하는 정전기 방전 회로를 포함하며, 상기 게이트 전극은 상기 소스/드레인 전극을 향해서 수평 방향으로 연장되도록 형성되는 제1돌출 전극을 포함하는 것을 특징으로 한다.
- <39> 또한, 본 발명에 따르면 상기 소스/드레인 전극은 상기 게이트 전극을 향해서 수평 방향으로 형성되는 제2돌출 전극을 포함하는 것을 특징으로 할 수 있다. 이때, 상기 제1돌출 전극 및 제2돌출 전극은 각각, 톱니형, 삼각형, 사각형, 오각형 및 사다리꼴 중에 선택되는 어느 하나의 모양으로 형성될 수 있다. 이때, 상기 정전기 방전 회로는 상기 제1돌출 전극과 상기 제2돌출 전극이 서로 대향하도록 형성될 수 있다.
- <40> 또한, 본 발명에 따르면 상기 게이트 전극 및 상기 소스/드레인 전극 중에 선택되는 어느 하나는, 상기 패드부에 형성되는 그라운드 패드와 전기적으로 연결되는 것을 특징으로 할 수 있다.
- <41> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 기관과 상기 반도체층 사이에 형성되는 버퍼층을 더 포함할 수 있다.
- <42> 또한, 본 발명에 따르면 상기 정전기 방전 회로는 상기 소스/드레인 전극에 형성되는 보호층을 더 포함할 수 있다. 이때, 상기 정전기 방전 회로는 상기 보호층에 형성되어, 상기 소스/드레인 전극과 전기적으로 연결되는 전극층을 더 포함할 수 있다.
- <43> 본 발명에 의한 유기 전계 발광 표시 장치에 따르면 기관 내주의 적어도 일변에 정전기 방전 회로를 형성하여, 정전기 방전으로부터 화소 및 구동부들이 손상되는 것을 방지하는 효과가 있다.
- <44> 또한, 본 발명에 따르면 정전기 방전 회로의 소스/드레인 전극과 게이트 전극에 수평 방향으로 연장되도록 돌출 전극을 각각 형성하여, 돌출 전극 사이에 절연 파괴가 보다 쉽게 이루어짐으로써, 정전기 방전을 비교적 쉽게 유도하는 효과가 있다.
- <45> 또한, 본 발명에 따르면 정전기 방전 회로에 반도체층을 포함하여, 게이트 전극과 소스/드레인 전극 이외에도 반도체층을 이용하여 정전기 방전을 유도함으로써, 보다 다양한 경로를 이용한 정전기 방전을 유도하는 효과가

있다.

- <46> 또한, 본 발명에 따르면 기관의 내주의 각 변마다 정전기 방전 회로를 독립적으로 형성함으로써, 정전기 방전이 잦은 영역 또는 기타 필요한 영역에 선택적으로 형성될 수 있는 효과가 있다.
- <47> 이하에서 첨부된 도면과 실시예를 참조하여 본 발명에 따른 유기 전계 발광 표시 장치에 대해 상세히 설명하기로 한다. 도면에서 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 사용하여 설명하기로 한다.
- <48> 먼저, 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치에 대하여 설명하기로 한다.
- <49> 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)를 개략적으로 나타내는 도면이다.
- <50> 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)는, 도 1을 참조하면, 매트릭스 형태로 배열되는 화소(P, Pixel)들을 포함하는 화소 영역(110a) 및 화소 영역(110a) 내주연에 형성되는 비화소 영역(110b)을 포함하는 기관(110) 및 비화소 영역(110b) 상에 형성되는 정전기 방전 회로(120)를 포함한다.
- <51> 상기 기관(110)은 대략 사각 형상의 화소 영역(110a) 및 화소 영역(110a)의 외주연에 형성되는 비화소 영역(110b)을 포함한다. 이때, 기관(110)에는 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)가 전기적으로 더 연결될 수 있다.
- <52> 상기 화소 영역(110a)은 매트릭스 형태로 배열된 다수의 화소(Pixel)들이 구동되어 화상이 구현되는 영역이다. 각각의 화소는 데이터 라인(미도시), 스캔라인(미도시) 및 발광 제어 라인(미도시)이 교차하는 영역에 형성된다. 화소(P, Pixel)는 도 1에 도시되지는 않았지만, 박막 트랜지스터로 형성되는 구동 소자 및 적어도 하나의 스위칭 소자, 용량성 소자 및 유기 전계 발광 소자를 포함할 수 있다.
- <53> 상기 비화소 영역(110b)은 기관(110) 상에 화소 영역(110a)을 둘러싼 영역에 형성된다. 비화소 영역(110b)에는 정전기 방전 회로(120), 화소(P, Pixel)를 정의하는 각각의 데이터 라인, 스캔 라인 및 발광 제어 라인에 구동 신호를 공급하기 위한 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)가 형성될 수 있다. 또한, 비화소 영역(110b)에는 화소(P, Pixel), 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)와 외부 모듈을 전기적으로 연결(electrically couple)하기 위한 패드부(160)를 포함할 수 있다.
- <54> 상기 정전기 방전 회로(120)는 기관(110) 중에서 비화소 영역(110b)에 형성된다. 정전기 방전 회로(120)는 기관(110)의 끝단의 적어도 일변에 형성될 수 있다. 정전기 방전 회로(120)는 기관(110) 중에서 이하에서 설명될 패드부(160)가 형성되는 부분을 제외한 나머지 각 변에 형성된다. 이때, 정전기 방전 회로(120)는 기관(110)의 각 변을 감싸도록 일체형으로 형성될 수 있다. 이러한 정전기 방전 회로(120)는 유기 전계 발광 표시 장치(100)의 제조 공정 또는 이 후의 취급 시에 발생할 수 있는 정전기 방전(ESD: ElectroStatic Discharge)으로부터 내부 회로, 예를 들어, 화소(P, Pixel)에 포함되는 구동 소자, 스위칭 소자 또는 유기 전계 발광 소자들이 손상되는 것을 방지하는 역할을 한다. 정전기 방전 회로(120)는 이하에서 설명될 데이터 구동부(130), 스캔 구동부(140), 발광 제어 구동부(150) 및 패드부(160) 등의 비화소 영역(110b)에 형성되는 회로를 보호할 수도 있다. 본 발명에 의한 정전기 방전 회로(120)는 기관의 끝단에 형성되는 것으로 설명되어 있으나, 본 발명에서는 이를 한정하지 않으며, 기관(110) 중에서 정전기 방전에 취약한 다른 부분에 형성될 수도 있음은 물론이다. 정전기 방전 회로(120)의 보다 상세한 구조는 이하에서 다시 상세하게 설명하기로 한다.
- <55> 상기 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)는 집적 회로(IC: Integrated Circuit)의 형태로 기관(110) 중에서 비화소 영역(110b)에 형성될 수 있다. 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)는 화소 영역(110a) 중 화소(P, Pixel)에 포함되는 박막 트랜지스터(미도시)를 형성하는 층과 동일한 층에 형성될 수 있다. 한편, 데이터 구동부(130), 스캔 구동부(140) 및 발광 제어 구동부(150)는 기관(110)에 형성되지 않고 별도의 다른 기관에 형성될 수도 있다. 별도의 다른 기관(미도시)에 형성된 각 구동부(130,140,150)들은 TCP(Tape Carrier Package), FPC(Flexible Printed Circuit), TAB(Tape Carrier Package), COG(Chip On Glass) 및 그 등가물 중에서 선택되는 어느 하나의 형태로 기관(110)과 전기적으로 연결될 수 있으며, 본 발명에서 구동부(130,140,150)들의 형태 및 형성 위치 등을 한정하는 것은 아니다.
- <56> 상기 패드부(160)는 기관(110) 중 비화소 영역(110b)에 형성된다. 패드부(160)는 기관(110)의 일변에 형성되어 외부 회로 모듈(미도시)과 구동부(130,140,150) 또는 외부 회로 모듈과 화소(P, Pixel)를 전기적으로 연결하기 위해 형성된다. 정전기 방전 회로(120)는 패드부(160)의 적어도 일측에 형성되는 그라운드 패드(160a)와 전기적으로 연결될 수 있다.

- <57> 다음으로 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)에 사용되는 정전기 방전 회로(120)에 대하여 보다 상세하게 설명하기로 한다.
- <58> 도 2는 도 1의 A부분을 나타내는 평면도이고, 도 3은 도 2를 I-I선에 따라 수직 방향으로 절단한 정전기 방전 회로(120)의 단면도이다. 이하에서 설명하는 정전기 방전 회로(120)는 기관(110)의 일부분(도 1의 A)에만 해당되는 것이 아니라 다른 모든 부분에 형성되는 정전기 방전 회로(120)에 적용될 수 있음은 물론이다.
- <59> 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치(100)의 정전기 방전 회로(120)는, 도 2 내지 도 3을 참조하면, 기관(110) 상부에 형성되는 버퍼층(121), 버퍼층(121) 상부에 형성되는 게이트 절연막(122), 게이트 절연막(122) 상부에 형성되는 게이트 전극(또는 '제1전극층'이라 한다.)(123), 게이트 전극(123)을 덮도록 형성되는 층간 절연막(또는 '제1절연층'이라 한다.)(124) 및 층간 절연막(124) 상부에 형성되는 소스/드레인 전극(또는 '제2전극층'이라 한다.)(125)을 포함한다. 또한, 정전기 방전 회로(120)는 소스/드레인 전극(125)을 덮도록 형성되는 제1보호층(126), 제2보호층(127) 및 제2보호층(127) 상면에 형성되어 소스/드레인 전극(125)과 전기적으로 연결되는 제3전극층(128)을 더 포함하도록 형성될 수 있다. 본 발명에 따르면, 게이트 전극(123)은 게이트 전극(123)에서 수평 방향으로 연장되도록 형성되는 제1돌출 전극(123a)을 포함할 수 있다. 또한, 정전기 방전 회로(120)는 소스/드레인 전극(125)은 소스/드레인 전극(125)에서 수평 방향으로 연장되도록 형성되는 제2돌출 전극(125a)을 포함할 수 있다.
- <60> 상기 기관(110)은 상면과 하면을 갖는 판상으로 형성되며, 상면과 하면 사이의 두께는 0.05 내지 1mm 정도의 두께로 형성된다. 기관(110)의 두께가 0.05mm보다 얇은 경우에는 공정 중 세정, 식각 및 열처리 공정 등에 의해 손상되기 쉽고 또한 외력에 약한 단점이 있다. 반대로, 기관(110)의 두께가 1mm보다 두꺼운 경우에는 최근의 슬립화 추세에 있는 각종 표시 장치에 적용하기가 어려운 단점이 있다. 기관(110)은 통상의 글래스, 플라스틱, 스테인레스 스틸, 나노복합재료 및 그 등가물 중에 선택되는 어느 하나로 형성될 수 있으나, 이러한 재료로 본 발명을 한정하는 것은 아니다. 기관(110)은 이물질이 포함되지 않도록 세정되는 단계 및 다른 구성 요소를 제조하는 단계에서 열 또는 압력에 의해 기관(110)이 쉽게 변형되지 않도록 압밀(pre-compaction)되는 단계를 포함하여 형성된다. 이러한 기관(110)은 박막 트랜지스터 및 유기 전계 발광 소자를 포함하는 화소 영역(110a)과 각종 구동부가 형성되는 비화소 영역(110b)으로 구분될 수 있다.
- <61> 상기 버퍼층(121)은 정전기 방전 회로(120)에 습기(H₂O), 수소(H₂) 또는 산소(O₂) 등이 기관(110)을 관통하여 침투하지 않도록 하는 역할을 한다. 이를 위해, 버퍼층(121)은 반도체 공정 중 쉽게 형성할 수 있는 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄), 무기막 및 그 등가물 중 선택되는 적어도 어느 하나로 형성할 수 있으나, 이러한 재료로 본 발명을 한정하는 것은 아니다. 버퍼층(121)은 다층의 구조로 형성될 수도 있으며, 필요에 따라서는 생략될 수도 있다.
- <62> 상기 게이트 절연막(122)은 버퍼층(121)의 상면에 형성된다. 게이트 절연막(122)은 이하에서 설명할 게이트 전극(123)과 버퍼층(121) 사이에 전기적 절연성을 얻기 위해 형성된다. 이러한 게이트 절연막(122)은 반도체 공정 중 쉽게 얻을 수 있는 실리콘 산화막, 실리콘 질화막, 무기막 또는 그 등가물 중 선택되는 어느 하나로 형성될 수 있으며, 본 발명에서 사용되는 게이트 절연막(122)의 재질을 한정하는 것은 아니다. 이러한 게이트 절연막(122)은 PECVD, LPCVD, 스퍼터링법 및 그에 등가하는 방식 중에 어느 하나의 방법을 통하여 형성될 수 있다.
- <63> 상기 게이트 전극(123)은 게이트 절연막(122)의 상부에 형성된다. 게이트 전극(123)은 패드부(도 1의 160)에 포함되는 그라운드 패드(도 1의 160a)와 전기적으로 연결될 수 있다. 게이트 전극(123)은 알루미늄(Al), 알루미늄-네오뮴(AlNd), 크롬(Cr), 몰리브덴(Mo), 몰리브덴-텅스텐(MoW), 티타늄(Ti) 중에 선택되는 어느 하나 또는 이들의 조합으로 형성되는 금속 재료로 형성될 수 있으나, 본 발명에서 게이트 전극(123)의 재질을 한정하는 것은 아니다. 게이트 전극(123)은 게이트 절연막(122)에 증착된 후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통해 원하는 위치에 원하는 개수로 형성될 수 있다. 게이트 전극(123)은 이하에서 설명할 층간 절연막(124)의 절연 파괴를 유도하여 정전기를 방전시키는 역할을 한다. 또한, 게이트 전극(123)은 패드부(도 1의 160)에 포함되는 그라운드 패드(160a)를 통해서 정전기를 접지시킬 수도 있다. 이러한 게이트 전극(123)은 정전기 방전을 비교적 쉽게 유도하기 위한 제1돌출 전극(123a)을 포함할 수 있다.
- <64> 상기 제1돌출 전극(123a)은 게이트 전극(123)에서 이하에서 설명될 소스/드레인 전극(125)을 향하는 수평 방향으로 연장되도록 형성된다. 제1돌출 전극(123a)은, 도 2에 도시된 바와 같이, 게이트 전극(123)의 일부에 연속적으로 형성되는 톱니형으로 형성될 수 있다. 또한, 제1돌출 전극(123a)은 게이트 전극(123)과 일체로 형성되며, 게이트 전극(123)을 형성하는 과정에서 게이트 전극(123)과 동시에 형성될 수 있다. 제1돌출 전극

(123a)은 중단부(e1)가 소스/드레인 전극(125) 또는 소스/드레인 전극(125)에 포함되는 제2돌출 전극(125a)을 향하도록 형성될 수 있다. 제1돌출 전극(123a)의 중단부(e1)는 정전기의 전하가 비교적 빠른 시간 내에 집중될 수 있도록 각이 진 구조로 형성될 수 있다. 제1돌출 전극(123a)은 이하에서 설명될 제2돌출 전극(125a)과 서로 대향하도록 형성될 수 있다. 제1돌출 전극(123a)은 상기 게이트 전극(123)에 정전기 방전이 발생할 경우, 각이 진 중단부(e1)에 정전기 전하량을 집중시켜 높은 전계를 형성하는 역할을 한다. 참고로 본 발명에서 도 2의 일 실시예에서 사용되는 제1돌출 전극(123a)의 모양을 한정하지는 않으며, 정전기의 전하량이 집중될 수 있는 구조 내의 다른 모양으로 형성될 수도 있음은 물론이다.

<65> 상기 층간 절연막(124)은 게이트 전극(123)의 상부에 형성된다. 물론, 층간 절연막(124)은 게이트 전극(123)의 외주면에 형성되는 게이트 절연막(122) 위에도 형성될 수 있다. 층간 절연막(124)은 게이트 절연막(122)과 동일한 실리콘 산화막, 실리콘 질화막, 무기물 등의 절연 재질로 형성될 수 있다. 그러나 본 발명에서 이를 한정하는 것은 아니며, 층간 절연막(124)은 절연 재질에 해당하는 폴리머 계열, 플라스틱 계열, 유리 계열 또는 이에 등가하는 계열 중 선택되는 어느 하나로 형성될 수도 있다. 층간 절연막(124)은 게이트 전극(123) 또는 소스/드레인 전극(125)을 통해 유입되는 정전기에 의한 절연 파괴를 유도하는 역할을 한다.

<66> 상기 소스/드레인 전극(125)은 층간 절연막(124)의 상부에 형성된다. 상기 소스/드레인 전극(125)은 층간 절연막(124)의 상부에 형성될 수 있다. 소스/드레인 전극(125)은 게이트 전극(123)과 수평 방향으로 이격되도록 형성될 수 있다. 이때, 소스/드레인 전극(125)은 패드부(도 1의 160)에 형성되는 그라운드 패드(도 1의 160a)와 전기적으로 연결될 수 있다. 소스/드레인 전극(125)은 게이트 전극(123)과의 사이에 형성되는 층간 절연막(124)의 절연 파괴를 유도하여 정전기를 방전시키는 역할을 한다. 이때, 소스/드레인 전극(125)은 그라운드 패드(도 1의 160a)를 통해서 정전기를 접지시킬 수도 있다. 소스/드레인 전극(125)은 상술한 게이트 전극(123)과 같은 금속 재질로 형성될 수 있으며, 본 발명에서 소스/드레인 전극(125)의 재질을 한정하는 것은 아니다. 소스/드레인 전극(125)은 PECVD, LPCVD, 스퍼터링법 및 그에 등가하는 방식 중에 선택되는 어느 하나의 방법에 의해 증착된 후, 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통하여 원하는 위치에 원하는 개수로 패터닝될 수 있다. 한편, 본 발명에 따르면 소스/드레인 전극(125)은 소스/드레인 전극(125)에서 수평 방향으로 연장되도록 형성되는 제2돌출 전극(125a)을 포함할 수 있다.

<67> 상기 제2돌출 전극(125a)은 소스/드레인 전극(125)에서 게이트 전극(123)을 향하는 수평 방향으로 연장되도록 형성된다. 제2돌출 전극(125a)은, 도 2에 도시된 바와 같이, 소스/드레인 전극(125)의 일부에 연속적으로 형성되는 톱니형으로 형성될 수 있다. 또한, 제2돌출 전극(125a)은 소스/드레인 전극(125)과 일체로 형성되며, 소스/드레인 전극(125)을 형성하는 과정에서 소스/드레인 전극(125)과 동시에 형성될 수 있다. 제2돌출 전극(125a)은 중단부(e2)가 게이트 전극(123) 또는 게이트 전극(123)에 포함되는 제1돌출 전극(123a)을 향하도록 형성될 수 있다. 제2돌출 전극(125a)의 중단부(e1)는 제1돌출 전극(123a)의 중단부(e1)와 마찬가지로 정전기의 전하가 집중될 수 있도록 각이 진 구조로 형성될 수 있다. 제2돌출 전극(125a)은 소스/드레인 전극(125)에 정전기 방전이 발생할 경우, 각이 진 중단부(e2)에 정전기 전하량을 집중시켜 높은 전계를 형성하는 역할을 한다.

<68> 한편, 소스/드레인 전극(125)과 게이트 전극(123)의 사이의 거리(수평 방향)는 제어하고자 하는 정전기의 전압 레벨 및 비표시 영역(110b)에 형성하고자 하는 정전기 방전 회로(120)의 면적에 따라 달라질 수 있다. 만일, 제어하고자 하는 정전기의 전압 레벨이 비교적 높다(예를 들어, 수천 볼트 이상일 경우)면 소스/드레인 전극(125)과 게이트 전극(123) 간의 거리(수평 방향)는 정전기 방전 회로(120)를 형성 가능한 면적 내에서 최대한 길게 형성하는 것이 유리할 수 있다. 그러나, 본 발명에서 소스/드레인 전극(125)과 게이트 전극(123) 사이의 거리(수평 방향)를 제한하는 것은 아니다.

<69> 상기 정전기 방전 회로(120)는 소스/드레인 전극(125)에 형성되는 보호층을 더 포함할 수 있다. 보호층은 제1보호층(126) 및 제2보호층(127)을 포함할 수 있다. 제1보호층(126)은 소스/드레인 전극(125) 및 층간 절연막(124)을 덮도록 형성되어, 소스/드레인 전극(125) 및 게이트 전극(123)을 보호하는 역할을 한다. 제1보호층(126)은 통상의 무기막 및 그 등가물 중에 선택되는 어느 하나로 형성될 수 있으나, 본 발명에서 사용되는 제1보호층(126)의 재질은 한정하는 것은 아니다. 또한, 제2보호층(127)은 제1보호층(126)을 덮도록 형성되어 정전기 방전 회로(120)의 표면이 전체적으로 평탄하게 형성되는 것을 돕는다. 이러한 제2보호층(127)은 벤조 사이클로 부텐(BCB: Benzo Cyclo Butene), 아크릴 및 그 등가물 중에 선택되는 적어도 어느 하나로 형성될 수 있으나, 본 발명에서 이를 한정하지는 않는다.

<70> 또한, 정전기 방전 회로(120)는 제2보호층(127) 상면에 제3전극층(128)을 더 포함할 수 있다. 제3전극층(128)은 도전성 비아홀(v1)(electrically conductive via hole)을 통해 소스/드레인 전극(125)과 전기적으로 연결된다.

제3전극층(128)은 상술한 게이트 전극(123) 및 소스/드레인 전극(125)과 같은 금속 재질로 형성될 수 있으며, 본 발명에서 제3전극층(128)의 재질을 한정하는 것은 아니다. 제3전극층(128)은 외부에서 정전기 발생시 도전성 비아홀(v1)을 거쳐 소스/드레인 전극(125)으로 정전기가 방전될 수 있도록 돕는다.

- <71> 상술한 본 발명의 일 실시예에 따르면, 유기 전계 발광 표시 장치(100)의 표시 영역(110a) 외주연에 형성되는 비표시 영역(110b)의 적어도 일변에 정전기 방전 회로(120)가 형성됨으로써, 화소(P, Pixel) 및 구동부들(130, 140, 150)이 정전기 방전으로부터 파괴되는 것을 방지할 수 있다.
- <72> 보다 상세하게 설명하면, 정전기 방전 회로(120)는 게이트 전극(123)과 소스/드레인 전극(125) 사이의 층간 절연막(124)을 통해 정전기 방전이 유도된다. 게이트 전극(123) 또는 소스/드레인 전극(125)에서 발생되거나 유입된 정전기는 층간 절연막(124)의 절연 파괴를 통해서 방전된다. 이때, 정전기의 일부는 게이트 전극(123) 및 소스/드레인 전극(125) 중에 선택되는 어느 하나를 통해 접지될 수 있다. 또한, 정전기 방전 회로(120) 외부에서 발생하는 정전기는 제3전극층(128)을 통해서 소스/드레인 전극(125)으로 전달되어 방전될 수도 있다.
- <73> 상기 정전기 방전 회로(120)는 제1돌출 전극(123a) 및 제2돌출 전극(125a)을 형성하여, 정전기 전하의 집중으로 인한 높은 전계를 형성하여 절연 파괴를 용이하게 함으로써, 정전기 방전이 보다 쉽게 유도되는 효과가 있다.
- <74> 보다 상세하게 설명하면, 제1돌출 전극(123a) 및 제2돌출 전극(125a)은 각각 종단부(e1, e2)가 각이 진 형태로 형성된다. 이에 따라, 정전기 발생시 종단부(e1, e2)는 정전기 전하가 집중적으로 모이는 부분이 되고, 종단부(e1, e2)는 비교적 높은 전계가 형성될 수 있게 된다. 이때, 제1돌출 전극(123a)의 종단부(e1)와 제2돌출 전극(125a)의 종단부(e2)가 서로 마주보는 형태로 형성되며, 제1돌출 전극(123a)과 제2돌출 전극(125a) 사이의 층간 절연막(124)은 정전기에 의한 절연 파괴가 보다 쉬워진다. 따라서, 제1돌출 전극(123a)과 제2돌출 전극(125a)으로 인하여 정전기 방전이 보다 쉽게 유도될 수 있게 된다.
- <75> 다음으로 상술한 정전기 방전 회로(120)에서 돌출 전극들(123a, 125a)의 변형된 예를 설명하기로 한다.
- <76> 도 4는 변형된 정전기 방전 회로(120')에서 도 2에 대응되는 부분을 나타내는 도면이고, 도 5는 도 4의 돌출 전극들(123a', 125a')의 다른 모양을 나타내는 도면이다.
- <77> 상기 정전기 방전 회로(120')는 돌출 전극들(123a', 125a')의 형성 모양을 제외하고 도 2 내지 도 3의 정전기 방전 회로(120)와 구성이 동일하므로, 이하에서는 돌출 전극들(123a', 125a')을 중심으로 설명하기로 한다.
- <78> 상기 정전기 방전 회로(120')는 게이트 전극(123)에서 수평 방향으로 연장되어 형성되는 제1돌출 전극(123a') 및 소스/드레인 전극(125)에서 수평 방향으로 연장되어 형성되는 제2돌출 전극(125a')을 포함한다.
- <79> 상기 제1돌출 전극(123a') 및 제2돌출 전극(125a')은 각각, 게이트 전극(123) 및 소스/드레인 전극(125)의 적어도 일부에 삼각형으로 형성될 수 있다. 제1돌출 전극(123a') 및 제2돌출 전극(125a')은 각각, 일변이 게이트 전극(123) 및 소스/드레인 전극(125)에 형성되고 일변에 대향하는 꼭지점이 상대편 전극을 향하도록 형성될 수 있다. 즉, 삼각형으로 형성되는 제1돌출 전극(123a') 및 제2돌출 전극(125a')은 상술한 꼭지점이 종단부(e1', e2')가 될 수 있다. 제1돌출 전극(123a')의 종단부(e1')와 제2돌출 전극(125a')의 종단부(e2')는 서로 대향하도록 형성될 수 있다. 상술한 바에 의하면 돌출 전극들(123a', 125a') 각각에 형성되는 종단부들(e1', e2')이 꼭지점으로 형성되어, 상술한 일 실시예와 동일한 작용을 하게 된다. 즉, 게이트 전극(123) 및 소스/드레인 전극(125)을 통해 전달된 정전기 전하가 종단부들(e1', e2')로 집중되고, 이에 따라 종단부들(e1', e2') 사이에 비교적 높은 전계가 형성됨으로써, 게이트 전극(123)과 소스/드레인 전극(125) 사이의 절연 파괴(층간 절연막(124)을 통한 절연파괴)가 보다 용이해질 수 있다.
- <80> 상기 제1돌출 전극(123a') 및 제2돌출 전극(125a')은 각각, 도 5에 도시된 바와 같이 사각형(a1'), 오각형(a2'), 사다리꼴(a3') 중에 선택되는 어느 하나의 모양으로 형성될 수도 있다. 그러나, 본 발명에서 제1돌출 전극(123a') 및 제2돌출 전극(125a')의 형상을 한정하는 것은 아니며, 정전기의 전하를 집중할 수 있는 구조에 한하여 변형될 수 있음은 물론이다.
- <81> 상술한 제1돌출 전극(123a') 및 제2돌출 전극(125a')은 각각, 게이트 전극(123) 및 소스/드레인 전극(125)의 원하는 위치에 원하는 개수만큼 형성될 수 있다는 장점이 있다. 따라서 정전기가 집중적으로 발생하는 부분 또는 정전기에 취약한 부분에 집중적으로 돌출 전극들(123a', 125a')을 형성하여, 정전기에 따른 절연 파괴를 비교적 쉽게 유도할 수 있게 된다.
- <82> 다음으로 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치에 대해서 설명하기로 한다.

- <83> 도 6은 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치로써 도 2에 대응되는 부분을 도시한 평면도이고, 도 7은 도 6의 II-II선에 따른 수직단면을 나타내는 도면이다. 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치는, 도 1 내지 도 4의 일 실시예와 대부분의 구성이 동일하거나 유사하므로, 이하에서는 구성의 차이가 있는 부분을 중심으로 설명하기로 한다.
- <84> 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치의 정전기 방전 회로(220)는, 도 6 내지 도 7을 참조하면, 기관(210) 상부에 형성되는 버퍼층(221), 버퍼층(221) 상부에 형성되는 반도체층(229), 반도체층(229) 상부에 형성되는 게이트 절연막(222), 게이트 절연막(222) 상부에 형성되는 게이트 전극(223), 게이트 전극(223)을 덮도록 형성되는 층간 절연막(224) 및 층간 절연막(224) 상부에 형성되는 소스/드레인 전극(225)을 포함한다. 또한, 정전기 방전 회로(220)는 소스/드레인 전극(225)을 덮도록 형성되는 제1보호층(226), 제2보호층(227) 및 제2보호층(227) 상면에 형성되어 소스/드레인 전극(225)과 비아홀(v2)을 통해서 전기적으로 연결되는 제3전극층(228)을 더 포함하도록 형성될 수 있다. 이때, 게이트 전극(223)은 게이트 전극(223)에서 수평 방향으로 연장되도록 형성되는 제1돌출 전극(223a)을 포함할 수 있다. 또한, 정전기 방전 회로(220)는 소스/드레인 전극(225)은 소스/드레인 전극(225)에서 수평 방향으로 연장되도록 형성되는 제2돌출 전극(225a)을 포함할 수 있다. 본 발명의 다른 실시예는 버퍼층(221) 상부에 반도체층(229)이 형성되는 점을 제외하고는 본 발명의 일 실시예와 동일한 구조와 동일한 재질로 형성될 수 있다.
- <85> 상기 반도체층(229)은 버퍼층(221) 또는 기관(210)에 형성될 수 있다. 반도체층(229)은 게이트 전극(223) 및 소스/드레인 전극(225)과 함께 정전기 방전을 유도하는 역할을 한다. 이러한 반도체층(229)은 비정질 실리콘(Amorphous Silicon), 마이크로 실리콘(Micro Silicon, 비정질 실리콘과 다결정실리콘 사이의 그레인 사이즈(grain size)를 갖는 실리콘), 유기물 및 그 등가물 중 선택되는 어느 하나일 수 있으며, 본 발명에서 반도체층(229)의 재질을 한정하는 것은 아니다. 반도체층(229)은 층간 절연막(224)을 관통하여 형성되는 도전성 콘택(c1)(electrically conductive contact)을 통해서 소스/드레인 전극(225)과 전기적으로 연결될 수 있다. 반도체층(229)은 상호 대향되는 양측에 형성된 소스 및 드레인 영역(미도시)과, 소스 및 드레인 영역 사이에 형성되는 채널 영역(미도시)을 포함한다. 반도체층(229)은 비정질 실리콘 또는 마이크로 실리콘을 다결정 실리콘으로 결정화한 후, 패터닝(patterning) 단계를 통하여 원하는 위치와 모양으로 형성될 수 있다.
- <86> 상기 비정질 실리콘은 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA), 금속촉매(Promoting Material)를 사용한 금속촉매 결정화 방법(MIC: Metal Induced Crystallization) 및, 고상결정화(SPC: Solid Phase Crystallization)방법 등을 통하여 결정화될 수 있다. 또한, 기존 레이저 결정화 방법에 마스크를 추가로 사용하는 순차측면결정화(SLS: Sequential Lateral Solidification)방법이 있다. 상기 레이저 결정화 방법은 가장 많이 사용되는 방법으로 기존의 다결정 액정표시장치의 결정화 방법을 그대로 이용할 수 있을 뿐만 아니라 공정방법이 간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.
- <87> 상기 금속촉매 결정화 방법은 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 있는 방법 중에 하나이다. 초기에는 비정질 실리콘 표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스퍼터코팅하여 금속촉매 금속이 비정질 실리콘 표면에 직접 침투하여 비정질 실리콘의 상을 변화시키면서 결정화하는 방법으로 저온에서 결정화할 수 있는 장점이 있다.
- <88> 상기 금속촉매 결정화 방법의 다른 하나는 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 박막트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이 있다. 이러한 결정화 방법을 금속촉매유도측면결정화 방법(MILC: Metal Induced Lateral Crystallization)이라고 한다. 금속촉매유도측면결정화 방법에 사용되는 마스크로는 새도우 마스크(Shadow)가 사용될 수 있는데, 새도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.
- <89> 상기 금속촉매 결정화 방법의 또 다른 하나는 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스퍼터코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC: Metal Induced Crystallization with Capping Layer)이 있다. 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 실리콘 질화막의 두께에 따라 금속 촉매층에서 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 실리콘 질화막으로 유입되는 금속 촉매는 실리콘 질화막 전체에 형성될 수도 있고, 새도우 마스크 등을 사용하여 선택적으로 형성될 수 있다. 금속 촉매층이 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 캡핑층을 제거할 수 있다. 캡핑층 제거방법에는 습식 식각방법(Wet Etching) 혹은 건식 식각방법(Dry Etching)을 사용할 수 있다.
- <90> 상기 마이크로 실리콘은 결정립의 크기가 1nm에서 100nm까지 인 것을 통상적으로 말한다. 마이크로 실리콘의 전

자이동도는 1에서 50이하이며 정공 이동도는 0.01에서 0.2이하인 것인 특징이다. 마이크로 실리콘은 다결정 실리콘에 비해 결정립의 크기가 작은 것이 특징이며, 결정립 사이의 돌출부 영역이 작게 형성되어 결정립 간에 전자가 이동할 경우에 지장을 주지 않게 되어 균일한 특성을 보여줄 수 있다. 마이크로 실리콘의 결정립 방법에는 크게 열결정화 방법(Thermal Crystallization Method) 및 레이저 결정화 방법(Laser Crystallization Method)이 있다. 상기 열결정화 방법은 비정질 실리콘을 증착함과 동시에 결정화구조를 얻는 방법과 재가열(Reheating)방법이 있다. 상기 레이저 결정화 방법은 비정질 실리콘을 화학진공증착(Cheical Vapor Deposition)방법으로 증착한 후 레이저를 이용하여 결정화하는 방법인데 이때 사용되는 레이저의 종류는 주로 다이오드 레이저(Diode Laser)가 있다. 상기 다이오드 레이저는 주로 800nm대 적색 파장을 이용하며 상기 적색 파장은 마이크로 실리콘 결정질이 균일하게 결정화되는데 기여하는 역할을 한다.

- <91> 상술한 방법에 의해 형성된 다결정 실리콘은 포토레지스트 도포, 노광, 현상, 식각 및 포토레지스트 박리 등의 공정을 통하여 원하는 위치에 원하는 개수로 형성된다.
- <92> 상기 소스/드레인 전극(225)은 소스 영역과 드레인 영역에 접촉되는 전극이 일체형으로 형성된다. 따라서 정전기 방전 회로(220)는 일반적인 구동 전압이 인가될 때에는 동작하지 않게 된다.
- <93> 한편, 본 발명의 다른 실시예에 의한 제1돌출 전극(223a) 및 제2돌출 전극(225a)은 상술한 본 발명의 일 실시예에 따른 제1돌출 전극(123a) 및 제2돌출 전극(125a)과 동일하게 형성될 수 있으며, 그에 따른 작용 또한 동일하다.
- <94> 상술한 본 발명의 다른 실시예에 따르면 정전기 방전 회로(220)는 게이트 전극(223)과 소스/드레인 전극(225) 사이에 형성되는 층간 절연막(224)을 통해서 정전기가 방전될 뿐만 아니라, 반도체층(229)이 형성되어 게이트 전극(223)과 반도체층(229) 사이에 형성되는 게이트 절연막(222) 또는 소스/드레인 전극(225)과 반도체층(229) 사이의 게이트 절연막(222)과 층간 절연막(224)을 통해 정전기 방전이 유도될 수 있기 때문에 보다 다양한 경로를 이용하여 정전기 방전을 유도할 수 있다는 장점이 있다.
- <95> 또한, 게이트 전극(223)과 소스/드레인 전극(225)에 정전기 전하가 집중되는 제1돌출 전극(223a)과 제2돌출 전극(225a)을 형성하여, 정전기 방전을 보다 쉽게 유도할 수 있다. 제1돌출 전극(223a) 및 제2돌출 전극(225a)에 따른 작용은 본 발명의 일 실시예와 동일하므로 상세한 설명은 생략하기로 한다.
- <96> 도 7은 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치를 개략적으로 나타내는 도면이다.
- <97> 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치(300)는, 도 9를 참조하면, 화소 영역(310a) 및 비화소 영역(310b)을 포함하는 기판(210)의 각 변마다 독립적으로 형성된 정전기 방전 회로(320)를 포함한다. 이에 따라, 정전기 방전 회로(320)는 정전기 방전이 잦은 영역, 또는 기타 필요한 영역에만 선택적으로 형성될 수 있다는 장점이 있다. 본 발명의 또 다른 실시예에 따르면, 정전기 방전 회로(320)는 각각이 기판(310)에 형성된 패드부(360)의 그라운드 패드(미도시)와 전기적으로 연결될 수 있음은 물론이다. 본 발명의 또 다른 실시예에 따른 정전기 방전 회로(320)의 상세한 구조는 본 발명의 일 실시예 또는 다른 실시예와 동일하게 형성될 수 있으며, 그에 따른 정전기 방전 회로(320)의 작용 및 효과도 본 발명의 일 실시예 및 다른 실시예와 동일하므로 상세한 설명은 생략하기로 한다.
- <98> 한편, 본 발명에서 화소(P, Pixel)에 포함되는 유기 전계 발광 소자는 양극(ITO), 유기층 및 음극(Metal)으로 이루어져 있다. 상기 유기층은 전자와 정공이 만나 여기자(Exciton)를 형성하여 발광하는 발광층(Emitting Layer, EML), 전자를 수송하는 전자 수송층(Electron Transport Layer, ETL), 정공을 수송하는 정공 수송층(Hole Transport Layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층의 일측면에는 전자를 주입하는 전자 주입층(Electron Injecting Layer, EIL)이 형성되고, 상기 정공 수송층의 일측면에는 정공을 주입하는 정공 주입층(Hole Injecting Layer, HIL)이 더 형성될 수 있다. 더불어, 인광형 유기 전계 발광 소자의 경우에는 정공 억제층(Hole Blocking Layer, HBL)이 발광층(EML)과 전자수송층(ETL) 사이에 선택적으로 형성될 수 있으며, 전자 억제층(Electron Blocking Layer, EBL)이 발광층(EML)과 정공 수송층(HTL) 사이에 선택적으로 형성될 수 있다.
- <99> 또한, 상기 유기층은 두 종류의 층을 혼합하여 그 두께를 감소시키는 슬림형유기 전계 발광 소자(Slim OLED) 구조로 형성할 수도 있다. 예를 들면, 정공 주입층과 정공 수송층을 동시에 형성하는 정공 주입 수송층(Hole Injection Transport Layer, HITL) 구조 및 전자 주입층과 전자 수송층을 동시에 형성하는 전자 주입 수송층(Electron Injection Transport Layer, EITL)구조를 선택적으로 형성할 수 있다. 상기와 같은 슬림형 유기 전계 발광 소자는 발광 효율을 증가시키는데 그 사용의 목적이 있다. 또한, 양극(ITO)과 발광층 사이에는 선택층으로서 버퍼층(Buffer Layer)을 형성할 수 있다. 상기 버퍼층은 전자를 버퍼링하는 전자 버층(Electron Buffer

Layer)과 정공을 버퍼링하는 정공 버퍼층(Hole Buffer Layer)으로 구분할 수 있다.

- <100> 상기 전자 버퍼층은 음극(Metal)과 전자 주입층(EIL) 사이에 선택적으로 형성할 수 있으며, 상기 전자 주입층(EIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기층의 적층 구조는 발광층(EML)/전자 수송층(ETL)/전자 버퍼층(Electron Buffer Layer)/음극(Metal)이 될 수 있다. 또한, 상기 정공 버퍼층은 양극(ITO)과 정공 주입층(HIL) 사이에 선택적으로 형성할 수 있으며, 정공 주입층(HIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기층의 적층 구조는 양극(ITO)/정공 버퍼층(Hole Buffer Layer)/정공 수송층(HTL)/발광층(EML)이 될 수 있다.
- <101> 상기 구조에 대하여 가능한 적층 구조를 기재하면 다음과 같다.
- <102> a) 정상 적층 구조(Normal Stack Structure)
- <103> 1) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/음극
- <104> 2) 양극/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/음극
- <105> 3) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/음극
- <106> 4) 양극/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/음극
- <107> 5) 양극/정공 주입층/정공 버퍼층/정공 수송층/발광층/전자 수송층/전자 주입층/음극
- <108> 6) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 버퍼층/전자 주입층/음극
- <109> b) 정상 슬림 구조(Normal Slim Structure)
- <110> 1) 양극/정공 주입 수송층/발광층/전자 수송층/전자 주입층/음극
- <111> 2) 양극/정공 버퍼층/정공 주입 수송층/발광층/전자 수송층/전자 주입층/음극
- <112> 3) 양극/정공 주입층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/음극
- <113> 4) 양극/정공 버퍼층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/음극
- <114> 5) 양극/정공 주입 수송층/정공 버퍼층/발광층/전자 수송층/전자 주입층/음극
- <115> 6) 양극/정공 주입층/정공 수송층/발광층/전자 버퍼층/전자 주입수송층/음극
- <116> c) 역상 적층구조(Inverted Stack Structure)
- <117> 1) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/양극
- <118> 2) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/정공 버퍼층/양극
- <119> 3) 음극/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주
- <120> 입층/양극
- <121> 4) 음극/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/양극
- <122> 5) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/정공 주입층/양극
- <123> 6) 음극/전자 주입층/전자 버퍼층/전자 수송층/발광층/정공 수송층/정공 주입층/양극
- <124> d) 역상 슬림 구조 (Inverted Silm Structure)
- <125> 1) 음극/전자 주입층/전자 수송층/발광층/정공 주입 수송층/양극
- <126> 2) 음극/전자 주입층/전자 수송층/발광층/정공 주입 수송층/정공 버퍼층/양극
- <127> 3) 음극/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 주입층/양극
- <128> 4) 음극/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 버퍼층/양극
- <129> 5) 음극/전자 주입층/전자 수송층/발광층/정공 버퍼층/정공 주입 수송층/양극
- <130> 6) 음극/전자 주입 수송층/전자 버퍼층/발광층/정공 수송층/정공 주입층/양극

- <131> 이와 같은 유기 전계 발광 소자를 구동하는 방식으로서는 수동 매트릭스(Passive matrix) 방식과 능동 매트릭스(Active matrix) 방식이 알려져 있다. 상기 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동함으로써 제작 공정이 단순하고 투자비가 적으나 대화면 구현시 전류 소모량이 많다는 단점이 있다. 상기 능동 매트릭스 방식은 박막 트랜지스터와 같은 능동 소자 및 용량성 소자를 각 화소에 형성함으로써 전류 소모량이 적고 화질 및 수명이 우수하며 중대형까지 확대 가능하다는 장점이 있다.
- <132> 상술한 본 발명의 일 실시예 내지 또 다른 실시예에 따르면, 유기 전계 발광 표시 장치는 기관의 적어도 일변에 정전기 방전 회로가 형성됨으로써, 제조 공정 중의 내부 요인이나 다른 외부 환경에 의해서 발생하는 정전기 방전으로 인하여 화소 또는 구동부들이 손상되는 것을 방지할 수 있게 된다. 이때, 정전기 방전 회로는 정전기의 전하가 집중되어 높은 전계가 형성되는 돌출 전극을 포함하여 정전기 방전이 보다 쉽게 유도될 수 있게 된다.
- <133> 본 발명은 상술한 특성의 바람직한 실시예에 한정되지 아니하며, 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형의 실시가 가능한 것은 물론이고, 그와 같은 변경은 특허청구범위 기재의 범위 내에 있게 된다.

발명의 효과

- <134> 이상 설명한 바와 같이 본 발명에 의한 유기 전계 발광 표시 장치에 따르면 기관 내주의 적어도 일변에 정전기 방전 회로를 형성하여, 정전기 방전으로부터 화소 및 구동부들이 손상되는 것을 방지하는 효과가 있다.
- <135> 또한, 본 발명에 따르면 정전기 방전 회로의 소스/드레인 전극과 게이트 전극에 수평 방향으로 연장되도록 돌출 전극을 각각 형성하여, 돌출 전극 사이에 절연 파괴가 보다 쉽게 이루어짐으로써, 정전기 방전을 비교적 쉽게 유도하는 효과가 있다.
- <136> 또한, 본 발명에 따르면 정전기 방전 회로에 반도체층을 포함하여, 게이트 전극과 소스/드레인 전극 이외에도 반도체층을 이용하여 정전기 방전을 유도함으로써, 보다 다양한 경로를 이용한 정전기 방전을 유도하는 효과가 있다.
- <137> 또한, 본 발명에 따르면 기관의 내주의 각 변마다 정전기 방전 회로를 독립적으로 형성함으로써, 정전기 방전이 잦은 영역 또는 기타 필요한 영역에 선택적으로 형성될 수 있는 효과가 있다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 일 실시예에 따른 유기 전계 발광 표시 장치의 개략도.
- <2> 도 2는 도 1의 A부분을 나타내는 평면도.
- <3> 도 3은 도 2를 I-I선에 따라 자른 수직 단면도.
- <4> 도 4는 정전기 방전 회로의 변형 예로써 도 2에 대응되는 부분을 나타내는 평면도.
- <5> 도 5는 도 4의 돌출 전극들의 다른 모양을 나타내는 도면.
- <6> 도 6은 본 발명의 다른 실시예에 따른 유기 전계 발광 표시 장치로써 도 2에 대응되는 부분을 도시한 평면도.
- <7> 도 7은 도 6의 II-II선에 따른 수직 단면도.
- <8> 도 8은 본 발명의 또 다른 실시예에 따른 유기 전계 발광 표시 장치의 개략도.
- <9> < 도면의 주요 부분에 대한 부호의 설명 >
- | | |
|----------------------------------|--------------------------|
| <10> 100,300: 유기 전계 발광 표시 장치 | 110,210,310: 기관 |
| <11> 110a,310a: 화소 영역 | 110b,310b: 비화소 영역 |
| <12> 120,120',220,320: 정전기 방전 회로 | 121,221: 버퍼층 |
| <13> 122,222: 게이트 절연막 | 123,223: 게이트 전극 |
| <14> 125,225: 소스/드레인 전극 | 124, 224: 층간 절연막 |
| <15> 123a,123a',223a: 제1돌출 전극 | 125a,125a',225a: 제2돌출 전극 |
| <16> 126,226: 제1보호층 | 127,227: 제2보호층 |

- <17>

128, 228: 제3전극층

229: 반도체층
- <18>

130: 데이터 구동부

140: 스캔 구동부
- <19>

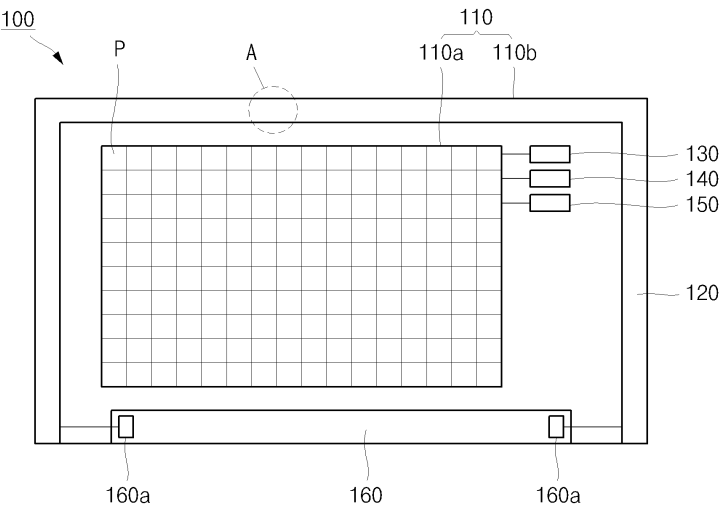
150: 발광 제어 구동부

160, 360: 패드부

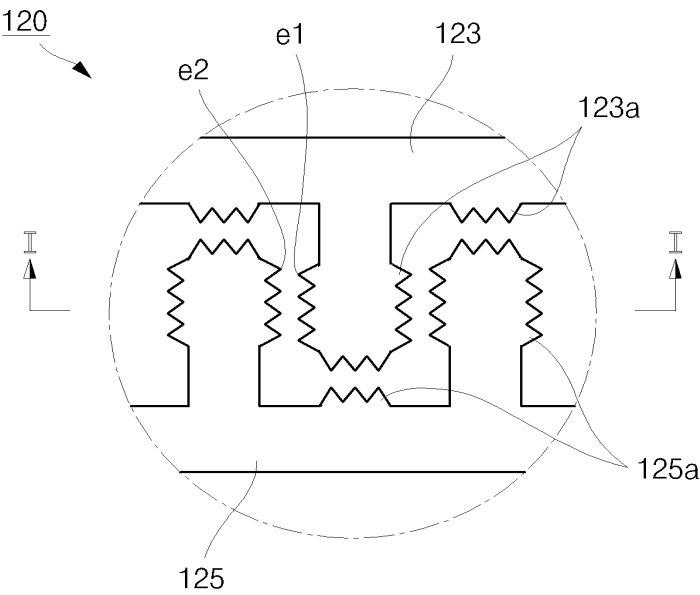
160a: 그라운드 패드

도면

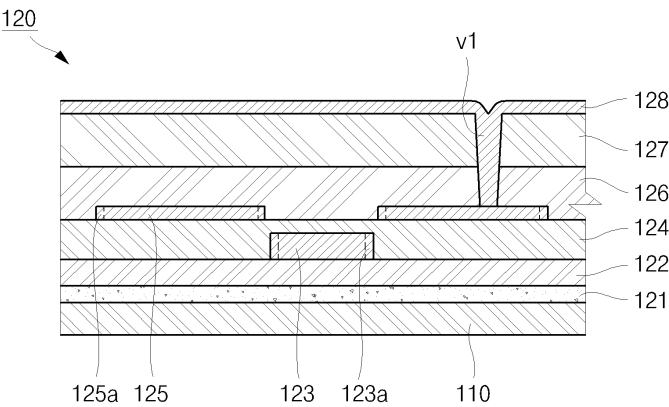
도면1



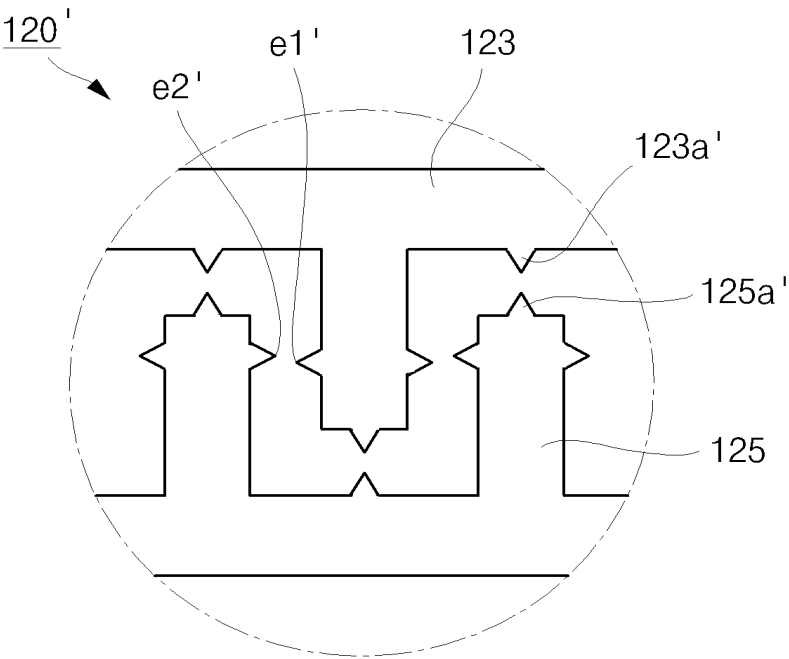
도면2



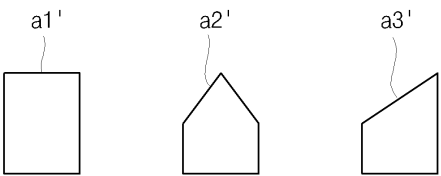
도면3



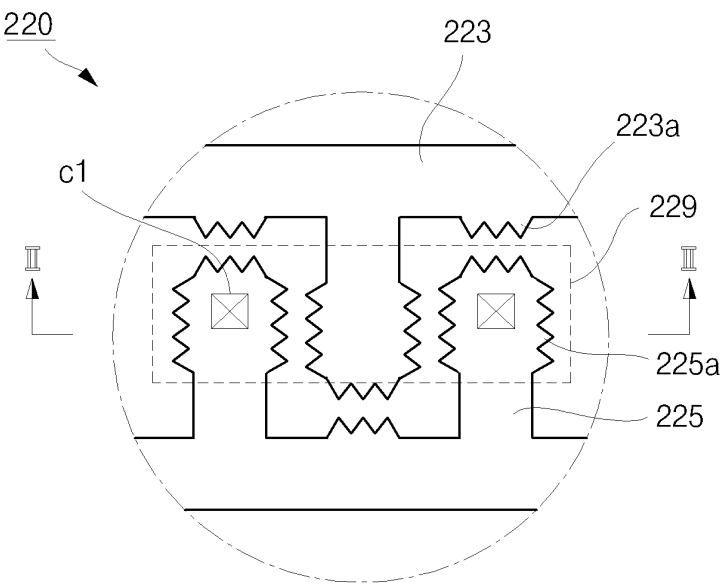
도면4



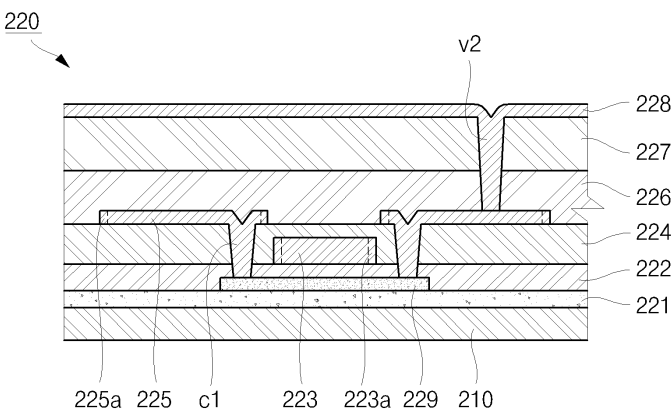
도면5



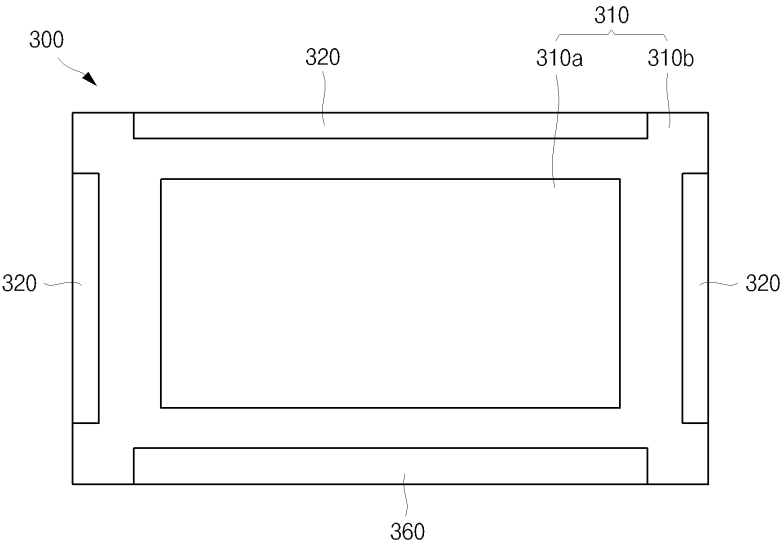
도면6



도면7



도면8



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR100788589B1	公开(公告)日	2007-12-26
申请号	KR1020070006306	申请日	2007-01-19
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	JEONG SEON I 정선이 CHOI WOONG SIK 최웅식		
发明人	정선이 최웅식		
IPC分类号	H05B33/26		
CPC分类号	H01L27/0248 H01L27/3276		
外部链接	Espacenet		

摘要(译)

有机发光显示器技术领域本发明涉及有机发光显示器，更具体地，涉及具有第一电极层，形成在第一电极层上的第一绝缘层和形成在第一绝缘层上的第二电极层的有机发光显示器，静电放电电路包括在水平方向上形成在第一电极层和第二电极层中的突出电极，以防止包括在有机电致发光显示装置中的像素和驱动单元被静电放电的静电放电破坏，提供了一种用于相对容易地通过电极引发静电放电的有机电致发光显示装置。

