



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2007년12월05일  
 (11) 등록번호 10-0782472  
 (24) 등록일자 2007년11월29일

(51) Int. Cl.  
*H05B 33/02* (2006.01) *H05B 33/26* (2006.01)  
 (21) 출원번호 10-2006-0082372  
 (22) 출원일자 2006년08월29일  
 심사청구일자 2006년08월29일  
 (56) 선행기술조사문헌  
 KR1020050028561 A  
 KR1020050097672 A  
 KR1020050105852 A

(73) 특허권자  
**삼성에스디아이 주식회사**  
 경기 수원시 영통구 신동 575  
 (72) 발명자  
**김중윤**  
 경기 용인시 기흥구 공세동 삼성SDI중앙연구소  
**김성철**  
 경기 용인시 기흥구 공세동 삼성SDI중앙연구소  
 (74) 대리인  
**박상수**

전체 청구항 수 : 총 8 항

심사관 : 김주승

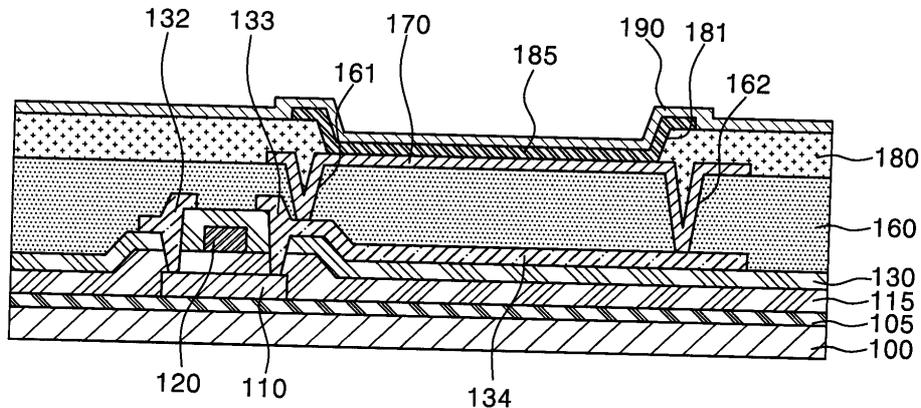
**(54) 유기전계발광표시장치 및 그 제조방법**

**(57) 요약**

본 발명은 소스/드레인 전극과 제 1전극간의 접촉저항을 감소시켜 유기막층에서 발광이 완전히 이루어지지 않는 현상을 방지하고, 제 1전극내의 전류분포를 균일하게 하여 유기막층의 수명단축을 방지할 수 있는 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

본 발명은 기판; 상기 기판 상에 위치하는 박막트랜지스터; 상기 박막트랜지스터 상에 형성되는 평탄화막; 상기 평탄화막 상에 형성되는 다수개의 비아홀; 상기 다수개의 비아홀을 통해 박막트랜지스터와 전기적으로 연결되는 제 1 전극; 상기 평탄화막 상에 형성되며, 상기 제 1 전극의 일부분과 겹쳐지도록 형성되는 화소정의막; 상기 화소정의막 상에 위치하는 유기막층; 및 상기 유기막층 상에 위치하는 제 2 전극;을 포함하는 것을 특징으로 한다.

**대표도 - 도7**



## 특허청구의 범위

### 청구항 1

기관;

상기 기관 상에 위치하는 박막트랜지스터;

상기 박막트랜지스터 상에 형성되는 평탄화막;

상기 평탄화막 상에 형성되는 다수개의 비아홀;

상기 다수개의 비아홀을 통해 박막트랜지스터와 전기적으로 연결되는 제 1 전극;

상기 평탄화막 상에 형성되며, 상기 제 1 전극의 일부분과 겹쳐지도록 형성되는 화소정의막;

상기 화소정의막 상에 위치하는 유기막층; 및

상기 유기막층 상에 위치하는 제 2 전극;을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 2

제 1항에 있어서,

상기 다수개의 비아홀은 서로 이격되게 위치하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 3

제 1항에 있어서,

상기 다수개의 비아홀은 상기 제 1 전극의 에지부에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 4

제 1항에 있어서,

상기 박막트랜지스터의 소스/드레인 전극배선은 상기 제 1 전극의 에지부까지 연장된 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 5

제 4항에 있어서,

상기 소스/드레인 전극배선은 단위화소영역의 에지부에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 6

기관을 제공하고,

상기 기관 상에 박막트랜지스터를 형성하고,

상기 박막트랜지스터 상에 평탄화막을 형성하고,

상기 평탄화막을 식각하여 다수개의 비아홀을 형성하고,

상기 평탄화막 상에 제 1 전극을 형성하고,

상기 평탄화막 상에 상기 제 1 전극의 일부분과 겹쳐지도록 화소정의막을 형성하고,

상기 화소정의막 상에 유기막층을 형성하고,

상기 유기막층 상에 제 2전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

### 청구항 7

제 6항에 있어서,

상기 다수개의 비아홀은 서로 이격되게 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**청구항 8**

제 6항에 있어서,

상기 박막트랜지스터를 형성하는 것은 소스/드레인 전극배선이 상기 제 1전극의 에지부까지 연장되도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <14> 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것으로, 보다 자세하게는 소스/드레인 전극과 제 1전극간의 접촉저항을 감소시키는 유기전계발광표시장치 및 그 제조방법에 관한 것이다.
- <15> 최근에 음극선관(cathode ray tube)과 같은 종래의 표시소자의 단점을 해결하는 액정표시장치(liquid crystal display device), 유기전계발광표시장치(Organic Light Emitting Diode) 또는 PDP(plasma display panel)등과 같은 평판형 표시장치(flat panel display device)가 주목받고 있다. 그러나, 상기 액정표시장치는 수광소자의 특성으로 인해 시야각등에 한계가 있다.
- <16> 일반적으로 유기전계발광표시장치는 반도체층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막트랜지스터와, 제1전극, 유기막층 및 제2전극을 포함하는 유기발광다이오드로 구성된다. 이때, 상기 박막트랜지스터와 제1전극은 비아홀을 통해 연결되는데, 종래 하나의 비아홀을 통해 박막트랜지스터와 제 1전극이 접촉함으로써, 접촉저항이 큰 단점으로 인해 유기막층에서 발광이 완전히 이루어지지 않는 불량이 발생하는 문제점이 있었다.
- <17> 또한, 종래 하나의 비아홀이 제 1전극의 일측에 형성됨으로써, 제 1전극 내에서의 전류분포가 균일하지 않아 전류밀도가 높은 부위에서 유기막층의 열화가 먼저 발생함으로써 유기막층의 수명이 단축되는 문제점이 있었다.

**발명이 이루고자 하는 기술적 과제**

- <18> 따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 소스/드레인 전극과 제 1전극간의 접촉저항을 감소시켜 유기막층에서 발광이 완전히 이루어지지 않는 현상을 방지하고, 제 1전극내의 전류분포를 균일하게 하여 유기막층의 수명단축을 방지할 수 있는 유기전계발광표시장치 및 그 제조방법을 제공함에 본 발명의 목적이 있다.

**발명의 구성 및 작용**

- <19> 본 발명의 상기 목적은 기관; 상기 기관 상에 위치하는 박막트랜지스터; 상기 박막트랜지스터 상에 형성되는 평탄화막; 상기 평탄화막 상에 형성되는 다수개의 비아홀; 상기 다수개의 비아홀을 통해 박막트랜지스터와 전기적으로 연결되는 제 1 전극; 상기 평탄화막 상에 형성되며, 상기 제 1 전극의 일부분과 겹쳐지도록 형성되는 화소정의막; 상기 화소정의막 상에 위치하는 유기막층; 및 상기 유기막층 상에 위치하는 제 2 전극;을 포함하는 것을 특징으로 하는 유기전계발광표시장치에 의해 달성된다.
- <20> 또한, 본 발명의 상기 목적은 기관을 제공하고, 상기 기관 상에 박막트랜지스터를 형성하고, 상기 박막트랜지스터 상에 평탄화막을 형성하고, 상기 평탄화막을 식각하여 다수개의 비아홀을 형성하고, 상기 평탄화막 상에 제 1 전극을 형성하고, 상기 평탄화막 상에 상기 제 1 전극의 일부분과 겹쳐지도록 화소정의막을 형성하고, 상기 화소정의막 상에 유기막층을 형성하고, 상기 유기막층 상에 제 2전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법에 의해서도 달성된다.
- <21> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- <22> 도 1은 본 발명의 실시 예에 따른 유기전계발광표시장치의 평면도이다.
- <23> 도 1을 참조하면, 일방향으로 배열된 스캔 라인(125), 상기 스캔 라인(125)과 서로 절연되면서 교차하는 데이터 라인(135) 및 상기 스캔 라인(125)과 서로 절연되면서 교차하고 상기 데이터 라인(135)에는 평행한 공통 전원라인(131)이 위치한다.
- <24> 상기 스캔 라인(125), 데이터 라인(135) 및 공통 전원라인(131)으로 정의되는 단위화소영역에는 상기 스캔 라인(125)에 인가된 신호에 따라 상기 데이터 라인(135)에 인가된 데이터 신호를 스위칭하는 스위칭 박막트랜지스터(140), 상기 스위칭 박막트랜지스터(140)를 통해 인가되는 데이터 신호를 일정기간 유지하기 위한 캐패시터(145) 및 상기 스위칭 박막트랜지스터(140)를 통해 인가되는 데이터 신호에 의해 제 1전극(170)으로 전류를 흘려주는 화소구동 박막트랜지스터(150)가 위치한다.
- <25> 상기 제 1전극(170)은 제1비아홀(161)과 제2비아홀(162)을 통해 상기 화소구동 박막트랜지스터(150)의 연장된 소스/드레인 전극배선(134)에 접촉되어 상기 화소구동 박막트랜지스터(150)에 연결된다. 또한, 상기 제 1전극(170) 상에는 발광층을 포함하는 유기막층(185)이 위치하고, 상기 유기막층 상에는 제 2전극(미도시)이 위치한다. 상기 제 1전극(170), 상기 유기막층(185) 및 상기 제 2전극(미도시)은 유기전계발광다이오드를 구성한다.
- <26> 도 2 및 도 5는 도 1의 I-I'에 취해진 본 발명의 실시 예에 따른 유기전계발광표시장치의 단면도이다.
- <27> 도 2를 참조하면, 기판(100)을 제공한다. 상기 기판(100)은 절연 유리, 플라스틱 또는 도전성기판을 사용할 수 있다. 상기 기판(100) 상에 버퍼층(105)을 형성한다. 상기 버퍼층(105)은 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층일 수 있다. 또한, 상기 버퍼층(105)은 하부의 기판에서 불순물이 상부로 올라오지 못하도록 방지하는 보호막의 역할을 한다.
- <28> 이어서, 상기 버퍼층(105) 상에 반도체층(110)을 형성한다. 상기 반도체층(110)은 비정질 실리콘막을 RTA법(Rapid Thermal Annealing), SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Annealing), MIC법(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization) 또는 SLS법(Sequential Lateral Solidification) 중 어느 하나 이상을 사용하여 결정화한 다결정 실리콘막일 수 있다.
- <29> 다음, 도 3을 참조하면, 상기 반도체층(110)을 포함하는 기판(100) 전면에 게이트 절연막(115)을 형성한다. 상기 게이트 절연막(115)은 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층일 수 있다.
- <30> 이어, 상기 게이트 절연막(115) 상에 게이트 전극물질을 적층하고 이를 패터닝함으로써, 상기 반도체층(110)의 일정영역에 대응하는 게이트 전극(120)을 형성한다. 상기 게이트 전극물질은 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy)으로 이루어진 군에서 선택되는 하나인 것이 바람직하다. 더욱 바람직하게는 상기 게이트 전극물질은 몰리브덴-텅스텐 합금일 수 있다.
- <31> 이어서, 상기 기판(100) 전면에 층간 절연막(130)을 형성한다. 상기 층간 절연막(130)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층일 수 있다.
- <32> 다음, 도 4를 참조하면, 상기 게이트 절연막(115) 및 층간 절연막(130)을 식각하여 상기 반도체층(110)의 양측 단부를 노출시키는 콘택홀들을 형성한다. 이어, 상기 기판(100) 전면에 소스/드레인 전극 물질을 증착하고, 패터닝하여 소스/드레인 전극(132,133)을 형성하고, 상기 소스/드레인 전극(132,133)에 연결되며, 추후 제 1전극 에지부까지 연장되도록 소스/드레인 전극배선(134)을 형성한다. 상기 소스/드레인 전극 물질은 알루미늄(Al), 알루미늄 합금(Al alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 크롬(Cr) 등의 단일층 또는 Al/MoW, Ti/Al/Ti, Al/Ta 등의 적층물질을 사용할 수 있다.
- <33> 이때, 상기 소스/드레인 전극배선(134)은 단위화소영역의 에지부에 위치하는 것이 바람직하다. 이는 배면발광 구조의 유기전계발광표시장치일 경우에, 제 1전극 하부에 소스/드레인 전극배선(134)이 위치하여 개구율이 감소되는 것을 방지하기 위함이다.
- <34> 이어서, 도 5를 참조하면, 상기 기판(100) 전면에 평탄화막(160)을 형성한다. 상기 평탄화막(160)은 아크릴, 폴리이미드, 폴리아미드 및 BCB(benzocyclobutene)로 이루어진 군에서 선택된 하나를 사용하는 것이 바람직하다. 이어, 상기 평탄화막(160)을 식각하여 상기 드레인 전극(133) 및 소스/드레인 전극배선(134)을 노출시키는 제1비아홀(161) 및 제2비아홀(162)을 형성한다.
- <35> 이어서, 상기 기판(100) 전면에 제 1전극 물질을 증착하고 이를 패터닝함으로써, 제 1전극(170)을 형성한다. 상기 제 1전극 물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)일 수 있으며, 반사막을 더 포함할 수

있다.

- <36> 본 실시 예에서는 2개의 비아홀을 형성하고 있지만, 이와는 달리, 다수개의 비아홀을 형성할 수 있다. 이는 종래 하나의 비아홀을 통해 박막트랜지스터와 제 1전극이 접촉함으로써, 접촉저항이 큰 단점으로 인해 유기막층에서 발광이 완전히 이루어지지 않는 현상을 방지하고자 다수개의 비아홀을 형성하여 접촉저항을 감소시키기 위함이다.
- <37> 또한, 상기 비아홀들의 위치는 서로 이격되게 형성되며, 추후 형성되는 제 1전극의 에지부에 위치하는 것이 바람직하다. 이는 종래 하나의 비아홀이 제 1전극의 일측에 형성됨으로써, 제 1전극 내에서의 전류분포가 균일하지 않아 전류밀도가 높은 부위에서 유기막층의 열화가 먼저 발생함으로써 유기막층의 수명을 단축시키는 문제점을 방지하고자함이다.
- <38> 도 6a 및 6b은 본 발명의 실시 예에 따른 유기전계발광표시장치의 제 1전극과 비아홀들의 위치를 나타낸 도면이다.
- <39> 예를 들어, 도 6a에 도시된 바와 같이, 본 발명에서 2개의 비아홀을 구비할 경우에는 제 1전극(170) 에지부의 모서리부에 첫번째 비아홀(a)이 형성되면, 두번째 비아홀(b)은 제 1전극(170) 에지부의 타측 모서리부에 형성한다. 이와는 달리, 도 6b에 도시된 바와 같이, 4개의 비아홀을 구비할 경우에는 제 1전극(170) 에지부의 모서리부에 첫번째 비아홀(a)이 형성되면, 두번째 비아홀(b)은 제 1전극(170) 에지부의 타측 모서리부에 형성한다. 이어 세번째 및 네번째 비아홀들(c,d)은 비아홀들이 형성되지 않은 타측 모서리부에 각각 형성하는 것이 바람직하다.
- <40> 즉, 상기 제 1전극(170) 내에 인가되는 전류의 분포를 균일하게끔 하는 위치, 즉 바람직하게는 제 1전극(170)의 에지부에 비아홀들을 형성함으로써, 종래 하나의 비아홀이 제 1전극에 형성됨으로써, 제 1전극 내에서의 전류분포가 균일하지 않아 전류밀도가 높은 부위에서 유기막층의 열화가 먼저 발생함으로써 유기막층의 수명을 단축시키는 문제점을 방지할 수 있는 이점이 있다.
- <41> 이어서, 도 7을 참조하면, 상기 기관(100) 전면에 화소정의막(180)을 형성한다. 상기 화소정의막(180)은 유기막 또는 무기막으로 형성할 수 있으나, 바람직하게는 유기막으로 형성한다. 더욱 바람직하게는 상기 화소정의막(180)은 BCB(benzocyclobutene), 아크릴계 고분자 및 폴리이미드로 이루어진 군에서 선택되는 하나이다. 상기 화소정의막(180)은 유동성(flowability)이 뛰어나므로 상기 기관 전체에 평탄하게 형성할 수 있다. 이어, 상기 화소정의막(180)을 식각하여 상기 제 1 전극(170)을 노출시키는 개구부(181)를 형성한다.
- <42> 이어서, 상기 노출된 제 1전극(170) 및 화소정의막(180) 상에 유기막층(185)을 형성한다. 상기 유기막층(185)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층, 전자주입층을 더 포함할 수 있다.
- <43> 다음에, 상기 기관(100) 전면에 제 2전극(190)을 형성하여, 본 발명의 실시 예에 따른 유기전계발광표시장치를 완성한다.
- <44> 상기와 같이, 본 발명의 유기전계발광표시장치는 다수개의 비아홀을 구비함으로써, 소스/드레인 전극과 제 1전극간의 접촉저항을 감소시켜 유기막층에서 발광이 완전히 이루어지지 않는 현상을 방지하고, 제 1전극내의 전류분포를 균일하게 하여 유기막층의 수명단축을 방지할 수 있는 이점이 있다.
- <45> 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

**발명의 효과**

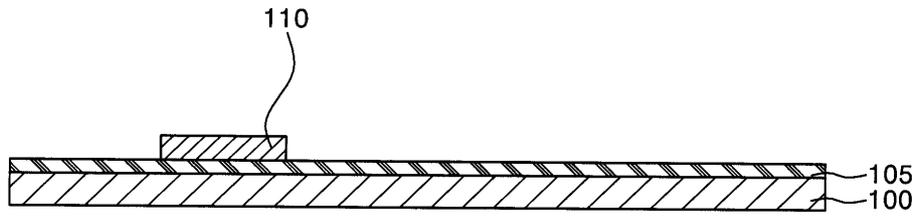
- <46> 따라서, 본 발명의 유기전계발광표시장치 및 그 제조방법은 소스/드레인 전극과 제 1전극간의 접촉저항을 감소시켜 유기막층에서 발광이 완전히 이루어지지 않는 현상을 방지하고, 제 1전극내의 전류분포를 균일하게 하여 유기막층의 수명단축을 방지할 수 있는 효과가 있다.

**도면의 간단한 설명**

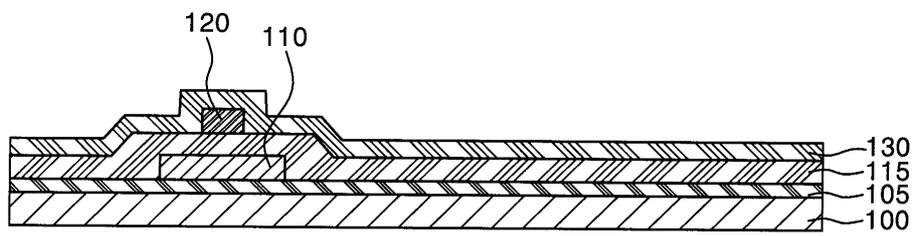
- <1> 도 1은 본 발명의 실시 예에 따른 유기전계발광표시장치의 평면도.
- <2> 도 2 내지 도 5는 도 1의 I-I'에 취해진 본 발명의 실시 예에 따른 유기전계발광표시장치의 단면도.



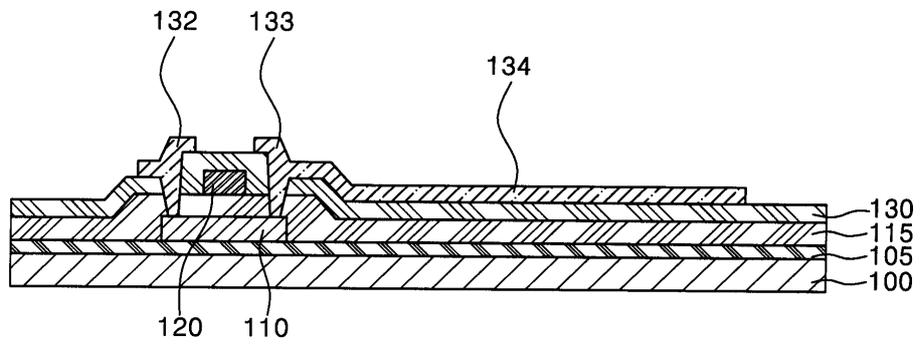
도면2



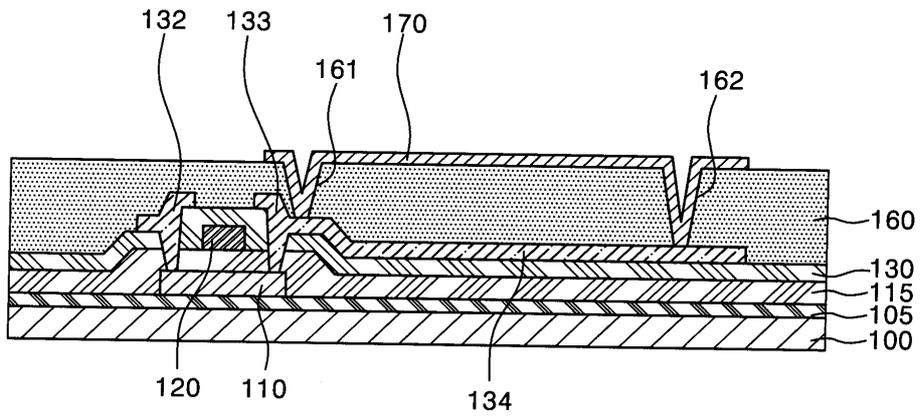
도면3



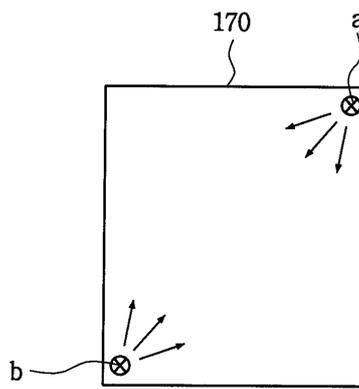
도면4



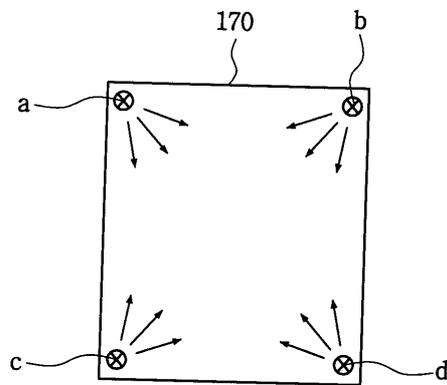
도면5



도면6a



도면6b





专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR100782472B1</a>	公开(公告)日	2007-12-05
申请号	KR1020060082372	申请日	2006-08-29
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM JONG YUN 김중윤 KIM SUNG CHUL 김성철		
发明人	김중윤 김성철		
IPC分类号	H05B33/02 H05B33/26		
CPC分类号	H01L27/3248 H01L27/3258 H01L51/56		
代理人(译)	PARK, 常树		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种有机发光二极管显示装置及其制造方法，以通过在第一电极内均匀分布电流来防止有机薄膜层的寿命缩短。有机发光二极管显示装置包括基板（100），薄膜晶体管，平坦化膜（160），通孔（161,162），第一电极（170），像素限定膜（180），有机薄膜层（185）和第二电极（190）。薄膜晶体管位于基板上。在平坦化膜上形成多个通孔。第一电极通过多个通孔电连接到薄膜晶体管。像素限定膜形成在平坦化膜上并与第一电极的一部分重叠。有机薄膜层位于像素限定膜上。第二电极位于有机薄膜层上。多个通孔彼此分开。多个通孔位于第一电极的边缘部分上。

