

- 1 -

급받는 적어도 하나의 전류 싱크부와, 상기 소정의 전류에 대응하여 생성되는 보상전압과 상기 제 2데이터를 이용하여 상기 데이터신호의 전압값을 제어하기 위한 적어도 하나의 전압 제어기와, 상기 수평기간 중 상기 제 1기간을 제외한 제 2기간 동안 상기 전압값이 제어된 상기 데이터신호를 상기 화소로 공급하기 위한 적어도 하나의 스위칭부를 구비한다.

대표도

도 9

특허청구의 범위

청구항 1.

외부로부터 공급되는 k (k 는 자연수)비트의 제 1데이터를 이용하여 p (p 는 자연수)비트의 제 2데이터를 생성하는 적어도 하나의 디코더와,

상기 제 1데이터들 및 제 2데이터들을 저장하기 위한 래치부와,

복수의 계조전압들을 생성하기 위한 감마 전압부와,

상기 제 1데이터를 이용하여 상기 계조전압들 중 어느 하나의 계조전압을 데이터신호로 선택하기 위한 적어도 하나의 디지털-아날로그 변환기와,

수평기간의 제 1기간 동안 화소로부터 소정의 전류를 공급받는 적어도 하나의 전류 싱크부와,

상기 소정의 전류에 대응하여 생성되는 보상전압과 상기 제 2데이터를 이용하여 상기 데이터신호의 전압값을 제어하기 위한 적어도 하나의 전압 제어기와,

상기 수평기간 중 상기 제 1기간을 제외한 제 2기간 동안 상기 전압값이 제어된 상기 데이터신호를 상기 화소로 공급하기 위한 적어도 하나의 스위칭부를 구비하는 데이터 구동회로.

청구항 2.

제 1항에 있어서,

상기 디지털-아날로그 변환기와 상기 스위칭부 사이에 설치되어 상기 제 1기간 중 일부기간 동안 턴-온되어 상기 데이터신호를 상기 스위칭부로 전달하기 위한 제 1트랜지스터와,

상기 제 1트랜지스터와 상기 스위칭부 사이에 접속되는 제 1버퍼를 더 구비하는 데이터 구동회로.

청구항 3.

제 2항에 있어서,

상기 디코더는 상기 제 1데이터를 이진수의 가중치(Binary Weighted)를 갖도록 변경하여 상기 제 2데이터를 생성하는 데이터 구동회로.

청구항 4.

제 3항에 있어서,

상기 감마 전압부는

기준전원과 제 1전원의 전압값을 분압하여 상기 계조전압들을 생성하기 위한 복수의 분압저항들과,

상기 제 1전원을 상기 전압 제어기로 공급하기 위한 제 2버퍼를 구비하는 데이터 구동회로.

청구항 5.

제 4항에 있어서,

상기 전압 제어기는

상기 제 1트랜지스터와 상기 제 1버퍼 사이의 라인에 일측단자가 접속되는 p개의 커패시터들과,

상기 커패시터들 각각의 다른측단자와 상기 제 2버퍼 사이에 접속되는 제 2트랜지스터들과,

상기 커패시터들 각각의 다른측단자와 상기 전류 싱크부 사이에 접속되며 상기 제 2트랜지스터들과 다른 도전형으로 설정되는 제 3트랜지스터들과,

상기 제 2트랜지스터들 각각과 소정 전압원 사이에 접속되며 상기 제 3트랜지스터들과 동일한 도전형으로 설정되는 제 4트랜지스터들과,

상기 제 2데이터를 상기 제 2트랜지스터들로 공급하며 상기 제 2트랜지스터들과 동일한 도전형으로 설정되는 제 5트랜지스터들을 구비하는 데이터 구동회로.

청구항 6.

제 5항에 있어서,

상기 제 4트랜지스터들은 상기 제 2트랜지스터들이 턴-온될 수 있도록 상기 제 1기간 동안 턴-온되어 상기 소정 전압원의 전압을 상기 제 2트랜지스터들의 게이트전극으로 공급하는 데이터 구동회로.

청구항 7.

제 6항에 있어서,

상기 소정 전압원은 기전 전압원으로 설정되는 데이터 구동회로.

청구항 8.

제 6항에 있어서,

상기 제 1기간 동안 상기 제 2트랜지스터가 턴-온되어 상기 커패시터들의 다른측단자가 상기 제 1전원의 전압으로 설정되는 데이터 구동회로.

청구항 9.

제 5항에 있어서,

상기 제 5트랜지스터들은 상기 제 2데이터의 비트수에 대응하여 p개 설치되며, 상기 제 5트랜지스터들 각각은 제 2데이터의 서로 다른 비트를 상기 제 3트랜지스터들로 공급하는 데이터 구동회로.

청구항 10.

제 9항에 있어서,

상기 제 3트랜지스터들 중 "1"의 비트를 공급받는 제 3트랜지스터가 턴-온되어 상기 보상전압을 상기 커패시터들의 다른 측단자로 공급하는 데이터 구동회로.

청구항 11.

제 5항에 있어서,

상기 커패시터들의 용량은 $2^0, 2^1, 2^2, 2^3, 2^4 \dots$ 과 같이 이진수 가중치 형태로 설정되는 데이터 구동회로.

청구항 12.

제 1항에 있어서,

상기 전류 싱크부는

상기 소정의 전류를 공급받기 위한 전류원과,

상기 화소와 접속된 데이터선과 상기 전압 제어기 사이에 설치되어 상기 제 1기간 동안 턴-온되는 제 1트랜지스터와,

상기 데이터선과 상기 전류원 사이에 설치되어 상기 제 1기간 동안 턴-온되는 제 2트랜지스터와,

상기 보상전압을 충전하기 위한 커패시터와,

상기 제 1트랜지스터와 상기 전압 제어기 사이에 설치되어 상기 보상전압을 상기 전압 제어기로 전달하기 위한 버퍼를 구비하는 데이터 구동회로.

청구항 13.

제 12항에 있어서,

상기 소정의 전류의 전류값은 상기 화소가 최대 휘도로 발광될 때 흐르는 전류와 동일하게 설정되는 데이터 구동회로.

청구항 14.

제 1항에 있어서,

상기 스위칭부는 상기 제 2기간 동안 턴-온되는 적어도 하나의 트랜지스터를 구비하는 데이터 구동회로.

청구항 15.

제 14항에 있어서,

상기 스위칭부는 2개의 트랜지스터를 구비하며 상기 2개의 트랜지스터는 트랜스미션 게이트 형태로 접속되는 데이터 구동회로.

청구항 16.

제 1항에 있어서,

적어도 하나의 쉬프트 레지스터를 포함하며, 순차적으로 샘플링 펄스를 생성하여 상기 래치부로 공급하기 위한 쉬프트 레지스터부를 더 구비하는 데이터 구동회로.

청구항 17.

제 16항에 있어서,

상기 래치부는

상기 샘플링 펄스에 응답하여 상기 제 1데이터 및 제 2데이터를 공급받는 적어도 하나의 샘플링 래치를 포함하는 샘플링 래치부와,

상기 샘플링 래치부에 저장된 제 1데이터 및 제 2데이터를 공급받고, 자신에게 저장된 제 1데이터를 상기 디지털-아날로그 변환기로 공급하고 제 2데이터를 전압 제어기로 공급하는 적어도 하나의 홀딩 래치를 포함하는 홀딩 래치부를 구비하는 데이터 구동회로.

청구항 18.

제 17항에 있어서,

상기 샘플링 래치 및 홀딩 래치들 각각은 $k+p$ 비트의 크기로 설정되는 데이터 구동회로.

청구항 19.

제 17항에 있어서,

상기 홀딩 래치에 저장된 상기 제 1데이터 및 제 2데이터의 전압레벨을 상승시켜 상기 디지털 아날로그 변환기 및 디코더로 공급하기 위한 레벨 쉬프터부를 더 구비하는 데이터 구동회로.

청구항 20.

주사선들, 데이터선들 및 발광 제어선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와;

상기 주사선들로 주사신호를 순차적으로 공급하며, 상기 발광 제어선들로 발광 제어신호를 순차적으로 공급하기 위한 주사 구동부와;

상기 데이터선들로 데이터신호를 공급하기 위한 적어도 하나의 데이터 구동회로를 가지는 데이터 구동부를 구비하며;

상기 데이터 구동회로 각각은

외부로부터 공급되는 k (k 는 자연수)비트의 제 1데이터를 이용하여 p (p 는 자연수)비트의 제 2데이터를 생성하는 적어도 하나의 디코더와;

상기 제 1데이터들 및 제 2데이터들을 저장하기 위한 래치부와;

복수의 계조전압들을 생성하기 위한 감마 전압부와;

상기 제 1데이터를 이용하여 상기 계조전압들 중 어느 하나의 계조전압을 상기 데이터신호로 선택하기 위한 적어도 하나의 디지털-아날로그 변환기와;

수평기간의 제 1기간 동안 상기 화소로부터 소정의 전류를 공급받는 적어도 하나의 전류 싱크부와;

상기 소정의 전류에 대응하여 생성되는 보상전압과 상기 제 2데이터를 이용하여 상기 데이터신호의 전압값을 제어하기 위한 적어도 하나의 전압 제어기와;

상기 수평기간 중 상기 제 1기간을 제외한 제 2기간 동안 상기 전압값이 제어된 상기 데이터신호를 상기 화소로 공급하기 위한 적어도 하나의 스위칭부를 구비하는 유기 발광 표시장치.

청구항 21.

제 20항에 있어서,

상기 디지털-아날로그 변환기와 상기 스위칭부 사이에 설치되어 상기 제 1기간 중 일부기간 동안 턴-온되어 상기 데이터신호를 상기 스위칭부로 전달하기 위한 제 1트랜지스터와,

상기 제 1트랜지스터와 상기 스위칭부 사이에 접속되는 제 1버퍼를 더 구비하는 유기 발광 표시장치.

청구항 22.

제 21항에 있어서,

상기 디코더는 상기 제 1데이터를 이진수의 가중치(Binary Weighted)를 갖도록 변경하여 상기 제 2데이터를 생성하는 유기 발광 표시장치.

청구항 23.

제 22항에 있어서,

상기 감마 전압부는

기준전원과 제 1전원의 전압값을 분압하여 상기 계조전압들을 생성하기 위한 복수의 분압저항들과,

상기 제 1전원을 상기 전압 제어기로 공급하기 위한 제 2버퍼를 구비하는 유기 발광 표시장치.

청구항 24.

제 23항에 있어서,

상기 전압 제어기는

상기 제 1트랜지스터와 상기 제 1버퍼 사이의 라인에 일측단자가 접속되는 p 개의 커패시터들과,

상기 커패시터들 각각의 다른측단자와 상기 제 2버퍼 사이에 접속되는 제 2트랜지스터들과,

상기 커패시터들 각각의 다른측단자와 상기 전류 싱크부 사이에 접속되며 상기 제 2트랜지스터들과 다른 도전형으로 설정되는 제 3트랜지스터들과,

상기 제 2트랜지스터들 각각과 소정 전압원 사이에 접속되며 상기 제 3트랜지스터들과 동일한 도전형으로 설정되는 제 4트랜지스터들과,

상기 제 2데이터를 상기 제 2트랜지스터들로 공급하며 상기 제 2트랜지스터들과 동일한 도전형으로 설정되는 제 5트랜지스터들을 구비하는 유기 발광 표시장치.

청구항 25.

제 24항에 있어서,

상기 제 4트랜지스터들은 상기 제 2트랜지스터들이 턴-온될 수 있도록 상기 제 1기간 동안 턴-온되어 상기 소정 전압원의 전압을 상기 제 2트랜지스터들의 게이트전극으로 공급하는 유기 발광 표시장치.

청구항 26.

제 25항에 있어서,

상기 제 1기간 동안 상기 제 2트랜지스터가 턴-온되어 상기 커패시터들의 다른측단자가 상기 제 1전원의 전압으로 설정되는 유기 발광 표시장치.

청구항 27.

제 24항에 있어서,

상기 제 5트랜지스터들은 상기 제 2데이터의 비트수에 대응하여 p 개 설치되며, 상기 제 5트랜지스터들 각각은 제 2데이터의 서로 다른 비트를 상기 제 3트랜지스터들로 공급하는 유기 발광 표시장치.

청구항 28.

제 27항에 있어서,

상기 제 3트랜지스터들 중 "1"의 비트를 공급받는 제 3트랜지스터가 턴-온되어 상기 보상전압을 상기 커패시터들의 다른측단자로 공급하는 유기 발광 표시장치.

청구항 29.

제 24항에 있어서,

상기 커패시터들의 용량은 $2^0, 2^1, 2^2, 2^3, 2^4 \dots$ 과 같이 이진수 가중치 형태로 설정되는 유기 발광 표시장치.

청구항 30.

제 20항에 있어서,

적어도 하나의 쉬프트 레지스터를 포함하며, 순차적으로 샘플링 펄스를 생성하여 상기 래치부로 공급하기 위한 쉬프트 레지스터부를 더 구비하는 유기 발광 표시장치.

청구항 31.

제 30항에 있어서,

상기 래치부는

상기 샘플링 펄스에 응답하여 상기 제 1데이터 및 제 2데이터를 공급받는 적어도 하나의 샘플링 래치를 포함하는 샘플링 래치부와,

상기 샘플링 래치부에 저장된 제 1데이터 및 제 2데이터를 공급받고, 자신에게 저장된 제 1데이터를 상기 디지털-아날로그 변환기로 공급하고 제 2데이터를 전압 제어기로 공급하는 적어도 하나의 홀딩 래치를 포함하는 홀딩 래치부를 구비하는 유기 발광 표시장치.

청구항 32.

제 31항에 있어서,

상기 샘플링 래치 및 홀딩 래치들 각각은 $k+p$ 비트의 크기로 설정되는 유기 발광 표시장치.

청구항 33.

제 20항에 있어서,

상기 화소들 각각은

제 1전원과,

상기 제 1전원으로부터 전류를 공급받는 유기 발광 다이오드와,

상기 데이터선과 접속되며 현재 주사선으로 주사신호가 공급될 때 턴-온되는 제 1트랜지스터 및 제 2트랜지스터와,

상기 제 1트랜지스터의 제 2전극과 기준전원 사이에 접속되며 이전 주사선으로 주사신호가 공급될 때 턴-온되는 제 3트랜지스터와,

상기 유기 발광 다이오드로 공급되는 전류량을 제어하기 위한 제 4트랜지스터와,

상기 제 4트랜지스터의 게이트전극과 제 2전극 사이에 접속되며 상기 이전 주사선으로 주사신호가 공급될 때 턴-온되어 제 4트랜지스터를 다이오드 형태로 접속시키기 위한 제 5트랜지스터를 구비하는 유기 발광 표시장치.

청구항 34.

제 33항에 있어서,

상기 화소들 각각은 상기 제 1트랜지스터의 제 2전극과 상기 제 1전원 사이에 접속되는 제 1커패시터와,

상기 제 1트랜지스터의 제 2전극과 상기 제 4트랜지스터의 게이트전극 사이에 접속되는 제 2커패시터를 구비하는 유기 발광 표시장치.

청구항 35.

제 33항에 있어서,

상기 화소들 각각은 상기 제 4트랜지스터의 게이트전극과 상기 제 1전원 사이에 접속되는 제 1커패시터와,

상기 제 1트랜지스터의 제 2전극과 상기 제 4트랜지스터의 게이트전극 사이에 접속되는 제 2커패시터를 구비하는 유기 발광 표시장치.

청구항 36.

제 33항에 있어서,

상기 제 4트랜지스터의 제 2전극과 상기 유기 발광 다이오드 사이에 접속되며 상기 발광 제어신호가 공급될 때 턴-오프되고, 그 외의 기간 동안 턴-온되는 제 6트랜지스터를 더 구비하는 유기 발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 구동회로와 이를 이용한 유기 발광 표시장치에 관한 것으로, 특히 균일한 휘도의 영상을 표시할 수 있도록 한 데이터 구동회로와 이를 이용한 유기 발광 표시장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기 발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판 표시장치 중 유기 발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode)를 이용하여 영상을 표시한다. 이러한, 유기 발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

도 1은 종래의 유기 발광 표시장치를 나타내는 도면이다.

도 1을 참조하면, 종래의 유기 발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(40)을 포함하는 화소부(30)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(20)와, 주사 구동부(10) 및 데이터 구동부(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.

타이밍 제어부(50)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(50)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(20)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(10)로 공급된다. 그리고, 타이밍 제어부(50)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(20)로 공급한다.

주사 구동부(10)는 타이밍 제어부(50)로부터 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동부(10)는 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.

데이터 구동부(20)는 타이밍 제어부(50)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동부(20)는 데이터신호들을 생성하고, 생성된 데이터신호들을 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급한다.

화소부(30)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받아 각각의 화소들(40)로 공급한다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(40) 각각은 데이터신호에 대응하여 제 1전원(ELVDD)으로부터 유기 발광 다이오드(도시되지 않음)를 경유하여 제 2전원(ELVSS)으로 흐르는 전류를 제어함으로써 데이터신호에 대응되는 빛을 생성한다.

즉, 종래의 유기 발광 표시장치에서 화소들(40) 각각은 데이터신호에 대응되어 소정 휘도의 빛을 생성한다. 하지만, 종래에는 화소들(40) 각각에 포함되는 트랜지스터들의 문턱전압 불균일 및 전자 이동도(electron mobility)의 편차에 의하여 원하는 휘도의 영상을 표시하지 못하는 문제점이 있다. 실제로, 화소들(40) 각각에 포함되는 트랜지스터들의 문턱전압은 화소들(40)에 포함되는 화소회로의 구조를 제어함으로써 어느 정도 보상할 수 있으나, 전자 이동도의 편차는 보상되지 못한다. 따라서, 전자 이동도의 편차와 무관하게 균일한 화상을 표시할 수 있는 유기 발광 표시장치가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 균일한 휘도의 영상을 표시할 수 있도록 한 데이터 구동회로와 이를 이용한 유기 발광 표시장치를 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 제 1측면은 외부로부터 공급되는 k (k 는 자연수)비트의 제 1데이터를 이용하여 p (p 는 자연수)비트의 제 2데이터를 생성하는 적어도 하나의 디코더와, 상기 제 1데이터들 및 제 2데이터들을 저장하기 위한 래치부와, 복수의 게조전압들을 생성하기 위한 감마 전압부와, 상기 제 1데이터를 이용하여 상기 게조전압들 중 어느 하나의 게조전압을 데이터신호로 선택하기 위한 적어도 하나의 디지털-아날로그 변환기와, 수평기간의 제 1기간 동안 화소로부터 소정의 전류를 공급받는 적어도 하나의 전류 싱크부와, 상기 소정의 전류에 대응하여 생성되는 보상전압과 상기 제 2데이터를 이용하여 상기 데이터신호의 전압값을 제어하기 위한 적어도 하나의 전압 제어기와, 상기 수평기간 중 상기 제 1기간을 제외한 제 2기간 동안 상기 전압값이 제어된 상기 데이터신호를 상기 화소로 공급하기 위한 적어도 하나의 스위칭부를 구비하는 데이터 구동회로를 제공한다.

바람직하게, 상기 디지털-아날로그 변환기와 상기 스위칭부 사이에 설치되어 상기 제 1기간 중 일부기간 동안 턴-온되어 상기 데이터신호를 상기 스위칭부로 전달하기 위한 제 1트랜지스터와, 상기 제 1트랜지스터와 상기 스위칭부 사이에 접속되는 제 1버퍼를 더 구비한다. 상기 디코더는 상기 제 1데이터를 이진수의 가중치(Binary Weighted)를 갖도록 변경하여 상기 제 2데이터를 생성한다. 상기 감마 전압부는 기준전원과 제 1전원의 전압값을 분압하여 상기 게조전압들을 생성하기 위한 복수의 분압저항들과, 상기 제 1전원을 상기 전압 제어기로 공급하기 위한 제 2버퍼를 구비한다. 상기 전압 제어기는 상기 제 1트랜지스터와 상기 제 1버퍼 사이의 라인에 일측단자가 접속되는 p 개의 커패시터들과, 상기 커패시터들 각각의 다른측단자와 상기 제 2버퍼 사이에 접속되는 제 2트랜지스터들과, 상기 커패시터들 각각의 다른측단자와 상기 전류 싱크부 사이에 접속되며 상기 제 2트랜지스터들과 다른 도전형으로 설정되는 제 3트랜지스터들과, 상기 제 2트랜지스터들 각

각과 소정 전압원 사이에 접속되며 상기 제 3트랜지스터들과 동일한 도전형으로 설정되는 제 4트랜지스터들과, 상기 제 2데이터를 상기 제 2트랜지스터들로 공급하며 상기 제 2트랜지스터들과 동일한 도전형으로 설정되는 제 5트랜지스터들을 구비한다.

본 발명의 제 2측면은 주사선들, 데이터선들 및 발광 제어선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와; 상기 주사선들로 주사신호를 순차적으로 공급하며, 상기 발광 제어선들로 발광 제어신호를 순차적으로 공급하기 위한 주사 구동부와; 상기 데이터선들로 데이터신호를 공급하기 위한 적어도 하나의 데이터 구동회로를 가지는 데이터 구동부를 구비하며; 상기 데이터 구동회로 각각은 외부로부터 공급되는 k (k 는 자연수)비트의 제 1데이터를 이용하여 p (p 는 자연수)비트의 제 2데이터를 생성하는 적어도 하나의 디코더와; 상기 제 1데이터들 및 제 2데이터들을 저장하기 위한 래치부와; 복수의 계조전압들을 생성하기 위한 감마 전압부와; 상기 제 1데이터를 이용하여 상기 계조전압들 중 어느 하나의 계조전압을 상기 데이터신호로 선택하기 위한 적어도 하나의 디지털-아날로그 변환기와; 수평기간의 제 1기간 동안 상기 화소로부터 소정의 전류를 공급받는 적어도 하나의 전류 싱크부와; 상기 소정의 전류에 대응하여 생성되는 보상전압과 상기 제 2데이터를 이용하여 상기 데이터신호의 전압값을 제어하기 위한 적어도 하나의 전압 제어기와; 상기 수평기간 중 상기 제 1기간을 제외한 제 2기간 동안 상기 전압값이 제어된 상기 데이터신호를 상기 화소로 공급하기 위한 적어도 하나의 스위칭부를 구비하는 유기 발광 표시장치를 제공한다.

바람직하게, 상기 디지털-아날로그 변환기와 상기 스위칭부 사이에 설치되어 상기 제 1기간 중 일부기간 동안 턴-온되어 상기 데이터신호를 상기 스위칭부로 전달하기 위한 제 1트랜지스터와, 상기 제 1트랜지스터와 상기 스위칭부 사이에 접속되는 제 1버퍼를 더 구비한다. 상기 디코더는 상기 제 1데이터를 이진수의 가중치(Binary Weighted)를 갖도록 변경하여 상기 제 2데이터를 생성한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 2 내지 도 12를 참조하여 상세히 설명하면 다음과 같다.

도 2는 본 발명의 실시예에 의한 유기 발광 표시장치를 나타내는 도면이다.

도 2를 참조하면, 본 발명의 실시예에 의한 유기 발광 표시장치는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)과 접속되는 복수의 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn) 및 발광 제어선들(E1 내지 En)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 구비한다.

화소부(130)는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)에 의하여 구획된 영역에 형성되는 화소들(140)을 구비한다. 화소들(140)은 외부로부터 제 1전원(ELVDD), 제 2전원(ELVSS) 및 기준전원(Vref)을 공급받는다. 기준전원(Vref)을 공급받은 화소들(140) 각각은 기준전원(Vref)과 제 1전원(ELVDD)의 차값을 이용하여 제 1전원(ELVDD)의 전압강하를 보상한다. 그리고, 화소들(140) 각각은 데이터신호에 대응하여 제 1전원(ELVDD)으로부터 유기 발광 다이오드(미도시)를 경유하여 제 2전원(ELVSS)으로 소정의 전류를 공급한다. 이를 위하여, 화소들(140) 각각은 도 3 또는 도 5와 같이 구성될 수 있다. 도 3 또는 도 5에 도시된 화소(140)의 상세한 구조는 후술하기로 한다.

타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동부(120)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 외부로부터 공급되는 제 1데이터(Data1)를 데이터 구동부(120)로 공급한다.

주사 구동부(110)는 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동부(110)는 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다. 그리고, 주사 구동제어신호(SCS)를 공급받은 주사 구동부(110)는 발광 제어선들(E1 내지 En)로 발광 제어신호를 순차적으로 공급한다. 여기서, 발광 제어신호는 2개의 주사신호와 중첩되도록 공급된다. 이를 위하여, 발광 제어신호의 폭은 주사신호의 폭과 같거나 넓게 설정된다.

데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동부(120)는 데이터신호를 생성하고, 생성된 데이터신호를 데이터선들(D1 내지 Dm)로 공급한다. 여기서, 데이터 구동부(120)는 1수평기간(1H)중 제 1기간 동안 데이터선들(D1 내지 Dm)로 소정의 전류를 공급하고, 1수평기간(1H)중 제 1기간을 제외한 제 2기간 동안 데이터선들(D1 내지 Dm)로 소정의 전압을 공급한다. 이를 위해, 데이터 구동부(120)는 적어도 하나의 데이터 구동회로(200)를 구비한다. 이후, 설명의 편의성을 위하여 제 2기간 동안 데이터선들(D1 내지 Dm)로 공급되는 전압을 데이터신호라 하기로 한다.

도 3은 도 2에 도시된 화소의 일례를 나타내는 도면이다. 도 3에서는 설명의 편의성을 위하여 제 m데이터선(Dm), 제 n-1 및 제 n주사선(Sn-1, Sn) 및 제 n발광 제어선(En)과 접속된 화소를 도시하기로 한다.

도 3을 참조하면, 본 발명의 화소(140)는 유기 발광 다이오드(OLED), 유기 발광 다이오드(OLED)로 전류를 공급하기 위한 화소회로(142)를 구비한다.

유기 발광 다이오드(OLED)는 화소회로(142)로부터 공급되는 전류에 대응하여 소정 색의 빛을 생성한다.

화소회로(142)는 제 n-1주사선(Sn-1)(이전 주사선)으로 주사신호가 공급될 때 제 1전원(ELVDD)의 전압강하와 제 4트랜지스터(M4)의 문턱전압을 보상하고, 제 n주사선(Sn)(현재 주사선)으로 주사신호가 공급될 때 데이터신호에 대응되는 전압을 충전한다. 이를 위해, 화소회로(142)는 제 1 내지 제 6트랜지스터(M1 내지 M6)와, 제 1커패시터(C1) 및 제 2커패시터(C2)를 구비한다.

제 1트랜지스터(M1)의 제 1전극은 데이터선(Dm)에 접속되고, 제 2전극은 제 1노드(N1)에 접속된다. 그리고, 제 1트랜지스터(M1)의 게이트전극은 제 n주사선(Sn)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 제 n주사선(Sn)으로 주사신호가 공급될 때 턴-온되어 데이터선(Dm)과 제 1노드(N1)를 전기적으로 접속시킨다.

제 2트랜지스터(M2)의 제 1전극은 데이터선(Dm)에 접속되고, 제 2전극은 제 4트랜지스터(M4)의 제 2전극에 접속된다. 그리고, 제 2트랜지스터(M2)의 게이트전극은 제 n주사선(Sn)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 n주사선(Sn)으로 주사신호가 공급될 때 턴-온되어 데이터선(Dm)과 제 4트랜지스터(M4)의 제 2전극을 전기적으로 접속시킨다.

제 3트랜지스터(M3)의 제 1전극은 기준전원(Vref)에 접속되고, 제 2전극은 제 1노드(N1)에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제 n-1주사선(Sn-1)에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제 n-1주사선(Sn-1)으로 주사신호가 공급될 때 턴-온되어 기준전원(Vref)과 제 1노드(N1)를 전기적으로 접속시킨다.

제 4트랜지스터(M4)의 제 1전극은 제 1전원(ELVDD)에 접속되고, 제 2전극은 제 6트랜지스터(M6)의 제 1전극에 접속된다. 그리고, 제 4트랜지스터(M4)의 게이트전극은 제 2노드(N2)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 제 2노드(N2)에 인가되는 전압, 즉 제 1커패시터(C1) 및 제 2커패시터(C2)에 충전된 전압에 대응되는 전류를 제 6트랜지스터(M6)의 제 1전극으로 공급한다.

제 5트랜지스터(M5)의 제 2전극은 제 2노드(N2)에 접속되고, 제 1전극은 제 4트랜지스터(M4)의 제 2전극에 접속된다. 그리고, 제 5트랜지스터(M5)의 게이트전극은 제 n-1주사선(Sn-1)에 접속된다. 이와 같은 제 5트랜지스터(M5)는 제 n-1주사선(Sn-1)으로 주사신호가 공급될 때 턴-온되어 제 4트랜지스터(M4)를 다이오드 형태로 접속시킨다.

제 6트랜지스터(M6)의 제 1전극은 제 4트랜지스터(M4)의 제 2전극에 접속되고, 제 2전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 그리고, 제 6트랜지스터(M6)의 게이트전극은 제 n발광 제어선(En)에 접속된다. 이와 같은 제 6트랜지스터(M6)는 제 n발광 제어선(En)으로 발광 제어신호가 공급될 때 턴-오프되고, 발광 제어신호가 공급되지 않을 때 턴-온된다. 여기서, 제 n발광 제어선(En)으로 공급되는 발광 제어신호는 제 n-1주사선(Sn-1) 및 제 n주사선(Sn)으로 공급되는 주사신호와 중첩되게 공급된다. 따라서, 제 6트랜지스터(M6)는 제 n-1주사선(Sn-1) 및 제 n주사선(Sn)으로 주사신호가 공급되어 제 1커패시터(C1) 및 제 2커패시터(C2)에 소정의 전압이 충전될 때 턴-오프되고, 그 외의 경우에 턴-온되어 제 4트랜지스터(M4)와 유기 발광 다이오드(OLED)를 전기적으로 접속시킨다. 한편, 도 3에서는 설명의 편의성을 위하여 트랜지스터들(M1 내지 M6)을 피모스(PMOS) 타입으로 도시하였지만, 본 발명이 이에 한정되는 것은 아니다.

그리고, 도 3에 도시된 화소에서 기준전원(Vref)은 유기 발광 다이오드(OLED)로 전류를 공급하지 않는다. 즉, 기준전원(Vref)은 화소들(140)로 전류를 공급하지 않기 때문에 전압강하가 발생되지 않고, 이에 따라 화소들(140)의 위치와 무관하게 동일한 전압값을 유지할 수 있다. 여기서, 기준전원(Vref)의 전압값은 제 1전원(ELVDD)과 동일하게 설정되거나, 상이하게 설정될 수 있다.

도 4는 도 3에 도시된 화소의 구동방법을 나타내는 파형도이다. 도 4에서 1수평기간(1H)은 제 1기간 및 제 2기간으로 나누어 구동된다. 제 1기간 동안 데이터선들(D1 내지 Dm)에는 소정의 전류(PC : Predetermined Current)가 흐르고, 제 2기간 동안 데이터신호(DS)가 공급된다. 실제로, 제 1기간 동안에는 화소(140)로부터 데이터 구동회로(200)로 소정의 전류(PC)가 공급된다.(Current Sink) 그리고, 제 2기간 동안에는 데이터 구동회로(200)로부터 화소(140)로 데이터신호(DS)가 공급된다.

도 3 및 도 4를 결부하여 동작과정을 상세히 설명하면, 먼저 제 $n-1$ 주사선(S_{n-1})으로 주사신호가 공급된다. 제 $n-1$ 주사선(S_{n-1})으로 주사신호가 공급되면 제 3트랜지스터(M3) 및 제 5트랜지스터(M5)가 턴-온된다. 제 5트랜지스터(M5)가 턴-온되면 제 4트랜지스터(M4)가 다이오드 형태로 접속된다. 제 4트랜지스터(M4)가 다이오드 형태로 접속되면 제 2노드(N2)에는 제 1전원(ELVDD)에서 제 4트랜지스터(M4)의 문턱전압을 감한 전압값이 인가된다.

그리고, 제 3트랜지스터(M3)가 턴-온되면 기준전원(V_{ref})의 전압이 제 1노드(N1)로 인가된다. 이때, 제 2커패시터(C2)는 제 1노드(N1)와 제 2노드(N2)의 차에 대응되는 전압을 충전한다. 이 경우, 기준전원(V_{ref})과 제 1전원(ELVDD)의 전압값이 동일하다고 가정하면 제 2커패시터(C2)에는 제 4트랜지스터(M4)의 문턱전압에 대응되는 전압이 충전된다. 그리고, 제 1전원(ELVDD)에서 소정의 전압강하가 발생된다면 제 2커패시터(C2)에는 제 4트랜지스터(M4)의 문턱전압 및 제 1전원(ELVDD)의 전압강하 전압이 충전된다. 즉, 본 발명에서는 제 $n-1$ 주사선(S_{n-1})으로 주사신호가 공급되는 기간 동안 제 1전원(ELVDD)의 전압강하 전압 및 제 4트랜지스터(M4)의 문턱전압이 제 2커패시터(C2)에 충전되고, 이에 따라 제 1전원(ELVDD)의 전압강하를 보상할 수 있다.

제 2커패시터(C2)에 소정의 전압이 충전된 후 제 n 주사선(S_n)으로 주사신호가 공급된다. 제 n 주사선(S_n)으로 주사신호가 공급되면 제 1트랜지스터(M1) 및 제 2트랜지스터(M2)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 1수평기간의 제 1기간 동안 소정의 전류(PC)가 화소(140)로부터 데이터선(Dm)을 경유하여 데이터 구동회로(200)로 공급된다. 실제로, 소정의 전류(PC)는 제 1전원(ELVDD), 제 4트랜지스터(M4), 제 2트랜지스터(M2) 및 데이터선(Dm)을 경유하여 데이터 구동회로(200)로 공급된다.

데이터 구동회로(200)는 소정의 전류(PC)가 싱크될 때 발생하는 소정의 전압값(이후 "보상전압"이라 함)을 이용하여 데이터 신호(DS)의 신호의 전압을 재설정하고, 전압이 재설정된 데이터 신호(DS)를 수평기간의 제 2기간 동안 제 1트랜지스터(M1)를 경유하여 제 1노드(N1)로 공급한다. 그러면, 제 1커패시터(C1)에는 데이터 신호(DS)와 제 1전원(ELVDD)의 차값에 대응하는 전압이 충전된다. 이때, 제 2노드(N2)는 플로팅상태로 설정되기 때문에 제 2커패시터(C2)는 이전에 충전된 전압을 유지한다.

즉, 본 발명에서는 이전 주사선으로 주사신호가 공급되는 기간 동안 제 2커패시터(C2)에 제 4트랜지스터(M4)의 문턱전압 및 제 1전원(ELVDD)의 전압강하에 대응하는 전압을 충전함으로써 제 1전원(ELVDD)의 전압강하 및 제 4트랜지스터(M4)의 문턱전압을 보상할 수 있다. 그리고, 본 발명에서는 현재 주사선으로 주사신호가 공급되는 기간 동안 화소(140)에 포함된 트랜지스터들의 이동도 등이 보상되도록 데이터 신호(DS)의 전압값을 재설정하고, 전압값이 재설정된 데이터 신호(DS)를 화소(140)로 공급한다. 따라서, 본 발명에서는 트랜지스터의 문턱전압, 이동도 등의 불균일 등을 보상하여 균일한 화상을 표시할 수 있다.

도 5는 도 2에 도시된 화소의 다른례를 나타내는 도면이다. 도 5는 제 1커패시터(C1)가 제 2노드(N2)와 제 1전원(ELVDD) 사이에 설치되는 것을 제외하고는 도 3과 동일한 구성으로 설정된다.

도 4 및 도 5를 참조하여 동작과정을 상세히 설명하면, 먼저 제 $n-1$ 주사선(S_{n-1})으로 주사신호가 공급된다. 제 $n-1$ 주사선(S_{n-1})으로 주사신호가 공급되면 제 3트랜지스터(M3) 및 제 5트랜지스터(M5)가 턴-온된다. 제 5트랜지스터(M5)가 턴-온되면 제 4트랜지스터(M4)가 다이오드 형태로 접속된다. 제 4트랜지스터(M4)가 다이오드 형태로 접속되면 제 2노드(N2)에는 제 1전원(ELVDD)에서 제 4트랜지스터(M4)의 문턱전압을 감한 전압값이 인가된다. 따라서, 제 1커패시터(C1)에는 제 4트랜지스터(M4)의 문턱전압에 대응되는 전압이 충전된다.

그리고, 제 3트랜지스터(M3)가 턴-온되면 기준전원(V_{ref})의 전압이 제 1노드(N1)로 인가된다. 그러면, 제 2커패시터(C2)에는 제 1노드(N1)와 제 2노드(N2)의 차에 대응되는 전압이 충전된다. 여기서, 제 $n-1$ 주사선(S_{n-1})으로 주사신호가 공급되는 기간 동안 제 1트랜지스터(M1) 및 제 2트랜지스터(M2)가 턴-오프되기 때문에 데이터 신호(DS)는 화소(140)로 공급되지 않는다.

이후, 제 n 주사선(S_n)으로 주사신호가 공급되어 제 1트랜지스터(M1) 및 제 2트랜지스터(M2)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 1수평기간의 제 1기간 동안 소정의 전류(PC)가 화소(140)로부터 데이터선(Dm)을 경유하여 데이터 구동회로(200)로 공급된다. 실제로, 소정의 전류(PC)는 제 1전원(ELVDD), 제 4트랜지스터(M4), 제 2트랜지스터(M2) 및 데이터선(Dm)을 경유하여 데이터 구동회로(200)로 공급된다.

데이터 구동회로(200)는 소정의 전류(PC)가 싱크될 때 발생하는 보상전압을 이용하여 데이터신호(DS)의 전압을 재설정하고, 전압이 재설정된 데이터신호(DS)를 수평기간의 제 2기간 동안 제 1트랜지스터(M1)를 경유하여 제 1노드(N1)로 공급한다. 그러면, 제 1커패시터(C1) 및 제 2커패시터(C2)에는 데이터신호(DS)에 대응하여 소정의 전압이 충전된다.

실제로, 데이터신호(DS)가 공급되면 제 1노드(N1)의 전압이 하강된다. 제 2노드(N2)가 플로팅되어 있기 때문에 제 1노드(N1)의 전압 하강량에 대응되어 제 2노드(N2)의 전압값도 하강된다. 이 경우, 제 2노드(N2)에서 하강되는 전압값은 제 1커패시터(C1) 및 제 2커패시터(C2)의 용량에 의해서 결정된다.

제 2노드(N2)의 전압이 하강되면 제 1커패시터(C1)에는 제 2노드(N2)의 전압값에 대응하여 소정의 전압이 충전된다. 여기서, 제 1노드(N1)의 하강 전압은 데이터신호(DS)에 의하여 결정되고, 이에 따라 제 1커패시터(C1)에 충전되는 전압도 데이터신호(DS)에 의하여 결정된다. 그리고, 본 발명에서는 화소(140)에 포함된 트랜지스터들의 이동도 등이 보상되도록 데이터신호(DS)의 전압을 재설정하기 때문에 트랜지스터의 이동도 등의 불균일 등을 보상하여 균일한 화상을 표시할 수 있다.

도 6은 도 2에 도시된 데이터 구동회로의 일례를 나타내는 블록도이다. 도 6에서는 설명의 편의성을 위하여 데이터 구동회로(200)가 j (j 는 2이상의 자연수)개의 채널을 갖는다고 가정하기로 한다.

도 6을 참조하면, 본 발명의 데이터 구동회로(200)는 쉬프트 레지스터부(210), 샘플링 래치부(220), 홀딩 래치부(230), 디코더(240), 디지털-아날로그 변환부(이하 "DAC부"라 함)(250), 전압 제어부(260), 제 1버퍼부(270), 전류 공급부(280), 선택부(290) 및 감마 전압부(300)를 구비한다.

쉬프트 레지스터부(210)는 타이밍 제어부(150)로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받는다. 타이밍 제어부(150)로부터 소스 쉬프트 클럭(SSC) 및 소스 스타트 펄스(SSP)를 공급받은 쉬프트 레지스터부(210)는 소스 쉬프트 클럭(SSC)의 1주기마다 소스 스타트 펄스(SSP)를 쉬프트 시키면서 순차적으로 j 개의 샘플링 신호를 생성한다. 이를 위해, 쉬프트 레지스터부(210)는 j 개의 쉬프트 레지스터(2101 내지 210j)를 구비한다.

디코더(240)는 타이밍 제어부(150)로부터 공급되는 k (k 는 자연수)비트의 제 1데이터(Data1)를 p (p 는 자연수)비트의 제 2데이터(Data2)로 변환한다. 여기서, 디코더(240)는 이진수의 가중치(Binary Weighted)를 갖도록 제 2데이터(Data2)를 생성한다. 다시 말하여, 감마 전압부(300)에서 생성되는 제조전압들 중 어느 하나를 선택할 수 있도록 비트값이 설정된 k 비트의 제 1데이터(Data1)를 이진수의 가중치를 갖도록 변환하여 p 비트의 제 2데이터(Data2)를 생성한다. 예를 들어, 디코더(240)는 8비트의 제 1데이터(Data1)를 이용하여 5비트의 제 2데이터(Data2)를 생성한다.

한편, 디코더(240)는 샘플링 래치부(220)와 접속되도록 적어도 하나 이상 설치된다. 예를 들어, 타이밍 제어부(150)로부터 제 1데이터(Data1)가 순차적으로 공급된다면 샘플링 래치부(220)와 접속되도록 하나의 디코더(240)가 설치된다. 그리고, 타이밍 제어부(150)로부터 적색, 녹색 및 청색에 대응하는 제 1데이터(Data1)가 동시에 입력되는 경우 샘플링 래치부(220)와 접속되도록 세개의 디코더(240)가 설치된다.

샘플링 래치부(220)는 쉬프트 레지스터부(210)로부터 순차적으로 공급되는 샘플링신호에 응답하여 제 1데이터(Data1) 및 제 2데이터(Data2)를 순차적으로 저장한다. 이를 위하여, 샘플링 래치부(220)는 j 개의 제 1데이터(Data1) 및 j 개의 제 2데이터(Data2)를 저장하기 위하여 j 개의 샘플링 래치(2201 내지 220j)를 구비한다. 여기서, 각각의 샘플링 래치(2201 내지 220j)는 도 7에 도시된 바와 같이 k 비트의 제 1데이터(Data1) 및 p 비트의 제 2데이터(Data2)를 저장할 수 있도록 $k+p$ 비트의 크기로 설정된다.

홀딩 래치부(230)는 소스 출력 인에이블(SOE) 신호가 입력될 때 샘플링 래치부(220)로부터 제 1데이터(Data1) 및 제 2데이터(Data2)를 입력받아 저장한다. 그리고, 홀딩 래치부(230)는 소스 출력 인에이블(SOE) 신호가 입력될 때 자신에게 저장된 제 1데이터(Data1)를 DAC부(250)로 공급하고, 제 2데이터(Data2)를 전압 제어부(260)로 공급한다. 이를 위하여, 홀딩 래치부(230)는 j 개의 제 1데이터(Data1) 및 j 개의 제 2데이터(Data2)를 저장하기 위하여 j 개의 샘플링 래치(2301 내지 230j)를 구비한다. 여기서, 각각의 홀딩 래치(2301 내지 230j)는 도 7에 도시된 바와 같이 k 비트의 제 1데이터(Data1) 및 p 비트의 제 2데이터(Data2)를 저장할 수 있도록 $k+p$ 비트의 크기로 설정된다.

전류 공급부(280)는 1수평기간의 제 1기간 동안 데이터선들(D1 내지 Dj)을 경유하여 주사신호에 의하여 선택된 화소들(140)로부터 소정의 전류(PC)를 싱크한다. 실제로, 전류 공급부(280)는 각각의 화소들(140)에서 흐를 수 있는 최대 전류,

즉 화소(140)가 최대 휘도로 발광될 때 유기 발광 다이오드(OLED)로 공급되어야 할 전류를 싱크한다. 그리고, 전류 공급부(280)는 전류가 싱크될 때 발생하는 소정의 보상전압을 전압 제어부(260)로 공급한다. 이를 위해, 전류 공급부(280)는 j개의 전류 싱크부(2801 내지 280j)를 구비한다.

감마 전압부(300)는 k비트의 제 1데이터(Data)에 대응하여 소정의 계조전압들을 생성한다. 실제로, 전압 생성부(300)는 도 9에 도시된 바와 같이 복수의 분압 저항들(R1 내지 Rl)로 구성되어 2^k 개의 계조전압을 생성한다. 감마 전압부(300)에서 생성된 계조전압들은 DAC(2501 내지 250j)들로 공급된다.

DAC부(250)는 j개의 DAC(2501 내지 250j)를 구비한다. DAC(2501 내지 250j) 각각은 홀딩 래치부(2301 내지 230j)로부터 공급되는 제 1데이터(Data1)의 비트값에 대응하여 감마 전압부(300)로부터 공급되는 계조전압들 중 어느 하나를 데이터신호(DS)로 선택한다.

전압 제어부(260)는 j개의 전압 제어기(2601 내지 260j)를 구비한다. 각각의 전압 제어기(2601 내지 260j)는 보상전압, 제 2데이터(Data2) 및 제 3전원(VSS)을 공급받는다. 여기서, 제 3전원(VSS)은 감마 전압부(300)의 일측단자로 공급되는 전압이다. 보상전압, 제 2데이터(Data2) 및 제 3전원(VSS)을 공급받은 전압 제어기(2601 내지 260j)는 화소들(140)에 포함된 트랜지스터들의 이동도 등이 보상될 수 있도록 데이터신호(DS)의 전압값을 제어한다.

제 1버퍼부(270)는 전압 제어부(260)에 의하여 전압이 제어된 데이터신호(DS)를 선택부(290)로 공급한다. 이를 위하여, 제 1버퍼부(270)는 j개의 제 1버퍼(2701 내지 270j)를 구비한다.

선택부(290)는 데이터선들(D1 내지 Dj)과 제 1버퍼들(2701 내지 270j)의 전기적 연결을 제어한다. 실제로, 선택부(290)는 1수평기간의 제 2기간 동안만 데이터선들(D1 내지 Dj)과 제 1버퍼들(2701 내지 270j)을 전기적으로 접속시키고, 그 외에는 데이터선들(D1 내지 Dj)과 제 1버퍼들(2701 내지 270j)을 접속시키지 않는다. 이를 위해, 선택부(290)는 j개의 스위칭부(2901 내지 290j)를 구비한다.

한편, 본 발명의 데이터 구동회로(200)는 도 8과 같이 홀딩 래치부(230)의 다음단에 레벨 쉬프터부(310)를 더 포함할 수 있다. (제 2실시예) 레벨 쉬프터부(310)는 홀딩 래치부(230)로부터 공급되는 제 1데이터(Data1) 및 제 2데이터(Data2)의 전압레벨을 상승시켜 DAC부(250) 및 전압 제어부(260)로 공급한다. 외부 시스템으로부터 데이터 구동회로(200)로 높은 전압레벨을 가지는 제 1데이터(Data1)가 공급되면 전압레벨에 대응되어 높은 내압을 가지는 회로 부품들이 설치되어야 하기 때문에 제조비용이 증가된다. 따라서, 데이터 구동회로(200)의 외부에서는 낮은 전압레벨을 가지는 제 1데이터(Data1)를 공급하고, 이 낮은 전압레벨을 가지는 제 1데이터(Data1)를 레벨 쉬프터부(310)에서 높은 전압레벨로 승압시킨다.

도 9는 도 6에 도시된 감마 전압부, DAC, 전압 제어기, 스위칭부, 전류 싱크부 및 화소의 연결관계를 나타내는 도면이다. 도 9에서는 설명의 편의성을 위하여 j번째 채널을 도시하며, 데이터선(Dj)이 도 3에 도시된 화소(140)와 접속된다고 가정하기로 한다.

도 9를 참조하면, 감마 전압부(300)는 복수의 분압 저항들(R1 내지 Rl)을 구비한다. 분압 저항들(R1 내지 Rl)은 기준전원(Vref)과 제 3전원(VSS) 사이에 위치되어 전압을 분압한다. 실제로, 분압 저항들(R1 내지 Rl)은 기준전원(Vref)과 제 3전원(VSS) 사이의 전압을 분압하여 복수의 계조전압(V_0 내지 2^K-1)을 생성하고, 생성된 계조전압들(V_0 내지 2^K-1)을 DAC(250j)로 공급한다. 그리고, 감마 전압부(300)는 제 3전원(VSS)의 전압을 제 3버퍼(301)를 경유하여 전압 제어기(260j)로 공급한다.

DAC(250j)는 제 1데이터(Data1)의 비트값에 대응하여 계조전압들(V_0 내지 2^K-1) 중 어느 하나의 계조전압을 데이터신호(DS)로 선택하여 제 1버퍼(270j)로 공급한다. 여기서, DAC(250j)와 제 1버퍼(270j) 사이에는 도 10에 도시된 제 3제어신호(CS3)에 의하여 제어되는 제 41트랜지스터(M41)가 설치된다. 즉, 제 41트랜지스터(M41)는 수평기간의 제 1기간 중 일부기간 동안 턴-온되어 DAC(250j)로부터 공급되는 데이터신호(DS)를 제 1버퍼(270j)로 공급한다. 실제로, 제 3제어신호(CS3)는 제 2제어신호(CS2)보다 늦게 상승하고, 제 2제어신호(CS2)와 동일시점에 하강된다.

전류 싱크부(280j)는 제 2제어신호(CS2)에 의해 제어되는 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)와, 제 13트랜지스터(M13)의 제 1전극에 접속되는 전류원(I_{max})과, 제 3노드(N3)와 기저전압원(GND) 사이에 접속되는 제 3커패시터(C3)와, 제 3노드(N3)와 전압 제어기(260j) 사이에 접속되는 제 2버퍼(281)를 구비한다.

제 12트랜지스터(M12)의 게이트전극은 제 13트랜지스터(M13)의 게이트전극에 접속되고, 제 2전극은 제 13트랜지스터(M13)의 제 2전극과 데이터선(Dj)에 접속된다. 그리고, 제 12트랜지스터(M12)의 제 1전극은 제 2버퍼(281)에 접속된다. 이와 같은 제 12트랜지스터(M12)는 제 2제어신호(CS2)에 의하여 1수평기간(1H)의 제 1기간 동안 턴-온되고 제 2기간 동안 턴-오프된다.

제 13트랜지스터(M13)의 게이트전극은 제 12트랜지스터(M12)의 게이트전극에 접속되고, 제 2전극은 데이터선(Dj)에 접속된다. 그리고, 제 13트랜지스터(M13)의 제 1전극은 전류원(I_{max})에 접속된다. 이와 같은 제 13트랜지스터(M13)는 제 2제어신호(CS2)에 의하여 1수평기간(1H)의 제 1기간 동안 턴-온되고 제 2기간 동안 턴-오프된다.

전류원(I_{max})은 화소(140)가 최대 휘도로 발광될 때 유기 발광 다이오드(OLED)로 공급되어야 할 전류를 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)가 턴-온되는 제 1기간 동안 화소(140)로부터 공급받는다.(Current Sink)

제 3커패시터(C3)는 전류원(I_{max})에 의하여 화소(140)로부터 전류가 싱크될 때 제 3노드(N3)에 인가되는 보상전압을 저장한다. 실제로, 제 3커패시터(C3)는 제 1기간 동안 제 3노드(N3)에 인가되는 보상전압을 충전하고, 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)가 턴-오프되더라도 제 3노드(N3)의 보상전압을 일정하게 유지한다.

제 2버퍼(281)는 제 3노드(N3)에 인가된 보상전압을 전압 제어기(260j)로 전달한다.

전압 제어기(260j)는 보상전압, 제 2데이터(Data2) 및 제 3전원(VSS)의 전압을 공급받아 데이터신호(DS)의 전압값을 제어한다. 이후, 설명의 편의성을 위하여 제 2데이터(Data2)가 5비트(즉, p=5)로 설정된다고 가정하기로 한다.

전압 제어기(260j)는 제 41트랜지스터(M41)와 제 1버퍼(270j) 사이의 라인과 접속되는 5개(즉 p개)의 제 4커패시터들(C, 2C, 4C, 8C, 16C)과, 제 4커패시터들(C, 2C, 4C, 8C, 16C)과 제 3버퍼(301) 사이에 접속되는 제 31트랜지스터(M31), 제 32트랜지스터(M32), 제 33트랜지스터(M33), 제 34트랜지스터(M34) 및 제 35트랜지스터(M35)와, 제 4커패시터들(C, 2C, 4C, 8C, 16C)과 제 2버퍼(281) 사이에 접속되는 제 21트랜지스터(M21), 제 22트랜지스터(M22), 제 23트랜지스터(M23), 제 24트랜지스터(M24) 및 제 25트랜지스터(M25)를 구비한다.

그리고, 전압 제어기(260j)는 제 31 내지 제 35트랜지스터(M31 내지 M35)의 게이트단자 및 제 21 내지 제 25트랜지스터(M21 내지 M25)의 게이트단자와 기저전압원(GND) 사이에 접속되는 제 51트랜지스터(M51), 제 52트랜지스터(M52), 제 53트랜지스터(M53), 제 54트랜지스터(M54) 및 제 55트랜지스터(M55)와, 제 2데이터(Data2)의 비트수에 대응하여 설치되며 제 2데이터(Data2)의 비트값을 제 21트랜지스터(M21), 제 22트랜지스터(M22), 제 23트랜지스터(M23), 제 24트랜지스터(M24) 및 제 25트랜지스터(M25)의 게이트단자로 공급하기 위한 제 61트랜지스터(M61), 제 62트랜지스터(M62), 제 63트랜지스터(M63), 제 64트랜지스터(M64) 및 제 65트랜지스터(M65)를 구비한다.

제 4커패시터들(C, 2C, 4C, 8C, 16C) 각각은 서로 다른 용량값으로 설정된다. 실제로, 제 4커패시터들(C, 2C, 4C, 8C, 16C) 용량은 $2^0, 2^1, 2^2, 2^3, 2^4$ 과 같이 이진수의 가중치 형태로 증가된다. 즉, 제 4커패시터들(C, 2C, 4C, 8C, 16C)은 제 2데이터(Data2)의 가중치에 대응하여 설정된다.

제 51트랜지스터(M51)는 제 21트랜지스터(M21) 및 제 35트랜지스터(M35)의 게이트단자에 접속된다. 제 52트랜지스터(M52)는 제 22트랜지스터(M22) 및 제 34트랜지스터(M34)의 게이트단자에 접속된다. 제 53트랜지스터(M53)는 제 23트랜지스터(M23) 및 제 33트랜지스터(M33)의 게이트단자에 접속된다. 제 54트랜지스터(M54)는 제 24트랜지스터(M24) 및 제 32트랜지스터(M32)의 게이트단자에 접속된다. 제 55트랜지스터(M55)는 제 25트랜지스터(M25) 및 제 31트랜지스터(M31)의 게이트단자에 접속된다. 이와 같은 제 51 내지 55트랜지스터(M51 내지 M55)는 도 10에 도시된 제 4제어신호(CS4)에 의하여 수평기간의 제 1기간 동안 턴-온되고, 제 2기간 동안 턴-오프된다. 이를 위하여, 제 51 내지 55트랜지스터(M51 내지 M55)는 NMOS로 형성된다.

제 31 내지 제 35트랜지스터(M31 내지 M35) 각각은 제 4커패시터들(C, 2C, 4C, 8C, 16C) 중 어느 하나와 제 3버퍼(301) 사이에 설치된다. 이와 같은 제 31 내지 제 35트랜지스터(M31 내지 M35)는 제 51 내지 55트랜지스터(M51 내지 M55)가 턴-온되는 제 1기간 동안 턴-온되어 제 3전원(VSS)의 전압을 제 4커패시터들(C, 2C, 4C, 8C, 16C)의 일측단자로 공급한다. 이를 위하여, 제 31 내지 제 35트랜지스터(M31 내지 M35)는 제 51 내지 55트랜지스터(M51 내지 M55)와 다른 도전형인 PMOS로 형성된다.

제 61트랜지스터(M61)는 제 2데이터(Data2)의 가장 낮은 가중치를 갖는 비트를 공급받아 제 25트랜지스터(M25)로 공급한다. 이때, 가장 낮은 가중치를 갖는 비트가 "1"의 값을 갖는 경우 제 25트랜지스터(M25)가 턴-온되고, "0"의 값을 갖는 경우 제 25트랜지스터(M25)는 턴-오프된다. 제 62트랜지스터(M62)는 제 2데이터(Data2)에서 두번째 낮은 가중치를 갖는 비트를 공급받아 제 24트랜지스터(M24)로 공급한다. 제 63트랜지스터(M63)는 제 2데이터(Data2)에서 세번째 낮은 가중치를 갖는 비트를 공급받아 제 23트랜지스터(M23)로 공급한다. 제 64트랜지스터(M64)는 제 2데이터(Data2)에서 네번째 낮은 가중치를 갖는 비트를 공급받아 제 22트랜지스터(M22)로 공급한다. 제 65트랜지스터(M65)는 제 2데이터(Data2)에서 가장 높은 가중치를 갖는 비트를 공급받아 제 21트랜지스터(M21)로 공급한다. 이와 같은 제 61 내지 제 65트랜지스터(M61 내지 M65)는 PMOS로 형성되어 제 4제어신호(CS4)에 의하여 제어된다. 즉, 제 61 내지 제 65트랜지스터(M61 내지 M65)는 제 1기간 동안 턴-오프되고, 제 2기간 동안 턴-온된다.

제 21 내지 제 25트랜지스터(M21 내지 M25) 각각은 제 4커패시터들(C, 2C, 4C, 8C, 16C) 중 어느 하나와 제 2버퍼(281) 사이에 NMOS 도전형으로 설치된다. 이와 같은 제 21 내지 제 25트랜지스터(M21 내지 M25) 각각은 자신에게 "1"에 대응되는 비트가 공급될 때 턴-온되어 제 4커패시터들(C, 2C, 4C, 8C, 16C)의 일측단자로 보상전압을 공급한다.

한편, 제 4커패시터들(C, 2C, 4C, 8C, 16C) 중 적어도 하나의 일측단자로 보상전압이 인가되면 제 41트랜지스터(M41)와 제 1버퍼(270j) 사이의 라인에 인가된 데이터신호(DS)의 전압값이 증가 또는 감소된다.(실제로, 데이터신호(DS)의 전압값의 증가 또는 감소는 보상전압의 전압값에 의하여 결정된다.) 여기서, 데이터신호(DS)의 전압값이 보상전압에 의하여 제어되기 때문에 화소(140)에 포함된 트랜지스터들의 이동도가 보상되도록 데이터신호(DS)의 전압값이 제어되고, 이에 따라 화소부(130)에서 균일한 화상을 표시할 수 있다. 다시 말하여, 본 발명의 데이터 구동회로(200)는 이동도 등에 의하여 결정된 보상전압을 이용하여 데이터신호(DS)의 전압값을 제어하기 때문에 트랜지스터들의 이동도 불균일 현상을 보상할 수 있다.

제 1버퍼(270j)는 제 41트랜지스터(M41)와 제 1버퍼(270j) 사이의 라인에 인가된 데이터신호(DS)를 스위칭부(290j)로 전달한다.

스위칭부(290j)는 제 11트랜지스터(M11)를 구비한다. 이와 같은 제 11트랜지스터(M11)는 도 10에 도시된 제 1제어신호(CS1)에 의하여 제어된다. 즉, 제 11트랜지스터(M11)는 1수평기간(1H)의 제 2기간 동안 턴-온되고 제 1기간 동안 턴-오프된다. 따라서, 데이터신호(DS)는 1수평기간(1H) 중 제 2기간 동안 데이터신(Dj)으로 공급되고, 그 외의 기간 동안에는 공급되지 않는다.

도 10은 도 9에 도시된 스위칭부, 전류 싱크부, 제 41트랜지스터 및 전압 제어기(260j)로 공급되는 구동파형을 나타내는 파형도이다.

도 9 및 도 10을 결부하여 화소(140)로 공급되는 데이터신호(DS)의 전압 제어과정을 상세히 설명하기로 한다.

먼저, 제 n-1주사선(Sn-1)으로 주사신호가 공급된다. 제 n-1주사선(Sn-1)으로 주사신호가 공급되면 제 3트랜지스터(M3) 및 제 5트랜지스터(M5)가 턴-온된다. 그러면, 제 2노드(N2)에는 제 1전원(ELVDD)에서 제 4트랜지스터(M4)의 문턱전압을 감한 전압값이 인가되고, 제 1노드(N1)에는 기준전원(Vref)의 전압이 인가된다. 이때, 제 2커패시터(C2)에는 제 1전원(ELVDD)의 전압강하 전압 및 제 4트랜지스터(M4)의 문턱전압에 대응되는 전압이 충전된다.

실제로, 제 1노드(N1) 및 제 2노드(N2) 각각에 인가되는 전압은 수학식 1과 같이 표현될 수 있다.

수학식 1

$$V_{N1} = V_{ref} \quad V_{N2} = ELVDD - |V_{thM4}|$$

수학식 1에서 V_{N1} 은 제 1노드(N1)에 인가되는 전압, V_{N2} 는 제 2노드(N2)에 인가되는 전압, V_{thM4} 는 제 4트랜지스터(M4)의 문턱전압을 나타낸다.

한편, 제 n-1주사선(Sn-1)으로 공급되는 주사신호가 오프되는 시점과 제 n주사선(Sn)으로 주사신호가 공급되는 시점 사이의 기간 동안 제 1노드(N1) 및 제 2노드(N2)는 플로팅 상태로 설정된다. 따라서, 제 2커패시터(C2)에 충전되는 전압값은 변화되지 않는다.

이후, 제 n주사선(Sn)으로 주사신호가 공급되어 제 1트랜지스터(M1) 및 제 2트랜지스터(M2)가 턴-온된다. 그리고, 제 n주사선(Sn)으로 주사신호가 공급되는 기간 중 제 1기간 동안 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)가 턴-온된다. 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)가 턴-온되면 제 1전원(ELVDD), 제 4트랜지스터(M4), 제 2트랜지스터(M2), 데이터선(Dj) 및 제 13트랜지스터(M13)를 경유하여 전류원(Imax)에 대응되는 전류가 싱크된다.

이때, 제 4트랜지스터(M4)에는 전류원(Imax)의 전류가 흐르기 때문에 수학식 2와 같이 표현될 수 있다.

수학식 2

$$I_{max} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (ELVDD - V_{N2} - |V_{thM4}|)^2$$

수학식 2에서 u는 이동도를 나타내고, Cox는 산화층의 용량, W는 채널 폭, L은 채널 길이를 나타낸다.

수학식 2와 같은 전류가 제 4트랜지스터(M4)에 흐를 때 제 2노드(N2)에 인가되는 전압은 수학식 3과 같이 표현될 수 있다.

수학식 3

$$V_{N2} = ELVDD - \sqrt{\frac{2I_{max}}{\mu_p C_{ox}} \frac{L}{W}} - |V_{thM4}|$$

그리고, 제 2커패시터(C2)의 커플링에 의하여 제 1노드(N1)에 인가되는 전압은 수학식 4와 같이 표현될 수 있다.

수학식 4

$$V_{N1} = V_{ref} - \sqrt{\frac{2I_{max}}{\mu_p C_{ox}} \frac{L}{W}} = V_{N3}$$

여기서, 제 1노드(N1)에 인가되는 전압(V_{N1})은 이상적으로 제 3노드(N3)에 인가되는 전압(V_{N3})과 동일하게 설정된다. 즉, 전류원(Imax)에 의하여 전류가 싱크될 때 제 3노드(N3)에는 수학식 4와 같은 전압이 인가된다. 한편, 수학식 4에 도시된 바와 같이 제 3노드(N3)에 인가되는 보상전압은 현재 전류가 싱크되는 화소(140)에 포함된 트랜지스터의 이동도 등의 영향을 받게 된다. 따라서, 전류원(Imax)에 의하여 전류가 싱크될 때 제 3노드(N3)에 인가되는 전압값은 각각의 화소들(140)마다 상이하게 결정된다.(이동도가 상이한 경우)

한편, 수평기간의 제 1기간 동안 DAC(250j)에서는 제 1데이터(Data1)에 대응하여 f(f는 자연수)개의 계조전압 중 h(h는 f이하의 자연수)번째 계조전압을 선택한다. 그리고, DAC(250j)는 제 41트랜지스터(M41)가 턴-온되는 기간 동안 선택된 계조전압을 데이터신호(DS)로써 제 41트랜지스터(M41)와 제 1버퍼(270j) 사이의 라인으로 공급한다. 여기서, 제 41트랜지스터(M41)와 제 1버퍼(270j) 사이의 라인 사이의 전압(V_L)은 수학식 5와 같이 표현될 수 있다.

수학식 5

$$V_L = V_{ref} - \frac{h}{f} (V_{ref} - V_{SS})$$

한편, 제 4제어신호(CS4)에 의하여 수평기간의 제 1기간 동안 제 51트랜지스터(M51) 내지 제 55트랜지스터(M55)가 턴-온되어 기전전압원(GND)의 전압이 제 31트랜지스터(M31) 내지 제 35트랜지스터(M35)의 게이트전극으로 공급된다. 그러면, 제 31트랜지스터(M31) 내지 제 35트랜지스터(M35)가 턴-온되어 제 4커패시터들(C, 2C, 4C, 8C, 16C)의 일측단자가 제 3전원(VSS)의 전압값으로 설정된다. 한편, 제 51트랜지스터(M51) 내지 제 55트랜지스터(M55)는 기저전압원

(GND)뿐만 아니라 PMOS인 제 31트랜지스터(M31) 내지 제 35트랜지스터(M35)가 턴-온될 수 전압과 접속될 수 있다. 그리고, 제 3전원(VSS)의 전압값은 기준전원(Vref)의 전압값보다 낮은 전압, 예를 들어 화소부(130)에 포함된 화소들(140)에서 생성될 수 있는 보상전압들의 평균 전압으로 설정될 수 있다.

제 4커패시터들(C, 2C, 4C, 8C, 16C)의 일측단자가 제 3전원(VSS)의 전압값으로 설정된 후 수평기간의 제 2기간 동안 제 61트랜지스터(M61) 내지 제 65트랜지스터(M65)가 턴-온된다. 제 61트랜지스터(M61) 내지 제 65트랜지스터(M65)가 턴-온되면 제 2데이터(Data2)의 각 비트들이 제 21트랜지스터(M21), 제 22트랜지스터(M22), 제 23트랜지스터(M23), 제 24트랜지스터(M24) 및 제 25트랜지스터(M25)로 공급된다. 예를 들어, 제 2데이터(Data2)의 비트가 "00011"로 설정된다면 제 61트랜지스터(M61) 내지 제 65트랜지스터(M65)가 턴-온되는 제 2기간 동안 제 24트랜지스터 및 제 25트랜지스터(M25)가 턴-온된다. 그러면, 첫번째 제 4커패시터(C) 및 두번째 제 4커패시터(2C)의 일측단자로 보상전압이 인가된다. 이 경우, 첫번째 제 4커패시터(C) 및 두번째 제 4커패시터(2C)의 일측단자로 보상전압이 인가되기 때문에 수학식 6과 같이 표현될 수 있다.

수학식 6

$$\frac{C+2C}{C+2C+4C+8C+16C} \equiv \frac{h}{f}$$

여기서, 제 2데이터(Data2)는 제 1데이터(Data1)의 가중치를 변경하여 생성되기 때문에 수학식 6의 값은 대략 h/f로 표현될 수 있다.

한편, 수학식 제 4커패시터들(C, 2C, 4C, 8C, 16C) 중 적어도 하나로 보상전압이 인가된다면 제 41트랜지스터(M41)와 제 1버퍼(270) 사이의 라인 사이의 전압(V_L)은 수학식 7과 같이 표현될 수 있다.

수학식 7

$$V_L = V_{ref} - \frac{h}{f} (V_{ref} - V_{SS}) + V_{boost} \quad V_{boost} = \frac{h}{f} (V_{N3} - V_{SS})$$

$$= V_{ref} - \frac{h}{f} (V_{ref} - V_{N3})$$

$$= V_{ref} - \frac{h}{f} \sqrt{\frac{2I_{max}}{\mu_p C_{OX}} \frac{L}{W}}$$

수학식 7과 같은 전압은 제 1버퍼(270j)를 경유하여 제 11트랜지스터(M11)로 공급된다. 여기서, 제 2기간 동안 제 11트랜지스터(M11)가 턴-온되기 때문에 제 1버퍼(270j)로 공급된 전압은 제 11트랜지스터(M11), 데이터선(Dj) 및 제 1트랜지스터(M1)를 경유하여 제 1노드(N1)로 공급된다. 즉, 제 1노드(N1)로는 수학식 7과 같은 전압이 공급된다. 그리고, 제 2커패시터(C2)의 커플링에 의하여 제 2노드(N2)에 인가되는 전압은 수학식 8과 같이 표현될 수 있다.

수학식 8

$$V_{N2} = ELVDD - \frac{h}{f} \sqrt{\frac{2I_{max}}{\mu_p C_{OX}} \frac{L}{W}} - |V_{thM4}|$$

이때, 제 4트랜지스터(M4)를 경유하여 흐르는 전류는 수학식 9와 같이 나타낼 수 있다.

수학식 9

$$\begin{aligned}
 I_{N4} &= \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (ELVDD - V_{N2} - |V_{thM4}|)^2 \\
 &= \frac{1}{2} \mu_p C_{ox} \frac{W}{L} \left(ELVDD - \left(ELVDD - \frac{h}{f} \sqrt{\frac{2I_{max}}{\mu_p C_{ox}} \frac{L}{W}} - |V_{thM4}| \right) - V_{thM4} \right)^2 \\
 &= \left(\frac{h}{f} \right)^2 I_{max}
 \end{aligned}$$

수학식 9을 참조하면, 본 발명에서 제 4트랜지스터(M4)에서 흐르는 전류는 데이터신호(DS)에 의하여 결정된다. 즉, 본 발명에서는 제 4트랜지스터(M4)의 문턱전압, 이동도 등과 무관하게 데이터신호(DS)에 의하여 결정된 전류가 제 4트랜지스터(M4)로 흐를 수 있고, 이에 따라 균일한 화상을 표시할 수 있다.

한편, 본 발명에서 스위칭부(290j)의 구성은 다양하게 설정될 수 있다. 예를 들어, 스위칭부(290j)는 도 11과 같이 제 11트랜지스터(M11) 및 제 14트랜지스터(M14)가 트랜스미션 게이트(Transmission Gate) 형태로 접속될 수 있다. PMOS 타입으로 형성된 제 14트랜지스터(M14)는 제 2제어신호(CS2)를 공급받고, NMOS 타입으로 형성된 제 11트랜지스터(M11)는 제 1제어신호(CS1)를 공급받는다. 여기서, 제 1제어신호(CS1) 및 제 2제어신호(CS2)는 서로 반대의 극성을 갖기 때문에 제 11트랜지스터(M11) 및 제 14트랜지스터(M14)는 동일한 시간에 턴-온 및 턴-오프된다.

한편, 제 11트랜지스터(M11) 및 제 14트랜지스터(M14)가 트랜스미션 게이트(Transmission Gate) 형태로 접속되면 전압-전류 특성 곡선이 대략 직선 형태로 설정되기 때문에 스위칭에러를 최소화할 수 있다.

도 12는 도 6에 도시된 감마 전압부, DAC, 디코더, 전압 제어기, 스위칭부, 전류 싱크부 및 화소 연결관계의 다른예를 나타내는 도면이다. 도 12에서는 설명의 편의성을 위하여 j번째 채널을 도시하며, 데이터선(Dj)이 도 5에 도시된 화소(140)와 접속된다고 가정하기로 한다.

도 10 및 도 12를 참조하여 동작과정을 설명하면, 먼저 제 n-1주사선(Sn-1)으로 주사신호가 공급될 때 제 1노드(N1) 및 제 2노드(N2)에는 수학식 1에 기재된 전압이 인가된다.

그리고, 제 n주사선(Sn)으로 주사신호가 공급되고, 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)가 턴-온되는 제 1기간 동안 제 4트랜지스터(M4)에 흐르는 전류는 수학식 2와 같이 표현되고, 제 2노드(N2)에 인가되는 전압은 수학식 3과 같이 표현된다.

그리고, 제 2커패시터(C2)의 커플링에 의하여 제 1노드(N1)에 인가되는 전압은 수학식 10과 같이 표현될 수 있다.

수학식 10

$$V_{M1} = V_{ref} - \left(\frac{C1+C2}{C2} \right) \sqrt{\frac{2I_{max}}{\mu_p C_{ox}} \frac{L}{W}} = V_{N3}$$

한편, 수평기간의 제 1기간 동안 DAC(250j)에서는 제 1데이터(Data1)에 대응하여 f(f는 자연수)개의 계조전압 중 h(h는 f 이하의 자연수)번째 계조전압을 선택한다. 그리고, DAC(250j)는 제 41트랜지스터(M41)가 턴-온되는 기간 동안 선택된 계조전압을 데이터신호(DS)로써 제 41트랜지스터(M41)와 제 1버퍼(270) 사이의 라인으로 수학식 5와 같은 전압을 인가한다.

한편, 수평기간의 제 1기간 동안에는 제 51 내지 제 55트랜지스터(M51 내지 M55)가 턴-온되고, 이에 따라 제 31 내지 제 35트랜지스터(M31 내지 M35)가 턴-온된다. 그러면, 제 1기간 동안 제 4커패시터들(C, 2C, 4C, 8C, 16C)의 일측단자로는 제 3전원(VSS)의 전압이 인가된다.

그리고, 수평기간의 제 2기간 동안 제 61 내지 제 65트랜지스터(M61 내지 M65)가 턴-온된다. 제 61 내지 제 65트랜지스터(M61 내지 M65)가 턴-온되면 제 2데이터(Data2)의 비트값에 대응하여 제 21트랜지스터(M21), 제 22트랜지스터(M22), 제 23트랜지스터(M23), 제 24트랜지스터(M24) 및 제 25트랜지스터(M25)가 턴-온 또는 턴-오프된다.

이때, 제 41트랜지스터(M41)와 제 1버퍼(270) 사이의 라인 사이의 전압(V_L)은 수학식 11과 같이 표현될 수 있다.

수학식 11

$$\begin{aligned} V_L &= V_{ref} - \frac{h}{f} (V_{ref} - V_{SS}) + V_{boost} \quad V_{boost} = \frac{h}{f} (V_{N3} - V_{SS}) \\ &= V_{ref} - \frac{h}{f} (V_{ref} - V_{N3}) \\ &= V_{ref} - \frac{h}{f} \left(\frac{C1+C2}{C2} \right) \sqrt{\frac{2I_{max}}{\mu_p C_{ox}} \frac{L}{W}} \end{aligned}$$

수학식 11과 같은 전압은 제 1버퍼(270j)를 경유하여 제 11트랜지스터(M11)로 공급된다. 여기서, 제 2기간 동안 제 11트랜지스터(M11)가 턴-온되기 때문에 제 1버퍼(270j)로 공급된 전압은 제 11트랜지스터(M11), 데이터선(Dj) 및 제 1트랜지스터(M1)를 경유하여 제 1노드(N1)로 공급된다. 즉, 제 1노드(N1)로는 수학식 11과 같은 전압이 공급된다.

그리고, 제 2커패시터(C2)의 커플링에 의하여 제 2노드(N2)에 인가되는 전압은 수학식 8과 같이 표현될 수 있다. 따라서, 제 4트랜지스터(M4)를 경유하여 흐르는 전류는 수학식 9와 같이 나타낼 수 있다. 즉, 본 발명에서 제 4트랜지스터(M4)를 경유하여 발광소자(OLED)로 공급되는 전류는 제 4트랜지스터(M4)의 문턱전압, 이동도 등과 무관하게 데이터신호(DS)에 의하여 결정되기 때문에 균일한 화상을 표시할 수 있다.

한편, 도 5에 도시된 바와 같은 화소(140)는 제 1노드(N1)의 전압이 크게 변하더라도 제 2노드(N2)의 전압이 둔감하게 변화된다.(즉, $C1 + C2/C2$) 따라서, 도 5에 도시된 화소(140)가 적용되면 도 3에 도시된 화소(140)가 적용되는 경우보다 감마 전압부(300)의 전압 범위를 넓게 설정할 수 있다. 이와 같이, 감마 전압부(300)의 전압 범위가 넓게 설정되면 제 11트랜지스터(M11) 및 제 1트랜지스터(M1) 등의 스위칭에러에 의한 영향을 줄일 수 있다는 장점이 있다.

상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 데이터 구동회로와 이를 이용한 유기 발광 표시장치에 의하면 화소로부터 전류를 싱크할 때 발생하는 보상전압을 이용하여 데이터신호의 전압값을 재설정하기 때문에 트랜지스터들의 이동도와 무관하게 균일한 화상을 표시할 수 있다.

도면의 간단한 설명

도 1은 종래의 발광 표시장치를 나타내는 도면이다.

도 2는 본 발명의 실시예에 의한 발광 표시장치를 나타내는 도면이다.

도 3은 도 2에 도시된 화소의 일례를 나타내는 회로도이다.

도 4는 도 3에 도시된 화소의 구동방법을 나타내는 파형도이다.

도 5는 도 2에 도시된 화소의 다른례를 나타내는 회로도이다.

도 6은 도 2에 도시된 데이터 구동회로의 제 1실시예를 나타내는 블록도이다.

도 7은 도 6에 도시된 샘플링 래치부 및 홀딩 래치부를 상세히 나타내는 도면이다.

도 8은 도 2에 도시된 데이터 구동회로의 제 2실시예를 나타내는 블록도이다.

도 9는 도 6에 도시된 감마 전압부, 디지털-아날로그 변환기, 스위칭부, 전압 제어기, 스위칭부, 전류 싱크부 및 화소의 연결관계를 나타내는 도면이다.

도 10은 도 9에 도시된 제어신호의 구동파형을 나타내는 파형도이다.

도 11은 도 9에 도시된 스위칭부의 다른예를 나타내는 도면이다.

도 12는 도 6에 도시된 감마 전압부, 디지털-아날로그 변환기, 스위칭부, 전압 제어기, 스위칭부, 전류 싱크부 및 화소 연결관계의 다른예를 나타내는 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

110 : 주사 구동부 120 : 데이터 구동부

130 : 화소부 140 : 화소

142 : 화소회로 150 : 타이밍 제어부

200 : 데이터 구동회로 210 : 쉬프트 레지스터부

220 : 샘플링 래치부 230 : 홀딩 래치부

240 : 디코더 250 : 디지털-아날로그 변환부

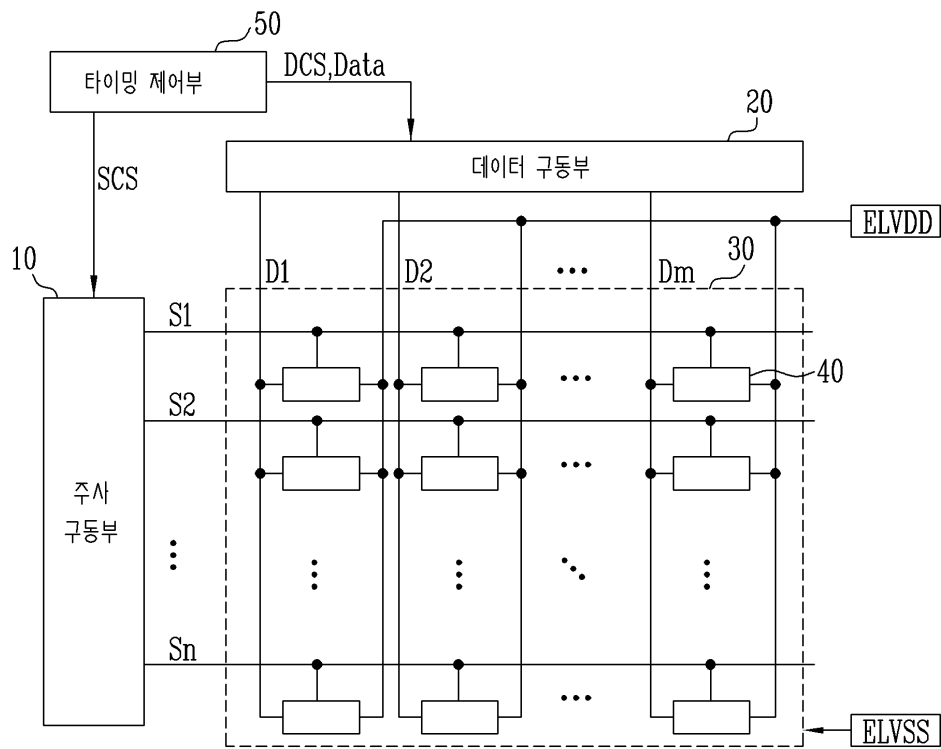
260 : 전압 제어부 270 : 버퍼부

280 : 전류 공급부 290 : 선택부

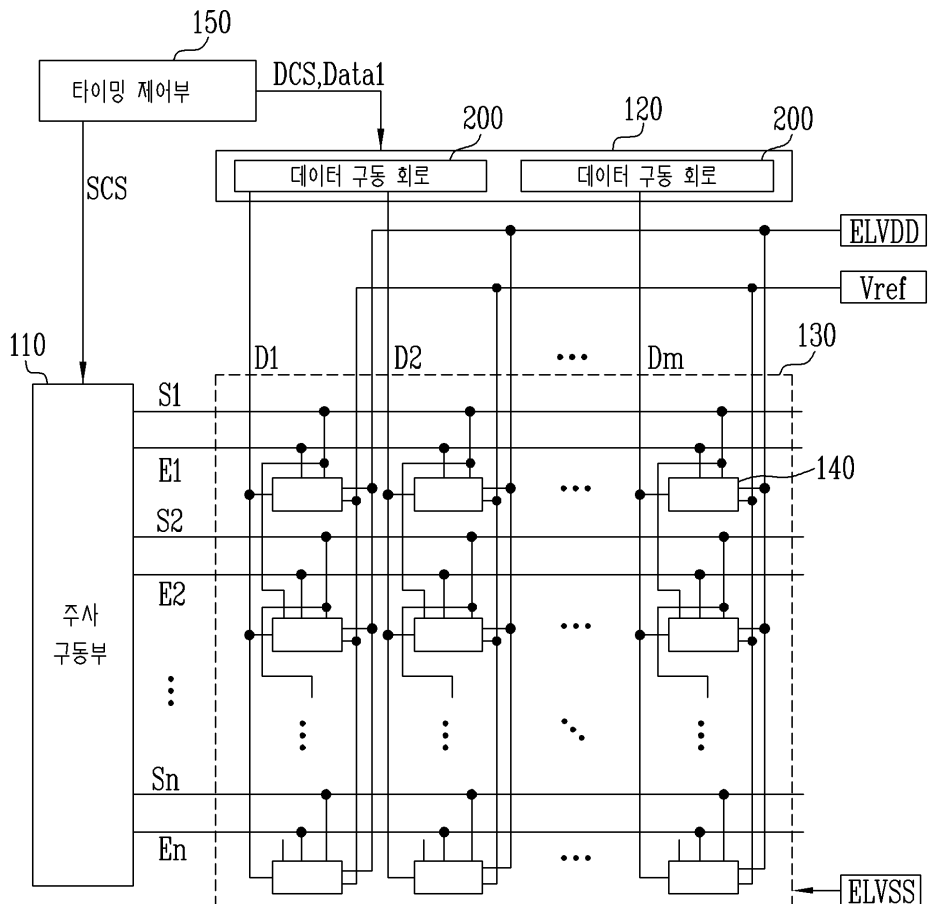
300 : 감마 전압부 310 : 레벨 쉬프터부

도면

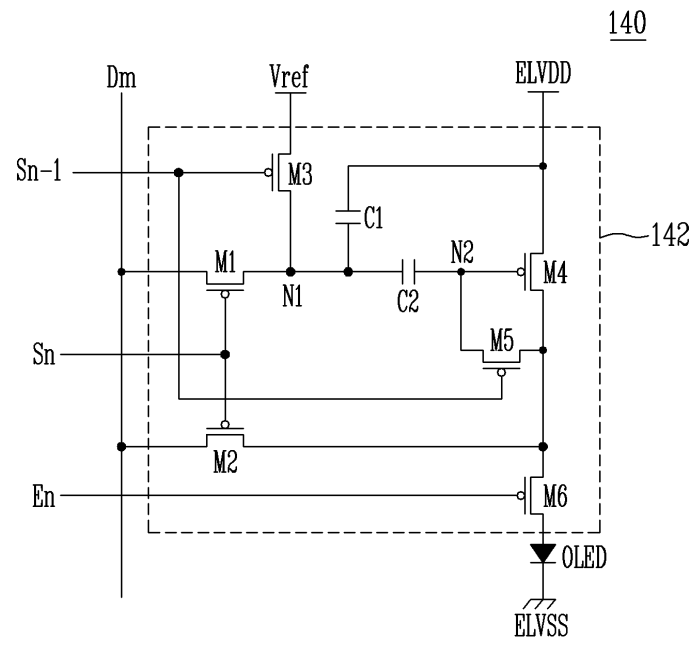
도면1



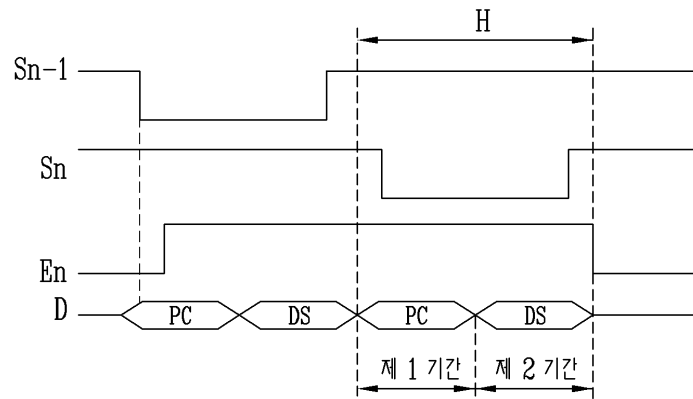
도면2



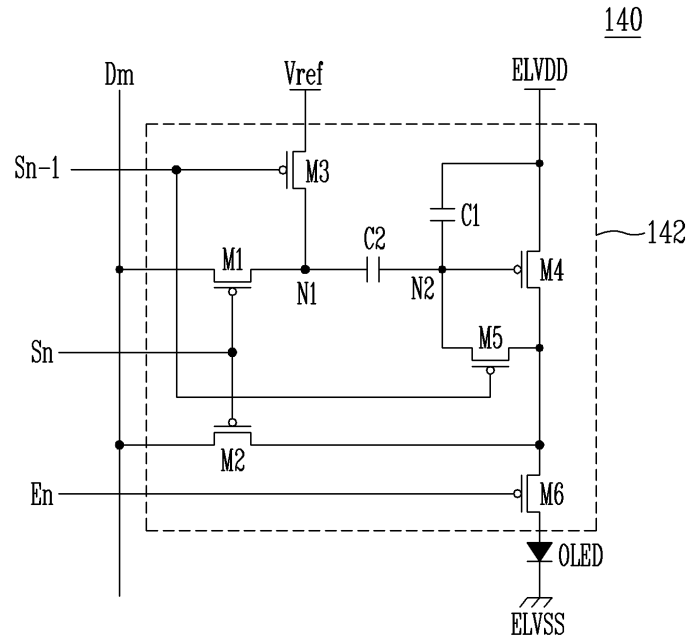
도면3



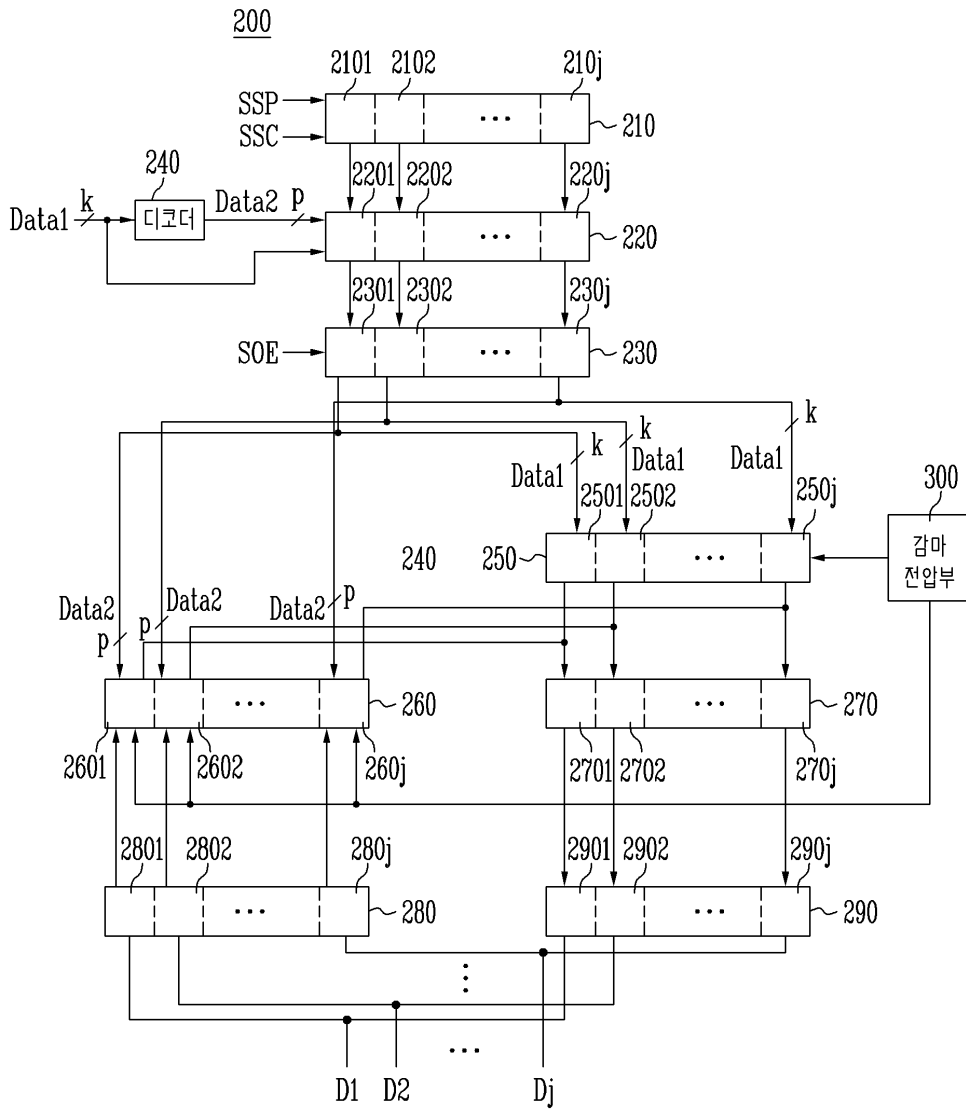
도면4



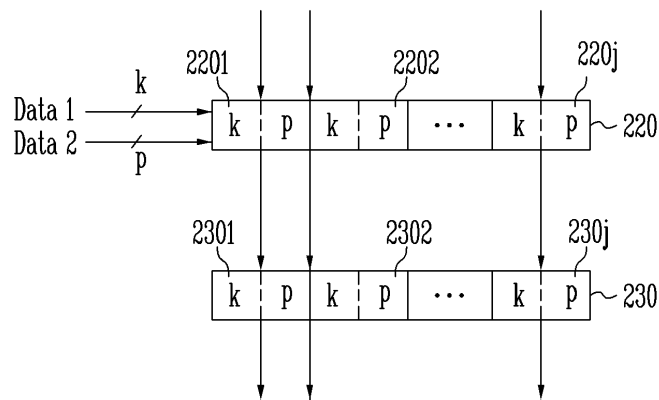
도면5



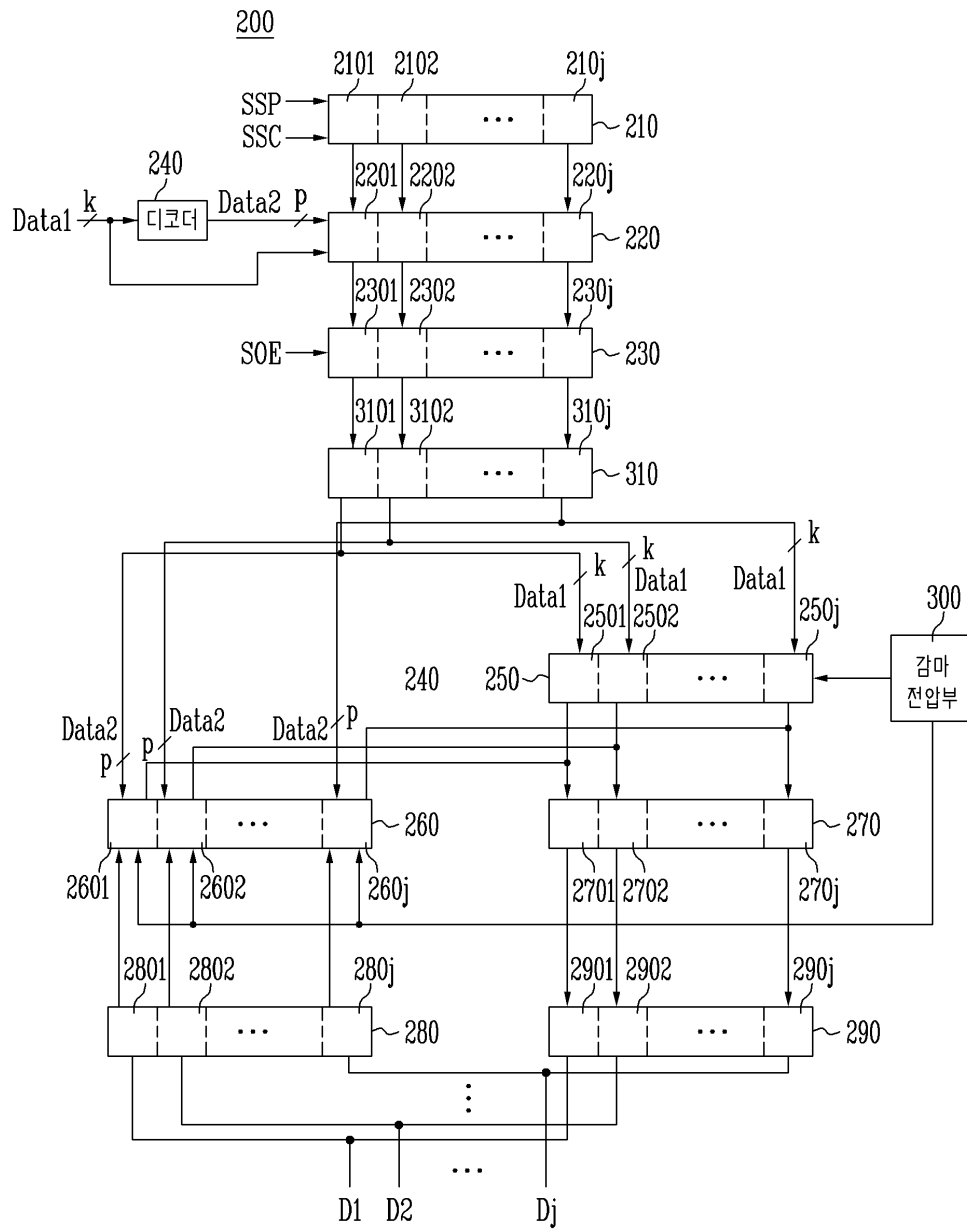
도면6



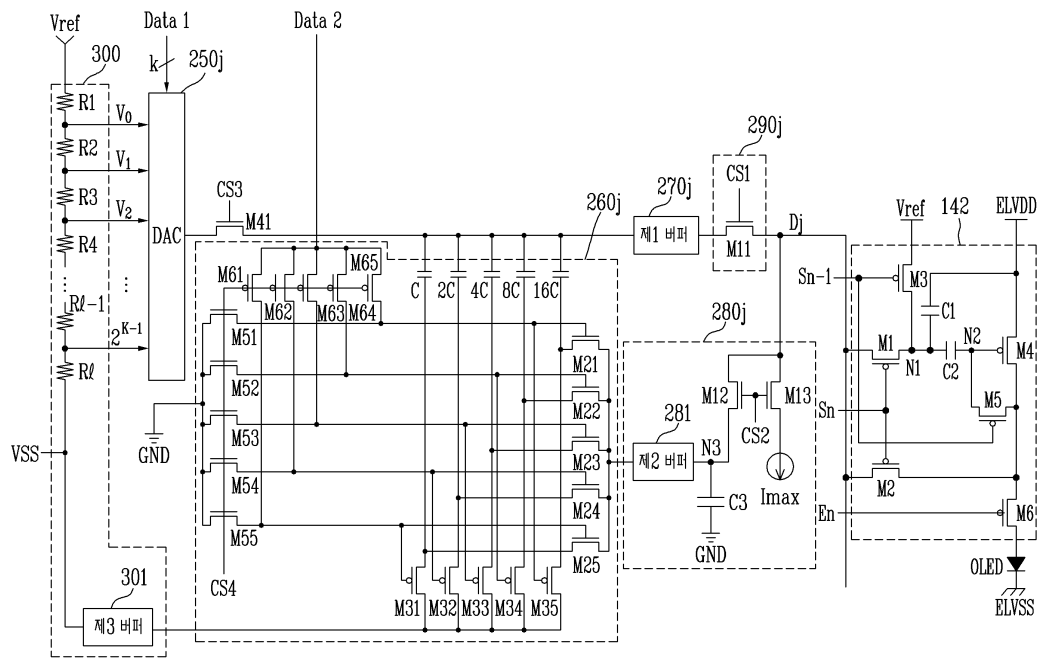
도면7



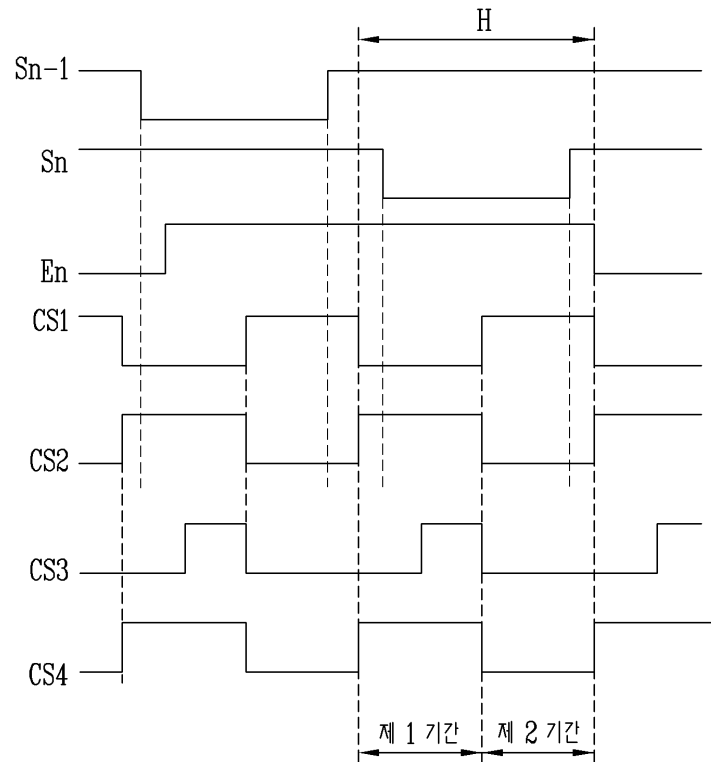
도면8



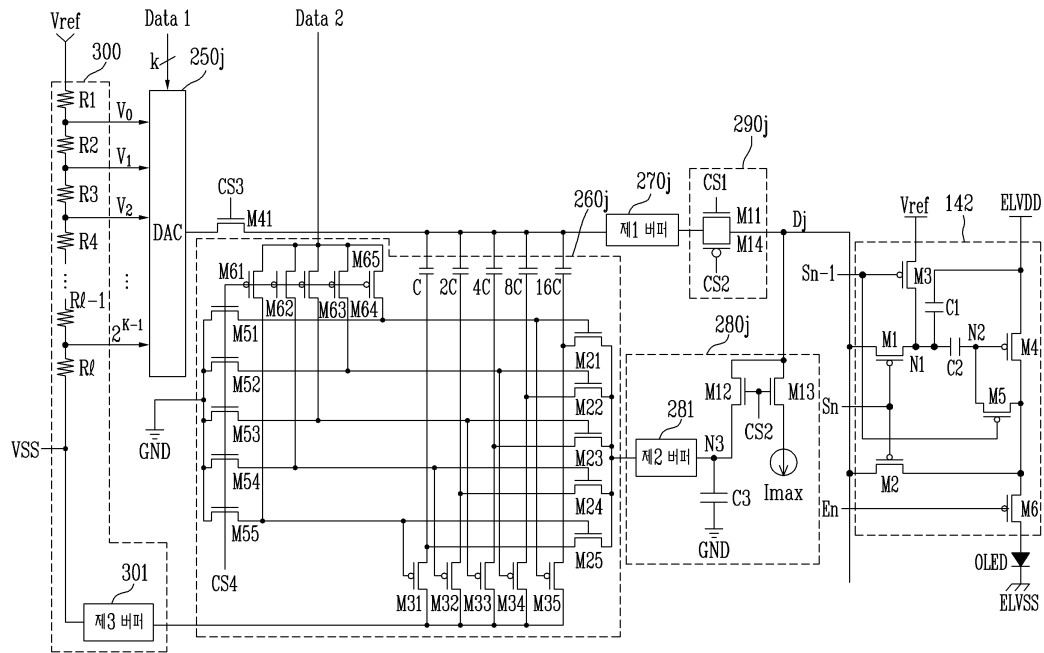
도면9



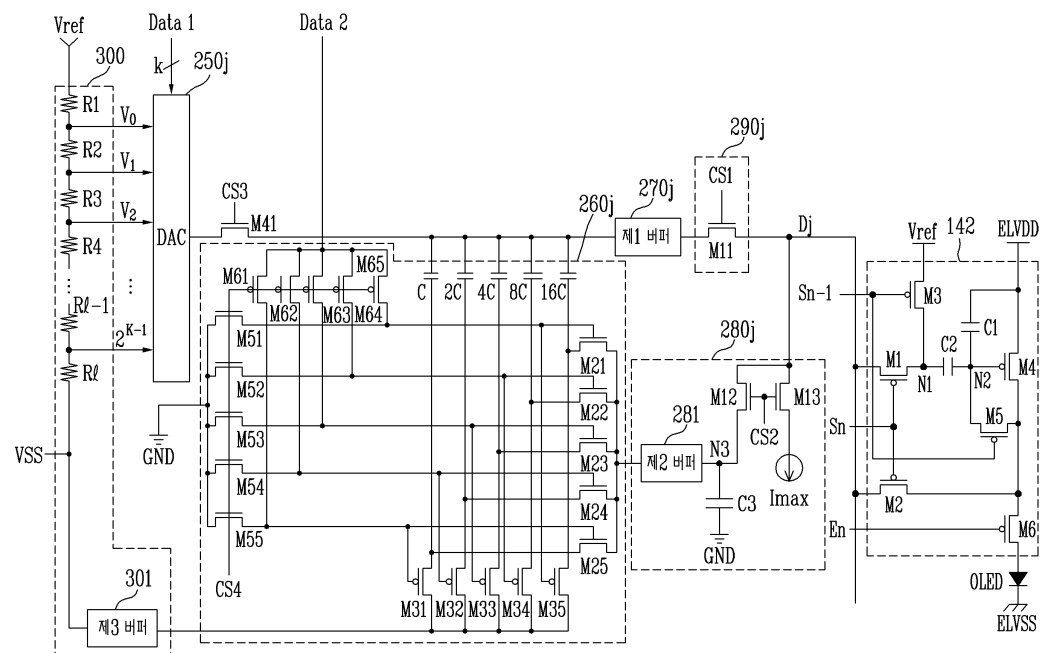
도면10



도면11



도면12



专利名称(译)	数据驱动电路和使用其的有机发光显示器		
公开(公告)号	KR100703492B1	公开(公告)日	2007-04-03
申请号	KR1020050070439	申请日	2005-08-01
[标]申请(专利权)人(译)	汉阳大学校产学协力团		
申请(专利权)人(译)	三星SD眼有限公司 汉阳大学产学合作基金会		
当前申请(专利权)人(译)	三星SD眼有限公司 汉阳大学产学合作基金会		
[标]发明人	CHUNG BO YONG 정보용 RYU DO HYUNG 류도형 KWON OH KYONG 권오경		
发明人	정보용 류도형 권오경		
IPC分类号	G09G3/30		
CPC分类号	G09G2300/0852 G09G2300/0861 G09G2320/043 G09G2310/0262 G09G2310/0251 G09G2310/027 G09G3/3233 G09G2300/0819 G09G3/3291		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020070015828A		
外部链接	Espacenet		

摘要(译)

用途：提供数据驱动电路和使用该数据驱动电路的有机发光显示装置，
以通过重置数据信号的电压值来补偿驱动晶体管之间的迁移率差异。

