



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0052638
(43) 공개일자 2012년05월24일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01)
(21) 출원번호 10-2010-0113893
(22) 출원일자 2010년11월16일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
타카스기신지
경기도 파주시 월롱면 엘씨디로8번길 47-9, 202호
타니료슈케
경기도 파주시 월롱면 엘씨디로8번길 47-9, 201호
(74) 대리인
특허법인로알

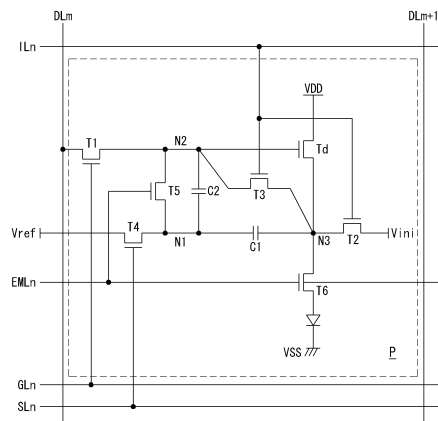
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명은 유기발광다이오드 표시장치에 관한 것이다. 본 발명의 유기발광다이오드 표시장치는 데이터 라인과, 상기 데이터 라인과 교차하는 스캔 라인으로 정의되는 다수의 화소들을 포함하고, 상기 화소들 각각은, 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 상기 제1 노드와 제2 노드 사이에 접속된 제2 캐패시터; 상기 제3 노드와 저전위 전압원 사이에 접속된 유기발광다이오드; 상기 제2 노드의 전압에 따라 고전위 전압원과 상기 제3 노드 사이에 흐르는 전류의 양을 조절하는 구동 트랜지스터; 및 상기 제1 노드에 데이터 전압을 공급하는 프로그램 기간, 및 상기 구동 트랜지스터의 문턱전압을 검출하는 문턱전압 검출기간 동안 상기 제2 노드와 상기 제3 노드 사이에 상기 제1 캐패시터와 상기 제2 캐패시터를 직렬 접속시킨 후에, 상기 유기발광다이오드의 발광기간 동안 상기 제1 노드와 상기 제2 노드를 등전위로 연결하여 상기 제2 노드와 상기 제3 노드 사이에 제1 캐패시터만을 접속시키는 제어 회로를 포함하는 것을 특징으로 한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

데이터 라인과, 상기 데이터 라인과 교차하는 스캔 라인으로 정의되는 다수의 화소들을 포함하고,

상기 화소들 각각은,

제1 노드와 제3 노드 사이에 접속된 제1 캐패시터;

상기 제1 노드와 제2 노드 사이에 접속된 제2 캐패시터;

상기 제3 노드와 저전위 전압원 사이에 접속된 유기발광다이오드;

상기 제2 노드의 전압에 따라 고전위 전압원과 상기 제3 노드 사이에 흐르는 전류의 양을 조절하는 구동 트랜지스터; 및

상기 제1 노드에 데이터 전압을 공급하는 프로그램 기간, 및 상기 구동 트랜지스터의 문턱전압을 검출하는 문턱전압 검출기간 동안 상기 제2 노드와 상기 제3 노드 사이에 상기 제1 캐패시터와 상기 제2 캐패시터를 직렬 접속시킨 후에, 상기 유기발광다이오드의 발광기간 동안 상기 제1 노드와 상기 제2 노드를 등전위로 연결하여 상기 제2 노드와 상기 제3 노드 사이에 제1 캐패시터만을 접속시키는 제어 회로를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제어 회로는,

제n 스캔 펄스에 응답하여 상기 데이터 전압을 상기 제2 노드에 공급하는 제1 트랜지스터;

상기 제n 스캔 펄스보다 앞서서 발생하는 제n 초기화 신호의 펄스에 응답하여 초기화 전압을 상기 제3 노드에 공급하는 제2 트랜지스터;

상기 제n 초기화 신호의 펄스에 응답하여 상기 제3 노드의 초기화 전압을 상기 제2 노드에 공급하는 제3 트랜지스터;

상기 제n 스캔 펄스보다 앞서서 발생하는 제n 센싱 신호의 펄스에 응답하여 기준 전압을 상기 제1 노드에 공급하는 제4 트랜지스터;

상기 제n 초기화 신호의 펄스, 및 상기 제n 센싱 신호의 펄스보다 앞서서 발생하는 제n 발광제어신호의 펄스에 응답하여 상기 제1 노드와 상기 제2 노드를 연결하는 제5 트랜지스터; 및

상기 제n 발광제어신호의 펄스에 응답하여 상기 유기발광다이오드를 발광시키는 제6 트랜지스터를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

제n 발광제어신호의 펄스, 제n 초기화 신호의 펄스, 및 제n 센싱 신호의 펄스는 순차적으로 발생하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 4

제 2 항에 있어서,

상기 제n 초기화 신호의 펄스, 및 상기 제n 센싱 신호의 펄스는 동시에 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제 2 항에 있어서,

상기 제 n 발광제어신호의 펄스, 상기 제 n 초기화 신호의 펄스, 및 상기 제 n 센싱 신호의 펄스는 동시에 발생 하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 2 항에 있어서,

상기 제 n 스캔 펄스, 상기 제 n 초기화 신호의 펄스, 및 상기 제 n 센싱 신호의 펄스 각각은 1 수평기간 이상 동안 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

제 6 항에 있어서,

상기 제 n 발광제어신호의 펄스는 3 수평기간 동안 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

제 2 항에 있어서,

상기 제 n 스캔 펄스, 상기 제 n 초기화 신호의 펄스, 및 상기 제 n 센싱 신호의 펄스는 게이트 하이 전압으로 발생하고,

상기 제 n 발광제어신호의 펄스는 상기 게이트 하이 전압보다 낮은 게이트 로우 전압으로 발생하는 것을 특징 으로 하는 유기발광다이오드 표시장치.

청구항 9

제 2 항에 있어서,

상기 제 n 스캔 펄스, 상기 제 n 초기화 신호의 펄스, 및 상기 제 n 센싱 신호의 펄스는 게이트 로우 전압으로 발생하고,

상기 제 n 발광제어신호의 펄스는 상기 게이트 로우 전압보다 높은 게이트 하이 전압으로 발생하는 것을 특징 으로 하는 유기발광다이오드 표시장치.

명 세 서

기술 분야

[0001]

본 발명은 유기발광다이오드 표시장치에 관한 것이다.

배 경 기 술

[0002]

정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기 발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기발광다이오드 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각 이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광다이오드 표시장치로서, 다수의 화소가 매트릭스 형태 로 위치하여 영상을 표시하는 액티브 매트릭스 타입 유기발광다이오드 표시장치가 널리 사용된다.

[0003]

액티브 매트릭스 타입 유기발광다이오드 표시장치의 표시패널은 스캔라인과 데이터라인들로 정의되는 다수의 화소들을 포함한다. 화소 어레이는 일반적으로 스캔라인의 게이트펄스에 응답하여 데이터전압을 공급하는 스 캔 트랜지스터와 게이트전극에 공급되는 데이터전압에 따라 유기발광다이오드(OLED)에 공급되는 전류의 양을 조절하는 구동 트랜지스터로 구현된다. 구동 트랜지스터의 드레인-소스간 전류(Ids)는 수학식 1과 같다.

수학식 1

$$I_{ds} = \frac{\beta}{2} \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005]

수학식 1에서, β 는 트랜지스터의 구조와 물리적 특성으로 결정되는 비례 계수, V_{gs} 는 게이트-소스간 전압, V_{th} 는 문턱전압을 의미한다. 하지만, 다수의 화소들 사이에서 발생하는 구동 트랜지스터의 문턱전압에 대한 편차로 인해 유기발광다이오드(OLED)에 공급되는 전류(I_{ds})가 원하는 값과 다른 값을 갖게 되어, 발광되는 빛의 휘도가 목표 휘도와 달라지는 문제점이 발생한다. 따라서, 다수의 화소들 사이에서 발생하는 구동 트랜지스터의 문턱전압을 검출하여 보상하는 여러 형태의 화소 구조가 제안되고 있다.

[0006]

여러 형태의 화소 구조 중에서, 스캔 트랜지스터와 구동 트랜지스터 사이에 연결되는 A 캐패시터와, 구동 트랜지스터의 문턱전압을 저장하는 B 캐패시터가 직렬로 연결된 화소 구조의 경우, A 캐패시터와 B 캐패시터의 합성용량(C_{AB})은 수학식 2와 같다.

수학식 2

$$C_{AB} = \frac{C_A \cdot C_B}{C_A + C_B}$$

[0007]

[0008]

수학식 2에서, C_{AB} 는 A 캐패시터와 B 캐패시터의 합성용량, C_A 는 A 캐패시터의 용량, C_B 는 B 캐패시터의 용량이다. A 캐패시터와 B 캐패시터가 직렬로 연결된 화소 구조의 경우, 합성용량(C_{AB})은 A 캐패시터의 용량(C_A), 또는 B 캐패시터의 용량(C_B)보다 작아진다. 따라서, A 캐패시터(C_A)와 B 캐패시터(C_B)에 의해 일정한 전압을 유지해야하는 노드들이 화소 내 트랜지스터들의 기생용량의 영향을 받게 된다. 이로 인해, 구동 트랜지스터의 문턱전압의 보상이 제대로 이루어지지 않는 문제가 있다.

발명의 내용

해결하려는 과제

[0009]

본 발명은 구동 트랜지스터의 문턱전압을 보상하는 유기발광다이오드 표시장치를 제공한다.

과제의 해결 수단

[0010]

본 발명의 유기발광다이오드 표시장치는 데이터 라인과, 상기 데이터 라인과 교차하는 스캔 라인으로 정의되는 다수의 화소들을 포함하고, 상기 화소들 각각은, 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 상기 제1 노드와 제2 노드 사이에 접속된 제2 캐패시터; 상기 제3 노드와 저전위 전압원 사이에 접속된 유기발광다이오드; 상기 제2 노드의 전압에 따라 고전위 전압원과 상기 제3 노드 사이에 흐르는 전류의 양을 조절하는 구동 트랜지스터; 및 상기 제1 노드에 데이터 전압을 공급하는 프로그램 기간, 및 상기 구동 트랜지스터의 문턱전압을 검출하는 문턱전압 검출기간 동안 상기 제2 노드와 상기 제3 노드 사이에 상기 제1 캐패시터와 상기 제2 캐패시터를 직렬 접속시킨 후에, 상기 유기발광다이오드의 발광기간 동안 상기 제1 노드와 상기 제2 노드를 등전위로 연결하여 상기 제2 노드와 상기 제3 노드 사이에 제1 캐패시터만을 접속시키는 제어 회로를 포함하는 것을 특징으로 한다.

발명의 효과

- [0011] 본 발명은 유기발광다이오드가 발광하지 않는 문턱전압 보상 기간에는 직렬 연결된 캐패시터를 이용하나, 유기발광다이오드가 발광하는 발광 기간에는 하나의 캐패시터를 이용한다. 그 결과, 본 발명은 일정한 전압을 유지해야하는 노드들이 화소 내 존재하는 트랜지스터들의 기생용량의 영향을 적게 받는다. 이로 인해, 본 발명은 구동 트랜지스터의 문턱전압을 정확히 보상할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 제1 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다.
 도 2는 본 발명의 제1 실시예에 따른 화소에 입력되는 신호들을 보여주는 파형도이다.
 도 3a 내지 도 3d는 본 발명의 제1 실시예에 따른 화소 회로도의 시뮬레이션 결과를 보여주는 도면이다.
 도 4는 본 발명의 제1 실시예의 화소에 공급된 데이터 전압 대비 유기발광다이오드에 흐르는 전류의 양을 보여주는 도면이다.
 도 5는 본 발명의 제2 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다.
 도 6은 본 발명의 제3 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다.
 도 7은 본 발명의 제4 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다.
 도 8은 본 발명의 제4 실시예에 따른 화소에 입력되는 신호들을 보여주는 파형도이다.
 도 9는 본 발명의 제5 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다.
 도 10은 본 발명의 제6 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다.
 도 11은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하 첨부된 도면을 참조하여 유기발광다이오드 표시장치를 중심으로 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0014] 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0015] 도 1은 본 발명의 제1 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다. 도 1을 참조하면, 유기발광다이오드 표시장치의 화소(P)은 서로 교차하는 스캔 라인(GL)과 데이터 라인(DL)으로 정의된다. 각 화소(P)는 구동 트랜지스터(Td), 유기발광다이오드(OLED), 및 제어 회로 등을 포함한다.
- [0016] 제어 회로는 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)를 포함한다. 제1 트랜지스터(T1)의 게이트 전극은 제n(n은 자연수) 스캔 라인(GLn)과 연결되고, 소스 전극은 N2 노드(N2)와 연결되며, 드레인 전극은 제m(m은 자연수) 데이터라인(DLm)과 연결된다. 제2 트랜지스터(T2)의 게이트 전극은 제n 초기화 라인(ILn)과 연결되고, 소스 전극은 초기화 전압(Vini)과 연결되며, 드레인 전극은 N3 노드(N3)와 연결된다. 제3 트랜지스터(T3)의 게이트 전극은 제n 초기화 라인(ILn)과 연결되고, 소스 전극은 N3 노드(N3)와 연결되며, 드레인 전극은 N2 노드(N2)와 연결된다. 제4 트랜지스터(T4)의 게이트 전극은 제n 센싱 라인(SLn)과 연결되고, 소스 전극은 N1 노드(N1)와 연결되며, 드레인 전극은 기준 전압(Vref)과 연결된다. 제5 트랜지스터(T5)의 게이트 전극은 제n 발광제어라인(EMn)과 연결되고, 소스 전극은 N2 노드(N2)와 연결되며, 드레인 전극은 N1 노드(N1)와 연결된다. 제6 트랜지스터(T6)의 게이트 전극은 제n 발광제어라인(EMn)과 연결되고, 소스 전극은 유기발광다이오드(OLED)와 연결되며, 드레인 전극은 N3 노드(N3)와 연결된다.
- [0017] 구동 트랜지스터(Td)의 게이트 전극은 N2 노드(N2)와 연결되고, 소스 전극은 N3 노드(N3)와 연결되며, 드레인

전극은 고전위 전압원(VDD)과 연결된다. 구동 트랜지스터(Td)는 게이트 전극에 인가된 데이터 전압에 따라, 구동 트랜지스터(Td)를 통과하는 전류(Ids)의 양을 다르게 조절한다.

- [0018] 본 발명의 제1 실시예에 따른 화소(P) 내의 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)는 N 타입 MOS-FET으로 구현된다. 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)의 액티브 층으로 사용되는 반도체는 a-Si, Poly-Si, 산화물 반도체 중 어느 하나로 형성될 수 있다.
- [0019] 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)의 게이트 하이 전압(VGH)은 대략 15V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -5V 내지 -10V로 설정될 수 있다. 고전위 전압원(VDD)은 구동 트랜지스터(Td)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 직류 고전위 전원 전압으로 설정될 수 있다. 초기화 전압(Vini)은 N2 노드(N2)와 N3 노드(N3)를 초기화시키는 전압이고, 기준 전압(Vref)은 N1 노드(N1)를 초기화시키는 전압이다.
- [0020] N1 노드(N1)는 제4 트랜지스터(T4)의 소스 전극, 제5 트랜지스터(T5)의 드레인 전극, 제1 캐패시터(C1)의 제1 전극, 및 제2 캐패시터(C2)의 제1 전극에 연결된다. N2 노드(N2)는 제1 트랜지스터(T1)의 소스 전극, 제3 트랜지스터(T3)의 드레인 전극, 제5 트랜지스터(T5)의 소스 전극, 구동 트랜지스터(Td)의 게이트 전극, 및 제2 캐패시터(C2)의 제2 전극에 연결된다. N3 노드(N3)는 제2 트랜지스터(T2)의 드레인 전극, 제3 트랜지스터(T3)의 소스 전극, 제6 트랜지스터(T6)의 드레인 전극, 구동 트랜지스터(Td)의 소스 전극, 및 제1 캐패시터(C1)의 제2 전극에 연결된다.
- [0021] 유기발광다이오드(OLED)의 애노드 전극은 제6 트랜지스터(T5)의 소스 전극과 연결되고, 캐소드 전극은 저전위 전압원(VSS)과 연결된다. 제1 캐패시터(C1)는 N1 노드(N1)와 N3 노드(N3)의 차전압을 저장한다. 제2 캐패시터(C2)는 N1 노드(N1)와 N2 노드(N2)의 차전압을 저장한다.
- [0022] 도 2는 본 발명의 제1 실시예에 따른 화소에 입력되는 신호들을 보여주는 파형도이다. 도 2를 참조하면, 제n 스캔 펄스(Spn), 제n 초기화 신호(INIn), 제n 발광제어신호(EMn), 및 제n 센싱 신호(SENn)가 화소(P) 각각에 입력된다.
- [0023] 제n 스캔 펄스(Spn), 제n 초기화 신호(INIn), 제n 발광 제어신호(EMn), 및 제n 센싱 신호(SENn) 각각은 1 프레임 기간을 주기로 반복된다. 제n 스캔 펄스(Spn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스 각각은 게이트 하이 전압(VGH)으로 발생한다. 제n 발광제어신호(EMn)의 펄스는 게이트 로우 전압(VGL)으로 발생한다.
- [0024] 소정의 t1 시간은 초기화 전압을 공급하는 초기화 기간이고, 소정의 t2 시간은 데이터 전압을 공급하는 프로그램 기간이다. 소정의 t3 시간은 구동 트랜지스터(Td)의 문턱전압(Vth)을 검출하는 문턱전압(Vth) 검출기간이고, 소정의 t4 시간은 유기발광다이오드(OLED)가 발광하는 발광기간이다.
- [0025] 소정의 t1 시간 동안 제n 발광제어신호(EMn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스가 순차적으로 발생한다. 제n 발광제어신호(EMn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스는 동시에 발생할 수도 있다. 제n 초기화 신호(INIn)의 펄스는 1 수평기간(1H) 동안 발생한다. 제n 발광제어신호(EMn)의 펄스는 3 수평기간(3H) 내지 4 수평기간(4H) 동안 발생한다. 제n 센싱 신호(SENn)의 펄스는 3 수평기간(3H) 동안 발생한다.
- [0026] 소정의 t2 시간 동안 제n 스캔 펄스(Spn)의 펄스가 발생한다. 제n 스캔 펄스(Spn)의 펄스는 1 수평기간 동안 발생한다. 소정의 t2 시간 동안 제n 발광제어신호(EMn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스는 유지된다.
- [0027] 소정의 t3 시간 동안 제n 발광제어신호(EMn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스는 유지된다. 소정의 t4 시간 동안 제n 스캔 펄스(Spn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 제n 발광제어신호(EMn)의 펄스, 및 제n 센싱 신호(SENn)는 발생하지 않는다.
- [0028] 도 2에서, 본 발명의 제1 실시예에 따른 화소(P)의 입력신호들은 제n 스캔 펄스(Spn)의 펄스, 및 제n 초기화 신호(INIn)의 펄스가 1 수평기간(1H) 동안 발생하고, 제n 센싱 신호(SENn)의 펄스는 3 수평기간(3H) 동안 발생하며, 제n 발광제어신호(EMn)의 펄스는 3 수평기간(3H) 내지 4 수평기간(4H) 동안 발생하는 것을 예시하였다. 하지만, 본 발명은 이에 한정되지 않고, 제n 스캔 펄스(Spn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 제n 센싱 신호(SENn)의 펄스는 1 수평기간(1H) 이상 동안 발생할 수 있으며, 제n 발광제어신호(EMn)의 펄스는 3

수평기간(3H) 이상 동안 발생할 수 있음에 주의하여야 한다.

- [0029] 이하에서, 도 2의 파형도에 따른 화소(P)의 동작을 상세히 설명한다. 이에 대하여는 도 1을 결부하여 설명하고, 소정의 t1 내지 t4 시간에 따라 순차적으로 설명한다.
- [0030] 소정의 t1 시간 동안, 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 게이트 로우 전압(VGL)의 제n 발광제어신호(EMn) 펄스에 의해 턴-오프된다. 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 제n 초기화 신호(INIn) 펄스에 응답하여 턴-온된다. 제4 트랜지스터(T4)는 게이트 하이 전압(VGH)의 제n 센싱 신호(SENn) 펄스에 응답하여 턴-온된다. 제1 트랜지스터(T1)는 게이트 로우 전압(VGL)의 제n 스캔 펄스(SPn)에 의해 턴-오프된 상태이다.
- [0031] 제2 트랜지스터(T2)의 턴-온으로, N3 노드(N3)는 초기화 전압(Vini)으로 방전된다. 제3 트랜지스터(T3)의 턴-온으로, N2 노드(N2)는 초기화 전압(Vini)으로 방전된다. 또한, 제4 트랜지스터(T4)의 턴-온으로, 기준 전압(Vref)이 N1 노드(N1)에 공급된다.
- [0032] 소정의 t2 시간 동안, 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 제n 스캔 펄스(SPn)의 펄스에 의해 턴-온된다. 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 제n 초기화 신호(INIn)에 의해 턴-오프된다. 제n 센싱 신호(SENn)의 펄스가 유지되므로, 제4 트랜지스터(T4)는 턴-온 상태를 유지한다. 제n 발광제어신호(EMn)의 펄스가 유지되므로, 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 턴-온 상태를 유지한다.
- [0033] 제1 트랜지스터(T1)의 턴-온으로, 데이터 전압(Vdata)이 N2 노드(N2)에 공급된다. 구동 트랜지스터(Td)의 게이트 전극에는 데이터 전압(Vdata)이 인가되고, 소스 전극에는 초기화 전압(Vini)이 인가된다. 구동 트랜지스터(Td)의 게이트 전극과 소스 전극 간의 전압 차이(Vdata-Vini)가 문턱전압(Vth)보다 크기 때문에, 구동 트랜지스터(Td)에 전류패스가 형성되므로, 소스 전극의 전압은 데이터 전압과 문턱전압의 차전압(Vdata-Vth)까지 상승한다. 따라서, N3 노드(N3)는 데이터 전압과 문턱전압의 차전압(Vdata-Vth)으로 상승하기 시작한다.
- [0034] N1 노드(N1)는 제4 트랜지스터(T4)의 턴-온으로, 기준 전압(Vref)을 유지한다. 제2 캐패시터(C2)는 N1 노드(N1)와 N2 노드(N2)의 차전압인 데이터 전압과 기준 전압의 차전압(Vdata-Vref)을 저장한다.
- [0035] 소정의 t3 시간 동안, 제1 트랜지스터(T1)는 게이트 로우 전압(VGL)의 제n 스캔 펄스(SPn)에 의해 턴-오프된다. 제n 센싱 신호(SENn)의 펄스가 유지되므로, 제4 트랜지스터(T4)는 턴-온 상태를 유지한다. 제n 발광제어신호(EMn)의 펄스가 유지되므로, 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 턴-온 상태를 유지한다. 게이트 로우 전압(VGL)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.
- [0036] 제1 트랜지스터(T1)의 턴-오프로, N2 노드(N2)에는 더 이상 데이터 전압(Vdata)이 공급되지 않는다. N1 노드(N1)는 제4 트랜지스터(T4)의 턴-온으로, 기준 전압(Vref)을 유지한다. 제2 캐패시터(C2)는 N1 노드(N1)와 N2 노드(N2)의 차전압인 데이터 전압과 기준 전압의 차전압(Vdata-Vref)을 저장한다.
- [0037] N2 노드(N2)의 전압은 N1 노드(N1)의 전압인 기준 전압(Vref)과 제2 캐패시터(C2)에 충전된 전압(Vdata-Vref)을 합한 전압(Vref+Vdata-Vref)이 된다. 따라서, N2 노드(N2)는 데이터 전압(Vdata)을 유지한다. N3 노드(N3)는 데이터 전압과 문턱전압의 차전압(Vdata-Vth)으로 상승한다. 제1 캐패시터(C1)는 N1 노드(N1)와 N3 노드(N3)의 차전압(Vref-Vdata+Vth)을 저장한다.
- [0038] 소정의 t4 시간 동안, 제4 트랜지스터(T4)는 게이트 로우 전압(VGL)의 제n 센싱 신호(SENn)에 의해 턴-오프된다. 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 게이트 하이 전압(VGH)의 제n 발광제어신호(EMn)에 의해 턴-온된다. 게이트 로우 전압(VGL)의 제n 스캔 펄스(SPn)로 인해, 제1 트랜지스터(T1)은 턴-오프 상태를 유지한다. 게이트 로우 전압(VGL)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.
- [0039] 제4 트랜지스터(T4)의 턴-오프로, N1 노드(N1)에는 더 이상 기준 전압(Vref)이 공급되지 않는다. 제6 트랜지스터(T6)의 턴-온으로, 유기발광다이오드(OLED)의 애노드 전극과 N3 노드(N3)에 발광전압(V_{OLED})이 인가된다. N1 노드(N1)는 N3 노드(N3)의 전압(V_{OLED})과 제1 캐패시터(C1)에 충전된 전압(Vref-Vdata+Vth)을 합한 전압(V_{OLED}+Vref-Vdata+Vth)이 된다. 제5 트랜지스터(T5)의 턴-온으로, N1 노드(N1)와 N2 노드(N2)가 연결되므로,

N2 노드(N2)의 전압은 ($V_{oled}+V_{ref}-V_{data}+V_{th}$)이 된다. 종합해보면, 본 발명의 제1 실시예에 따른 화소(P)의 구동 트랜지스터의 드레인-소스간 전류(I_{ds})는 수학적 식 3과 같이 문턱전압(V_{th})이 보상된다.

수학적 식 3

$$I_{ds} = \frac{\beta}{2} \cdot (V_{oled} + V_{ref} - V_{data} + V_{th} - V_{oled} - V_{th}) = \frac{\beta}{2} \cdot (V_{ref} - V_{data})$$

[0040]

[0041]

또한, 제5 트랜지스터(T5)가 턴-오프되면, N1 노드(N1)와 N2 노드(N2)는 제2 캐패시터(C2)를 사이에 두고 연결된다. 제3 트랜지스터(T3)와 제5 트랜지스터(T5)가 턴-오프된 경우, N2 노드(N2)와 N3 노드(N3) 사이에서 제1 캐패시터(C1)와 제2 캐패시터(C2)는 직렬 접속된다.

[0042]

제5 트랜지스터(T5)가 턴-온되면, N1 노드(N1)와 N2 노드(N2)는 실질적으로 등전위로 연결된다. 제3 트랜지스터(T3)와 제5 트랜지스터(T5)가 턴-오프된 경우, N2 노드(N2)와 N3 노드(N3) 사이에서 제1 캐패시터(C1)만이 접속된다.

[0043]

결국, 소정의 t4 시간 동안 제5 트랜지스터(T5)의 턴-온되므로, N2 노드(N2)와 N3 노드(N3) 사이에서 제1 캐패시터(C1)만이 접속된다. 제1 캐패시터(C1)와 제2 캐패시터(C2)의 합성용량보다 제1 캐패시터(C1)의 용량이 크기 때문에, N1 노드(N1), N2 노드(N2), 및 N3 노드(N3)의 전압은 화소(P) 내 트랜지스터들의 기생용량의 영향을 적게 받는다.

[0044]

도 3a 내지 도 3d는 본 발명의 제1 실시예에 따른 화소 회로도의 시뮬레이션 결과를 보여주는 도면이다. 도 3a를 참조하면, 본 발명의 제1 실시예에 따른 화소(P)에 입력되는 신호들이 나타나 있다. 도 3a에서, 게이트 하이 전압(VGH)은 16V로 설정되었고, 게이트 로우 전압(VGL)은 -10V로 설정되었다.

[0045]

도 3b 내지 도 3d를 참조하면, 시간에 따른 화소(P)의 N1 노드(N1), N2 노드(N2), 및 N3 노드(N3)의 전압 변화가 나타나 있다. 도 3b 내지 도 3d에서, x축은 시간, y축은 전압을 나타낸다. x축의 시간은 d1 시점 내지 d6 시점으로 구분할 수 있다. 도 2와 결부하여 x축의 시간을 설명하면, 초기화 기간(t1)은 d1 시점부터 d3 시점까지의 기간이고, 프로그램 기간(t2)는 d3 시점부터 d4 시점까지의 기간이다. 문턱전압 검출기간(t3)은 d4 시점부터 d5 시점까지의 기간이며, 발광 기간(t4)은 d6 시점부터 시작된다.

[0046]

도 3b 내지 도 3d를 참조하면, 구동 트랜지스터(Td)의 문턱전압(V_{th})을 변화하면서 시간에 따른 화소(P)의 N1 노드(N1), N2 노드(N2), 및 N3 노드(N3)의 전압 변화를 측정하였다. ΔV_{th} 는 구동 트랜지스터(Td)의 문턱전압(V_{th}) 변화량을 뜻한다. ΔV_{th} 가 0V인 경우, 문턱전압(V_{th})이 변화되지 않은 것을 나타낸다. ΔV_{th} 가 1V인 경우, 문턱전압(V_{th})이 1V 변화된 것을 나타낸다. ΔV_{th} 가 2V인 경우, 문턱전압(V_{th})이 2V 변화된 것을 나타낸다.

[0047]

도 3a 내지 도 3d를 참조하여 N1 노드(N1), N2 노드(N2), 및 N3 노드(N3)의 전압 변화를 살펴본다. 첫 번째로, N1 노드(N1)의 전압 변화를 살펴본다. d1 시점에 제n 발광제어신호(EMn)의 펄스에 의해 제5 트랜지스터(T5)와 제6 트랜지스터(T6)가 턴-오프되고, d2 시점에 제n 센싱 신호(SENn)의 펄스에 응답하여 제4 트랜지스터(T4)가 턴-온되면, N1 노드(N1)는 기준 전압(V_{ref})으로 방전된다. 본 시뮬레이션에서 기준 전압(V_{ref})은 대략 6V로 설정되었다. d5 시점에 제n 센싱 신호(SENn)의 게이트 로우 전압(VGL)에 의해 제4 트랜지스터(T4)가 턴-오프되고, d6 시점에 제n 발광제어신호(EMn)의 게이트 하이 전압(VGH)에 의해 제6 트랜지스터(T6)가 턴-온되면, N1 노드(N1)는 ($V_{oled}+V_{ref}-V_{data}+V_{th}$)로 상승한다.

[0048]

두 번째로, N2 노드(N2)의 전압 변화를 살펴본다. d2 시점에 제n 초기화 신호(INIn)의 펄스에 응답하여 제2 트랜지스터(T2)와 제3 트랜지스터(T3)가 턴-온되면, N2 노드(N2)는 초기화 전압(V_{ini})으로 방전된다. 본 시뮬레이션에서 초기화 전압(V_{ini})은 대략 -5V로 설정되었다. d3 시점에 제n 스캔 펄스(SPn)의 펄스에 응답하여 제1 트랜지스터(T1)가 턴-온되고, 제n 초기화 신호(INIn)의 게이트 하이 전압(VGH)에 의해 제2 트랜지스터(T2)와 제3 트랜지스터(T3)가 턴-오프되면, N2 노드(N2)는 데이터 전압(V_{data})으로 충전된다. 본 시뮬레이션에서 데이터 전압(V_{data})은 대략 0V로 설정되었다. d4 시점에 제n 스캔 펄스(SPn)의 게이트 로우 전압(VGL)에 의해 제1 트랜지스터(T1)가 턴-오프되고, d6 시점에 제n 발광제어신호(EMn)의 게이트 하이 전압(VGH)에 의

해 제5 트랜지스터(T5)와 제6 트랜지스터(T6)가 턴-온되면, N2 노드(N2)는 N1 노드(N1)와 같은 $V_{oled}+V_{ref}-V_{data}+V_{th}$ 로 상승한다.

[0049] 세 번째로, N3 노드(N3)의 전압 변화를 살펴본다. d2 시점에 제n 초기화 신호(INIn)의 펄스에 응답하여 제2 트랜지스터(T2)와 제3 트랜지스터(T3)가 턴-온되면, N3 노드(N3)는 초기화 전압(Vini)으로 방전된다. 본 시뮬레이션에서 초기화 전압(Vini)은 대략 -5V로 설정되었다. d3 시점에 제n 스캔 펄스(SPn)의 펄스에 응답하여 제1 트랜지스터(T1)가 턴-온되고, 제n 초기화 신호(INIn)의 게이트 하이 전압(VGH)에 의해 제2 트랜지스터(T2)와 제3 트랜지스터(T3)가 턴-오프되면, N3 노드(N3)는 구동 트랜지스터(Td)의 특성에 의해 데이터 전압과 문턱전압의 차전압($V_{data}-V_{th}$)으로 상승한다. d4 시점에 제n 스캔 펄스(SPn)의 게이트 로우 전압(VGL)에 의해 제1 트랜지스터(T1)가 턴-오프되고, d6 시점에 제n 발광제어신호(EMn)의 게이트 하이 전압(VGH)에 의해 제5 트랜지스터(T5)와 제6 트랜지스터(T6)가 턴-온되면, N3 노드(N3)는 유기발광다이오드(OLED)의 발광 전압(V_{oled})까지 상승한다.

[0050] 도 3b 내지 도 3d의 시뮬레이션 각각은 구동 트랜지스터(Td)의 문턱전압(V_{th})이 다르므로, 문턱전압(V_{th}) 만큼의 차이가 있다. 도 3d를 참조하면, 구동 트랜지스터(Td)의 문턱전압(V_{th})이 변경되더라도, 제n 발광제어 신호(EMn)의 게이트 하이 전압(VGH)에 의해 제5 트랜지스터(T5)와 제6 트랜지스터(T6)가 턴-온된 후, N3 노드(N3)의 전압은 동일하다. 따라서, 본 발명의 제1 실시예에 따른 화소(P)의 경우, 수학적 식 3과 같이 문턱전압(V_{th})에 영향을 받지 않으므로, 유기발광다이오드(OLED)에 인가되는 전압이 동일하다.

[0051] 도 4는 본 발명의 제1 실시예의 화소에 공급된 데이터 전압 대비 유기발광다이오드에 흐르는 전류의 양을 보여주는 도면이다. 도 4에서, 데이터 전압(V_{data})에 따른 구동 트랜지스터(Td)의 드레인-소스간 전류의 제곱근($\sqrt{I_{ds}}$)이 나타나 있다. 도 4에서, x축은 데이터 전압(V_{data}), y축은 구동 트랜지스터(Td)의 드레인-소스간 전류의 제곱근($\sqrt{I_{ds}}$)을 나타낸다. 수학적 식 1과 같이, 드레인-소스간 전류(I_{ds})는 $(V_{gs}-V_{th})^2$ 에 비례하기 때문에, 도 4에서는 드레인-소스간 전류의 제곱근($\sqrt{I_{ds}}$)은 $(V_{gs}-V_{th})$ 에 비례한다. 따라서, 이해를 돕기 위해, y축은 드레인-소스간 전류가 아닌 드레인-소스간 전류의 제곱근($\sqrt{I_{ds}}$)으로 나타내었다.

[0052] 도 4를 참조하면, 구동 트랜지스터(Td)의 문턱전압(V_{th})을 변화하면서 데이터 전압(V_{data})에 따른 드레인-소스간 전류의 제곱근($\sqrt{I_{ds}}$)을 측정하였다. ΔV_{th} 는 구동 트랜지스터(Td)의 문턱전압(V_{th}) 변화량을 뜻한다. ΔV_{th} 가 0V인 경우, 문턱전압(V_{th}) 변화시키지 않았다. ΔV_{th} 가 1V인 경우, 문턱전압(V_{th})을 1V 변화시켰다. ΔV_{th} 가 2V인 경우, 문턱전압(V_{th})을 2V 변화시켰다.

[0053] 먼저, 데이터 전압(V_{data})이 커질수록, 구동 트랜지스터(Td)의 드레인-소스간 전류(I_{ds})는 작아진다. 또한, 문턱전압(V_{th})이 차이 나더라도, 데이터 전압(V_{data})이 동일하면, 구동 트랜지스터(Td)의 드레인-소스간 전류(I_{ds})는 거의 동일하다. 따라서, 본 발명의 제1 실시예에 따른 화소(P)은 문턱전압(V_{th})이 보상되므로, 화소(P)에 동일한 데이터 전압이 인가된다면, 구동 트랜지스터(Td)의 드레인-소스간 전류는 거의 동일함을 알 수 있다. 그러므로, 화소(P)에 동일한 데이터 전압이 인가된다면, 유기발광다이오드(OLED)에는 동일한 전류가 인가된다.

[0054] 도 5는 본 발명의 제2 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다. 도 5를 참조하면, 제2 트랜지스터(T2)의 게이트 전극은 제n 초기화 라인(ILn)과 연결되고, 소스 전극은 초기화 전압(Vini)과 연결되며, 드레인 전극은 N2 노드(N2)와 연결된다. 본 발명의 제2 실시예에 따른 화소(P)의 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)는 N 타입 MOS-FET으로 구현된다. 제1 트랜지스터(T1), 제3 내지 제6 트랜지스터(T3, T4, T5, T6), 구동 트랜지스터(Td), 제1 캐패시터(C1), 제2 캐패시터(C2), 및 유기발광다이오드(OLED)는 도 1에서 설명한 바와 같다.

[0055] 이하에서, 도 2의 파형도에 따른 화소(P)의 동작을 상세히 설명한다. 이에 대하여는 도 5를 결부하여 설명하

며, 도 1의 화소(P)과 도 5의 화소(P)의 차이점인 제2 트랜지스터(T2)와 제3 트랜지스터(T3)의 동작을 위주로 설명한다. 제1 트랜지스터(T1), 제4 내지 제6 트랜지스터(T4, T5, T6), 구동 트랜지스터(Td), 제1 캐패시터(C1), 제2 캐패시터(C2), 및 유기발광다이오드(OLED)는 도 1 및 도 2를 결부하여 앞에서 설명한 바와 같다.

[0056] 소정의 t1 시간 동안, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 제n 초기화 신호(INIn) 펄스에 응답하여 턴-온된다. 제2 트랜지스터(T2)의 턴-온으로, N2 노드(N2)는 초기화 전압(Vini)으로 방전된다. 제3 트랜지스터(T3)의 턴-온으로, N3 노드(N3)는 초기화 전압(Vini)으로 방전된다.

[0057] 소정의 t2 시간 동안, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 제n 초기화 신호(INIn)에 의해 턴-오프된다.

[0058] 소정의 t3 시간 동안, 게이트 로우 전압(VGL)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.

[0059] 소정의 t4 시간 동안, 게이트 로우 전압(VGL)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.

[0060] 도 6은 본 발명의 제3 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다. 도 6을 참조하면, 제3 트랜지스터(T3)의 게이트 전극은 제n 초기화 라인(ILn)과 연결되고, 소스 전극은 초기화 전압(Vini)과 연결되며, 드레인 전극은 N2 노드(N2)와 연결된다. 본 발명의 제3 실시예에 따른 화소(P)의 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)는 N 타입 MOS-FET으로 구현된다. 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제4 트랜지스터 내지 제6 트랜지스터(T4, T5, T6), 구동 트랜지스터(Td), 제1 캐패시터(C1), 제2 캐패시터(C2), 및 유기발광다이오드(OLED)는 도 1에서 설명한 바와 같다.

[0061] 이하에서, 도 2의 파형도에 따른 화소(P)의 동작을 상세히 설명한다. 이에 대하여는 도 6을 결부하여 설명하며, 도 1의 화소(P)과 도 6의 화소(P)의 차이점인 제2 트랜지스터(T2)와 제3 트랜지스터(T3)의 동작을 위주로 설명한다. 제1 트랜지스터(T1), 제4 내지 제6 트랜지스터(T4, T5, T6), 구동 트랜지스터(Td), 제1 캐패시터(C1), 제2 캐패시터(C2), 및 유기발광다이오드(OLED)는 도 1 및 도 2를 결부하여 앞에서 설명한 바와 같다.

[0062] 소정의 t1 시간 동안, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 제n 초기화 신호(INIn) 펄스에 응답하여 턴-온된다. 제2 트랜지스터(T2)의 턴-온으로, N3 노드(N3)는 초기화 전압(Vini)으로 방전된다. 제3 트랜지스터(T3)의 턴-온으로, N2 노드(N2)는 초기화 전압(Vini)으로 방전된다.

[0063] 소정의 t2 시간 동안, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 제n 초기화 신호(INIn)에 의해 턴-오프된다.

[0064] 소정의 t3 시간 동안, 게이트 로우 전압(VGL)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.

[0065] 소정의 t4 시간 동안, 게이트 로우 전압(VGL)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.

[0066] 도 7은 본 발명의 제4 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다. 도 7을 참조하면, 화소(P)는 구동 트랜지스터(Td), 유기발광다이오드(OLED), 및 제어 회로 등을 포함한다.

[0067] 제어 회로는 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)를 포함한다. 제1 트랜지스터(T1)의 게이트 전극은 제n 스캔 라인(GLn)과 연결되고, 소스 전극은 제m 데이터라인(DLn)과 연결되며, 드레인 전극은 N2 노드(N2)와 연결된다. 제2 트랜지스터(T2)의 게이트 전극은 제n 초기화 라인(ILn)과 연결되고, 소스 전극은 N3 노드(N3)와 연결되며, 드레인 전극은 초기화 전압(Vini)과 연결된다. 제3 트랜지스터(T3)의 게이트 전극은 제n 초기화 라인(ILn)과 연결되고, 소스 전극은 N2 노드(N2)와 연결되며, 드레인 전극은 N3 노드(N3)와 연결된다. 제4 트랜지스터(T4)의 게이트 전극은 제n 센싱 라인(SLn)과 연결되고, 소스 전극은 기준 전압(Vref)과 연결되며, 드레인 전극은 N1 노드(N1)와 연결된다. 제5 트랜지스터(T5)의 게이트 전극은 제n 발광제어라인(EMn)과 연결되고, 소스 전극은 N1 노드(N1)와 연결되며, 드레인 전극은 N2 노드(N3)와 연결된다. 제6 트랜지스터(T6)의 게이트 전극은 제n 발광제어라인(EMn)과 연결되고, 소스 전극은 유기발광다이오드(OLED)와 연결

되며, 드레인 전극은 N3 노드(N3)와 연결된다.

- [0068] 구동 트랜지스터(Td)의 게이트 전극은 N2 노드(N2)와 연결되고, 소스 전극은 N3 노드(N3)와 연결되며, 드레인 전극은 저전위 전압원(VSS)과 연결된다. 구동 트랜지스터(Td)는 게이트 전극에 인가된 데이터 전압에 따라, 구동 트랜지스터(Td)를 통과하는 전류(I_{ds})의 양을 다르게 조절한다.
- [0069] 본 발명의 제4 실시예에 따른 화소(P) 내의 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)는 P 타입 MOS-FET으로 구현된다. 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)의 액티브 층으로 사용되는 반도체는 a-Si, Poly-Si, 산화물 반도체 중 어느 하나로 형성될 수 있다.
- [0070] 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)의 게이트 하이 전압(VGH)은 대략 15V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -5V 내지 -10V로 설정될 수 있다. 고전위 전압원(VDD)은 구동 트랜지스터(Td)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 직류 고전위 전원 전압으로 설정될 수 있다. 초기화 전압(Vini)은 N2 노드(N2)와 N3 노드(N3)를 초기화시키는 전압이고, 기준 전압(Vref)은 N1 노드(N1)를 초기화시키는 전압이다.
- [0071] N1 노드(N1)는 제4 트랜지스터(T4)의 드레인 전극, 제5 트랜지스터(T5)의 소스 전극, 제1 캐패시터(C1)의 제1 전극, 및 제2 캐패시터(C1)의 제1 전극에 연결된다. N2 노드(N2)는 제1 트랜지스터(T1)의 드레인 전극, 제3 트랜지스터(T3)의 소스 전극, 제5 트랜지스터(T5)의 드레인 전극, 구동 트랜지스터(Td)의 게이트 전극, 및 제2 캐패시터(C2)의 제2 전극에 연결된다. N3 노드(N3)는 제2 트랜지스터(T2)의 소스 전극, 제3 트랜지스터(T3)의 드레인 전극, 제6 트랜지스터(T6)의 드레인 전극, 구동 트랜지스터(Td)의 소스 전극, 및 제1 캐패시터(C1)의 제2 전극에 연결된다.
- [0072] 유기발광다이오드(OLED)의 애노드 전극은 고전위 전압원(VDD)과 연결되고, 캐소드 전극은 제6 트랜지스터(T6)의 소스 전극과 연결된다. 제1 캐패시터(C1)는 N1 노드(N1)와 N3 노드(N3)의 차전압을 저장한다. 제2 캐패시터(C2)는 N1 노드(N1)와 N2 노드(N2)의 차전압을 저장한다.
- [0073] 도 8은 본 발명의 제4 실시예에 따른 화소에 입력되는 신호들을 보여주는 파형도이다. 도 8을 참조하면, 제n 스캔 펄스(SPn), 제n 초기화 신호(INIn), 제n 발광 제어신호(EMn), 및 제n 센싱 신호(SENn)가 화소(P) 각각에 입력된다.
- [0074] 제n 스캔 펄스(SPn), 제n 초기화 신호(INIn), 제n 발광 제어신호(EMn), 및 제n 센싱 신호(SENn) 각각은 1 프레임 기간을 주기로 반복된다. 제n 스캔 펄스(SPn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스 각각은 게이트 로우 전압(VGL)으로 발생한다. 제n 발광 제어신호(EMn)의 펄스는 게이트 하이 전압(VGH)으로 발생한다.
- [0075] 소정의 t1 시간은 초기화 전압을 공급하는 초기화 기간이고, 소정의 t2 시간은 데이터 전압을 공급하는 프로그램 기간이다. 소정의 t3 시간은 구동 트랜지스터(Td)의 문턱전압(V_{th})을 검출하는 문턱전압(V_{th}) 검출기간이고, 소정의 t4 시간은 유기발광다이오드(OLED)가 발광하는 발광기간이다.
- [0076] 소정의 t1 시간 동안 제n 발광 제어신호(EMn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스가 순차적으로 발생한다. 제n 발광 제어신호(EMn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스는 동시에 발생할 수도 있다. 제n 초기화 신호(INIn)의 펄스는 1 수평기간(1H) 동안 발생한다. 제n 발광 제어신호(EMn)의 펄스는 3 수평기간(3H) 내지 4 수평기간(4H) 동안 발생한다. 제n 센싱 신호(SENn)의 펄스는 3 수평기간(3H) 동안 발생한다.
- [0077] 소정의 t2 시간 동안 제n 스캔 펄스(SPn)의 펄스가 발생한다. 제n 스캔 펄스(SPn)의 펄스는 1 수평기간 동안 발생한다. 소정의 t2 시간 동안 제n 발광 제어신호(EMn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스는 유지된다.
- [0078] 소정의 t3 시간 동안 제n 발광 제어신호(EMn)의 펄스, 및 제n 센싱 신호(SENn)의 펄스는 유지된다. 소정의 t4 시간 동안 제n 스캔 펄스(SPn)의 펄스, 제n 초기화 신호(INIn)의 펄스, 제n 발광 제어신호(EMn)의 펄스, 및 제n 센싱 신호(SENn)는 발생하지 않는다.
- [0079] 도 8에서, 본 발명의 제4 실시예에 따른 화소(P)의 입력신호들은 제n 스캔 펄스(SPn)의 펄스, 및 제n 초기화 신호(INIn)의 펄스가 1 수평기간(1H) 동안 발생하고, 제n 센싱 신호(SENn)의 펄스는 3 수평기간(3H) 동안 발생하며, 제n 발광 제어신호(EMn)의 펄스는 3 수평기간(3H) 내지 4 수평기간(4H) 동안 발생하는 것을 예시하였

다. 하지만, 본 발명은 이에 한정되지 않고, 제 n 스캔 펄스(SP n)의 펄스, 제 n 초기화 신호(IN n)의 펄스, 제 n 센싱 신호(SEN n)의 펄스는 1 수평기간(1H) 이상 동안 발생할 수 있으며, 제 n 발광제어신호(EM n)의 펄스는 3 수평기간(3H) 이상 동안 발생할 수 있음에 주의하여야 한다.

- [0080] 이하에서, 도 8의 파형도에 따른 화소(P)의 동작을 상세히 설명한다. 이에 대하여는 도 7을 결부하여 설명하고, 소정의 t_1 내지 t_4 시간에 따라 순차적으로 설명한다.
- [0081] 소정의 t_1 시간 동안, 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 게이트 하이 전압(VGH)의 제 n 발광제어신호(EM n) 펄스에 의해 턴-오프된다. 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 제 n 초기화 신호(IN n) 펄스에 응답하여 턴-온된다. 제4 트랜지스터(T4)는 게이트 로우 전압(VGL)의 제 n 센싱 신호(SEN n) 펄스에 응답하여 턴-온된다. 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 제 n 스캔 펄스(SP n)에 의해 턴-오프된 상태이다.
- [0082] 제2 트랜지스터(T2)의 턴-온으로, N3 노드(N3)는 초기화 전압(Vini)으로 방전된다. 제3 트랜지스터(T3)의 턴-온으로, N2 노드(N2)는 초기화 전압(Vini)으로 방전된다. 또한, 제4 트랜지스터(T4)의 턴-온으로, 기준 전압(Vref)이 N1 노드(N1)에 공급된다.
- [0083] 소정의 t_2 시간 동안, 제1 트랜지스터(T1)는 게이트 로우 전압(VGL)의 제 n 스캔 펄스(SP n)의 펄스에 의해 턴-온된다. 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 제 n 초기화 신호(IN n)에 의해 턴-오프된다. 제 n 센싱 신호(SEN n)의 펄스가 유지되므로, 제4 트랜지스터(T4)는 턴-온 상태를 유지한다. 제 n 발광제어신호(EM n)의 펄스가 유지되므로, 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 턴-오프 상태를 유지한다.
- [0084] 제1 트랜지스터(T1)의 턴-온으로, 데이터 전압(Vdata)이 N2 노드(N2)에 공급된다. 구동 트랜지스터(Td)의 게이트 전극에는 데이터 전압(Vdata)이 인가되고, 소스 전극에는 초기화 전압(Vini)이 인가된다. 구동 트랜지스터(Td)의 게이트 전극과 소스 전극 간의 전압 차이(Vdata-Vini)가 문턱전압(Vth)보다 크기 때문에, 구동 트랜지스터(Td)에 전류패스가 형성되므로, 소스 전극의 전압은 데이터 전압과 문턱전압의 차전압(Vdata-Vth)까지 상승한다. 따라서, N3 노드(N3)는 데이터 전압과 문턱전압의 차전압(Vdata-Vth)으로 상승하기 시작한다.
- [0085] N1 노드(N1)는 제4 트랜지스터(T4)의 턴-온으로, 기준 전압(Vref)을 유지한다. 제2 캐패시터(C2)는 N1 노드(N1)와 N2 노드(N2)의 차전압인 데이터 전압과 기준 전압의 차전압(Vdata-Vref)을 저장한다.
- [0086] 소정의 t_3 시간 동안, 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 제 n 스캔 펄스(SP n)에 의해 턴-오프된다. 제 n 센싱 신호(SEN n)의 펄스가 유지되므로, 제4 트랜지스터(T4)는 턴-온 상태를 유지한다. 제 n 발광제어신호(EM n)의 펄스가 유지되므로, 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 턴-오프 상태를 유지한다. 게이트 하이 전압(VGH)의 제 n 초기화 펄스(IN n)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.
- [0087] 제1 트랜지스터(T1)의 턴-오프로, N2 노드(N2)에는 더 이상 데이터 전압(Vdata)이 공급되지 않는다. N1 노드(N1)는 제4 트랜지스터(T4)의 턴-온으로, 기준 전압(Vref)을 유지한다. 제2 캐패시터(C2)는 N1 노드(N1)와 N2 노드(N2)의 차전압인 데이터 전압과 기준 전압의 차전압(Vdata-Vref)을 저장한다.
- [0088] N2 노드(N2)의 전압은 N1 노드(N1)의 전압인 기준 전압(Vref)과 제2 캐패시터(C2)에 충전된 전압(Vdata-Vref)을 합한 전압(Vref+Vdata-Vref)이 된다. 따라서, N2 노드(N2)는 데이터 전압(Vdata)을 유지한다. N3 노드(N3)는 데이터 전압과 문턱 전압의 차전압(Vdata-Vth)으로 상승한다. 제1 캐패시터(C1)는 N1 노드(N1)와 N3 노드(N3)의 차전압(Vref-Vdata+Vth)을 저장한다.
- [0089] 소정의 t_4 시간 동안, 제4 트랜지스터(T4)는 게이트 하이 전압(VGH)의 제 n 센싱 신호(SEN n)에 의해 턴-오프된다. 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 게이트 로우 전압(VGL)의 제 n 발광제어신호(EM n)에 의해 턴-온된다. 게이트 하이 전압(VGH)의 제 n 스캔 펄스(SP n)로 인해, 제1 트랜지스터(T1)는 턴-오프 상태를 유지한다. 게이트 하이 전압(VGH)의 제 n 초기화 펄스(IN n)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.
- [0090] 제4 트랜지스터(T4)의 턴-오프로, N1 노드(N1)에는 더 이상 기준 전압(Vref)이 공급되지 않는다. 제6 트랜지스터(T6)의 턴-온으로, 유기발광다이오드(OLED)의 애노드 전극과 N3 노드(N3)에 발광전압(V_{OLED})이 인가된다. N1 노드(N1)는 N3 노드(N3)의 전압(V_{OLED})과 제1 캐패시터(C1)에 충전된 전압(Vref-Vdata+Vth)을 합한 전압

($V_{OLED}+V_{ref}-V_{data}+V_{th}$)이 된다. 제5 트랜지스터(T5)의 턴-온으로, N1 노드(N1)와 N2 노드(N2)가 연결되므로, N2 노드(N2)의 전압은 ($V_{OLED}+V_{ref}-V_{data}+V_{th}$)이 된다. 종합해보면, 본 발명의 제4 실시예에 따른 화소(P)의 구동 트랜지스터의 드레인-소스간 전류(I_{ds})는 수식식 3과 같이 문턱전압(V_{th})이 보상된다.

[0091] 또한, 제5 트랜지스터(T5)가 턴-오프되면, N1 노드(N1)와 N2 노드(N2)는 제2 캐패시터(C2)를 사이에 두고 연결된다. 제3 트랜지스터(T3)와 제5 트랜지스터(T5)가 턴-오프된 경우, N2 노드(N2)와 N3 노드(N3) 사이에서 제1 캐패시터(C1)와 제2 캐패시터(C2)는 직렬 접속된다.

[0092] 제5 트랜지스터(T5)가 턴-온되면, N1 노드(N1)와 N2 노드(N2)는 실질적으로 등전위로 연결된다. 제3 트랜지스터(T3)와 제5 트랜지스터(T5)가 턴-오프된 경우, N2 노드(N2)와 N3 노드(N3) 사이에서 제1 캐패시터(C1)만이 접속된다.

[0093] 결국, 소정의 t4 시간 동안 제5 트랜지스터(T5)가 턴-온되므로, N2 노드(N2)와 N3 노드(N3) 사이에서 제1 캐패시터(C1)만이 접속된다. 제1 캐패시터(C1)와 제2 캐패시터(C2)의 합성용량보다 제1 캐패시터(C1)의 용량이 크기 때문에, N1 노드(N1), N2 노드(N2), 및 N3 노드(N3)의 전압은 화소(P) 내 트랜지스터들의 기생용량의 영향을 적게 받는다.

[0094] 도 9는 본 발명의 제5 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다. 도 9를 참조하면, 제2 트랜지스터(T2)의 게이트 전극은 제n 초기화 라인(ILn)과 연결되고, 소스 전극은 N2 노드(N2)와 연결되며, 드레인 전극은 초기화 전압(Vini)과 연결된다. 본 발명의 제5 실시예에 따른 화소(P)의 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)는 P 타입 MOS-FET으로 구현된다. 제1 트랜지스터(T1), 제3 내지 제6 트랜지스터(T3, T4, T5, T6), 구동 트랜지스터(Td), 제1 캐패시터(C1), 제2 캐패시터(C2), 및 유기발광다이오드(OLED)는 도 7에서 설명한 바와 같다.

[0095] 이하에서, 도 8의 파형도에 따른 화소(P)의 동작을 상세히 설명한다. 이에 대하여는 도 9를 결부하여 설명하며, 도 7의 화소(P)과 도 9의 화소(P)의 차이점인 제2 트랜지스터(T2)와 제3 트랜지스터(T3)의 동작을 위주로 설명한다. 제1 트랜지스터(T1), 제4 내지 제6 트랜지스터(T4, T5, T6), 구동 트랜지스터(Td), 제1 캐패시터(C1), 제2 캐패시터(C2), 및 유기발광다이오드(OLED)는 도 7 및 도 8을 결부하여 앞에서 설명한 바와 같다.

[0096] 소정의 t1 시간 동안, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 제n 초기화 신호(INIn) 펄스에 응답하여 턴-온된다. 제2 트랜지스터(T2)의 턴-온으로, N2 노드(N2)는 초기화 전압(Vini)으로 방전된다. 제3 트랜지스터(T3)의 턴-온으로, N3 노드(N3)는 초기화 전압(Vini)으로 방전된다.

[0097] 소정의 t2 시간 동안, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 제n 초기화 신호(INIn)에 의해 턴-오프된다.

[0098] 소정의 t3 시간 동안, 게이트 하이 전압(VGH)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.

[0099] 소정의 t4 시간 동안, 게이트 하이 전압(VGH)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.

[0100] 도 10은 본 발명의 제6 실시예에 따른 유기발광다이오드 표시장치의 화소 회로도이다. 도 10을 참조하면, 제3 트랜지스터(T3)의 게이트 전극은 제n 초기화 라인(ILn)과 연결되고, 소스 전극은 N2 노드(N2)와 연결되며, 드레인 전극은 초기화 전압(Vini)과 연결된다. 본 발명의 제6 실시예에 따른 화소(P)의 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)는 P 타입 MOS-FET으로 구현된다. 제1 트랜지스터(T1), 제3 트랜지스터(T3), 제4 트랜지스터 내지 제6 트랜지스터(T4, T5, T6), 구동 트랜지스터(Td), 제1 캐패시터(C1), 제2 캐패시터(C2), 및 유기발광다이오드(OLED)는 도 7에서 설명한 바와 같다.

[0101] 이하에서, 도 8의 파형도에 따른 화소(P)의 동작을 상세히 설명한다. 이에 대하여는 도 10을 결부하여 설명하며, 도 7의 화소(P)과 도 10의 화소(P)의 차이점인 제2 트랜지스터(T2)와 제3 트랜지스터(T3)의 동작을 위

주로 설명한다. 제1 트랜지스터(T1), 제4 내지 제6 트랜지스터(T4, T5, T6), 구동 트랜지스터(Td), 제1 캐패시터(C1), 제2 캐패시터(C2), 및 유기발광다이오드(OLED)는 도 7 및 도 8을 결부하여 앞에서 설명한 바와 같다.

- [0102] 소정의 t1 시간 동안, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 제n 초기화 신호(INIn) 펄스에 응답하여 턴-온된다. 제2 트랜지스터(T2)의 턴-온으로, N3 노드(N3)는 초기화 전압(Vini)으로 방전된다. 제3 트랜지스터(T3)의 턴-온으로, N2 노드(N2)는 초기화 전압(Vini)으로 방전된다.
- [0103] 소정의 t2 시간 동안, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 제n 초기화 신호(INIn)에 의해 턴-오프된다.
- [0104] 소정의 t3 시간 동안, 게이트 하이 전압(VGH)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.
- [0105] 소정의 t4 시간 동안, 게이트 하이 전압(VGH)의 제n 초기화 펄스(INIn)로 인해, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프 상태를 유지한다.
- [0106] 도 11은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 나타내는 블록도이다. 도 11을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 데이터 구동회로, 스캔 구동회로, 및 타이밍 콘트롤러(20) 등을 구비한다.
- [0107] 표시패널(10)은 서로 교차되는 데이터 라인(DL)들 및 스캔 라인(GL)들과, 매트릭스 형태로 배치된 화소 어레이를 포함한다. 표시패널(10)의 화소 어레이의 각 화소(P)에 대하여는 도 1, 도 5, 도 6, 도 7, 도 9, 및 도 10을 결부하여 앞에서 상세히 설명하였다.
- [0108] 데이터 구동회로는 다수의 소스 드라이브 IC(30)들을 포함한다. 소스 드라이브 IC(30)들은 타이밍 콘트롤러(20)로부터 디지털 비디오 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC(30)들은 타이밍 콘트롤러(20)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 감마보상전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 스캔 펄스(SP)에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(10)의 데이터 라인(DL)들에 접속될 수 있다.
- [0109] 스캔 구동회로는 타이밍 콘트롤러(20)와 표시패널(10)의 스캔 라인(GL)들 사이에 접속된 레벨 쉬프터(level shifter)(40), 및 GIP 구동회로(50)를 구비한다. 레벨 쉬프터(40)는 타이밍 콘트롤러(20)로부터 입력되는 게이트 쉬프트 클럭들(Gate Shift Clocks, GCLKs)의 TTL(Transistor-Transistor- Logic) 로직 레벨 전압을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 레벨 쉬프팅한다.
- [0110] GIP 구동회로(50)는 스캔 라인(GL)들과 연결되어 각 화소의 스캔 트랜지스터(Tscan)를 제어하는 스캔 펄스(Scan Pulse, SP)를 출력하는 쉬프트 레지스터, 초기화 라인(IL)들과 연결되어 각 화소의 초기화를 제어하는 초기화 신호(INI)를 출력하는 초기화 제어부와, 센싱 라인(SL)과 연결되어 각 화소에 기준 전압(Vref)을 공급하는 센싱 신호(SEN)를 출력하는 센싱 제어부와, 발광라인(EL)과 연결되어 각 화소의 발광을 제어하는 발광제어신호(EM)를 출력하는 발광제어부를 포함한다. 쉬프트 레지스터는 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭들(GCLKs)에 맞추어 쉬프트시켜 스캔 펄스(SP)를 출력한다. 초기화 제어부는 초기화 라인(IL)을 통해 각 화소의 초기화를 제어하는 초기화 신호(INI)를 출력한다. 센싱 제어부는 센싱 라인(SL)을 통해 각 화소에 기준 전압(Vref)의 공급을 제어하는 센싱 신호(SEN)를 출력한다. 발광제어부는 발광 제어라인(EL)을 통해 발광을 제어하는 발광제어신호(EM)를 출력한다. 초기화 신호(INI), 센싱 신호(SEN), 및 발광제어신호(EM)는 타이밍 콘트롤러(20)에서 출력되는 타이밍 신호들로부터 산출될 수 있다. 스캔 펄스(SP), 초기화 펄스(INI), 및 발광제어신호(EM)에 대하여는 도 2, 및 도 8을 결부하여 설명하였다.
- [0111] GIP 구동회로(50)는 GIP(Gate Drive-IC In Panel) 방식으로 표시패널(10)의 하부 기판 상에 직접 형성된다. GIP 구동회로(50)는 TAB 방식으로 표시패널(10)의 스캔 라인(GL)들과 타이밍 콘트롤러(20) 사이에 연결될 수도 있다. GIP 방식에서, 레벨 쉬프터(40)는 PCB(Printed Circuit Board)(60) 상에 실장되고, GIP 구동회로(50)는 표시패널(10)의 하부기판 상에 형성될 수 있다.
- [0112] 타이밍 콘트롤러(20)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 컴퓨터로부터 디지털 비디오 데

이터(RGB)를 입력받는다. 타이밍 콘트롤러(20)는 호스트 컴퓨터로부터 입력되는 디지털 비디오 데이터들(RGB)을 소스 드라이브 IC(30)들로 전송한다.

[0113] 타이밍 콘트롤러(20)는 LVDS 또는 TMDS 인터페이스 수신회로를 통해 호스트 컴퓨터로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받는다. 타이밍 콘트롤러(20)는 호스트 컴퓨터로부터의 타이밍 신호를 기준으로 데이터 구동회로와 스캔 구동회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 스캔 구동회로의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호, 소스 드라이브 IC(30)들의 동작 타이밍과 데이터 전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.

[0114] 스캔 타이밍 제어신호는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭들, 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 GIP 구동회로(50)에 입력되어 쉬프트 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭들(GCLKs)은 레벨 쉬프터(40)에 입력되어 레벨 쉬프팅된 후에 GIP 구동회로(50)에 입력되며, 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호로 이용된다. 게이트 출력 인에이블 신호(GOE)는 GIP 구동회로(50)의 출력 타이밍을 제어한다.

[0115] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC(30)들의 쉬프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC(30)들 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 소스 드라이브 IC들로부터 출력되는 데이터 전압의 극성을 제어한다. 타이밍 콘트롤러(20)와 소스 드라이브 IC(30)들 사이의 데이터 전송 인터페이스가 mini LVDS 인터페이스라면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

[0116] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

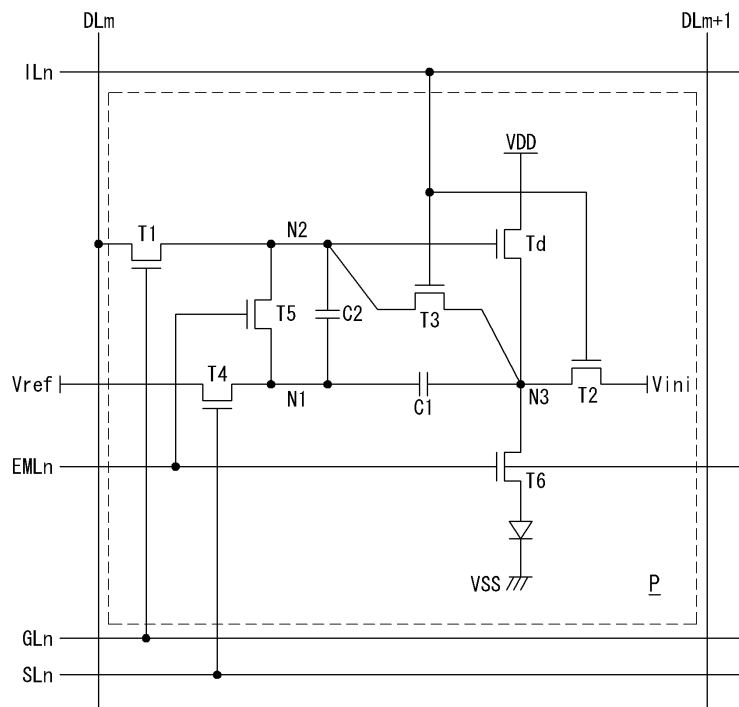
부호의 설명

[0117]

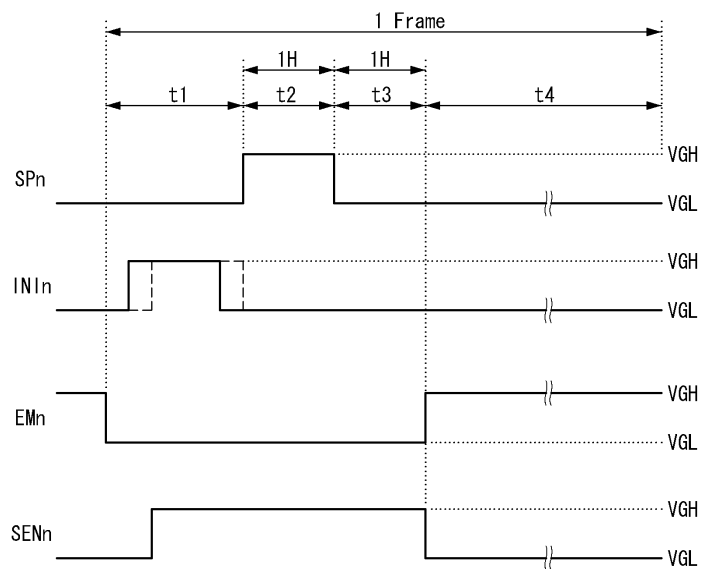
10: 표시패널	20: 타이밍 콘트롤러
30: 소스 드라이브 IC	40: 레벨 쉬프터
50: GIP 구동회로	60: PCB

도면

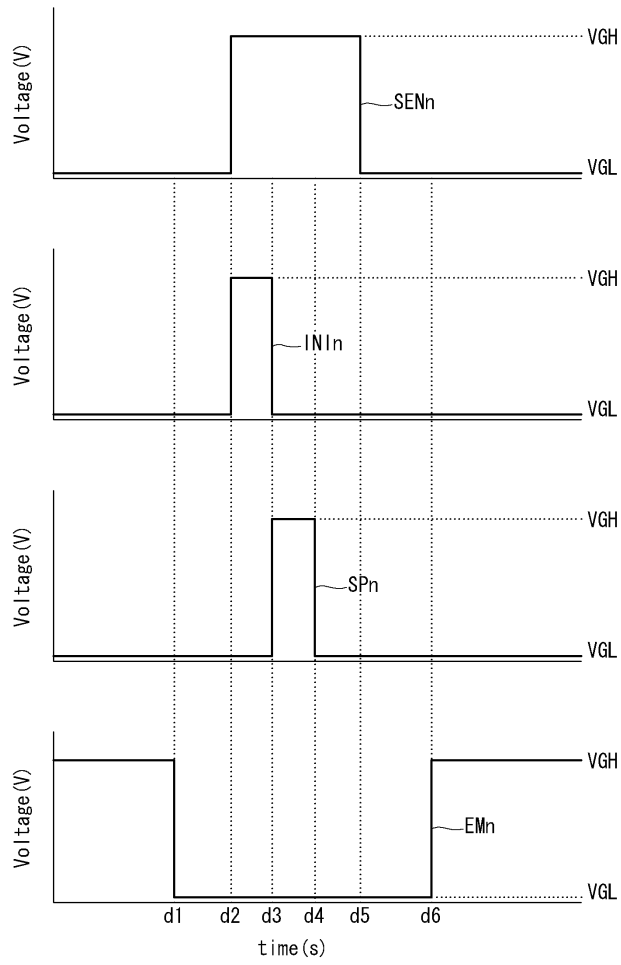
도면1



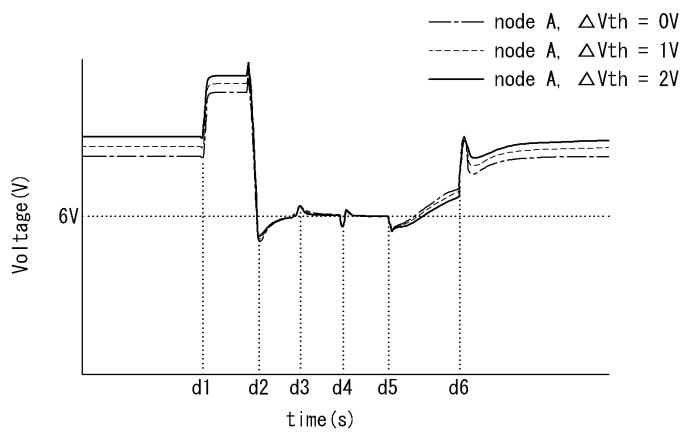
도면2



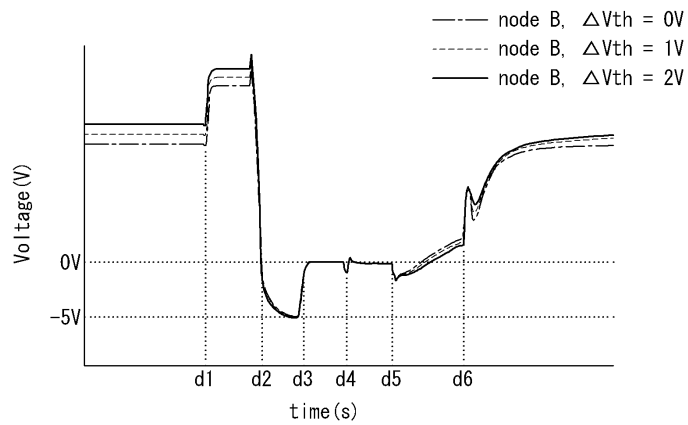
도면3a



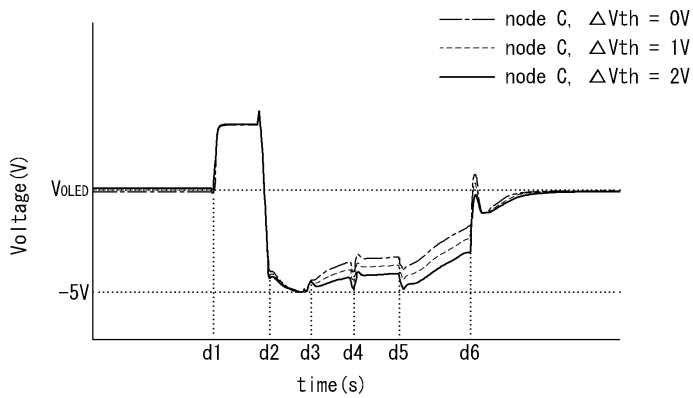
도면3b



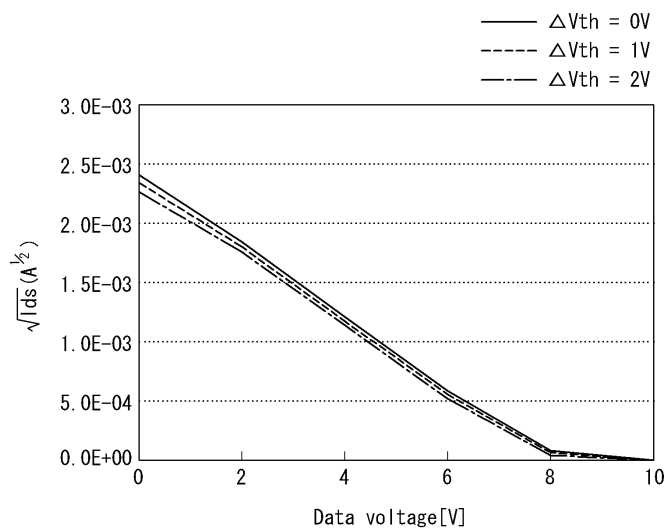
도면3c



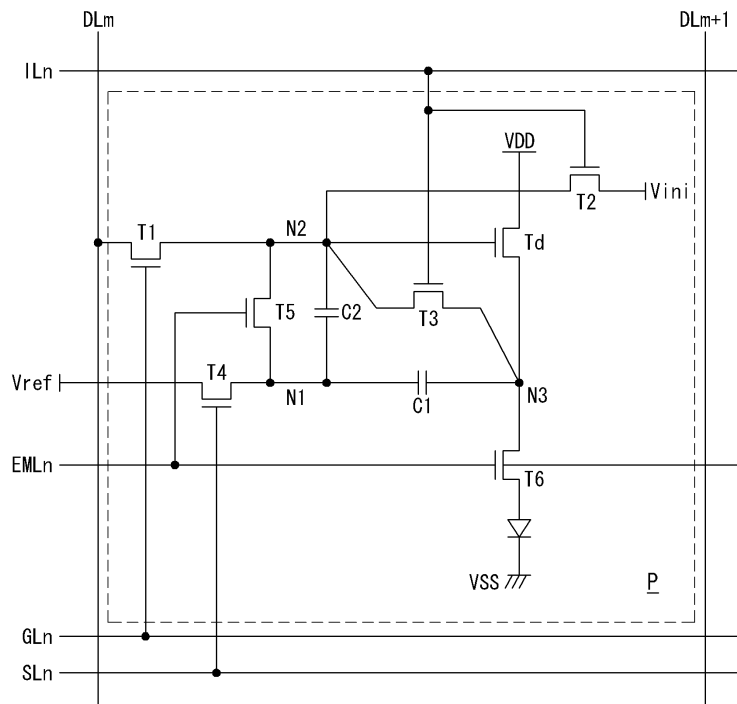
도면3d



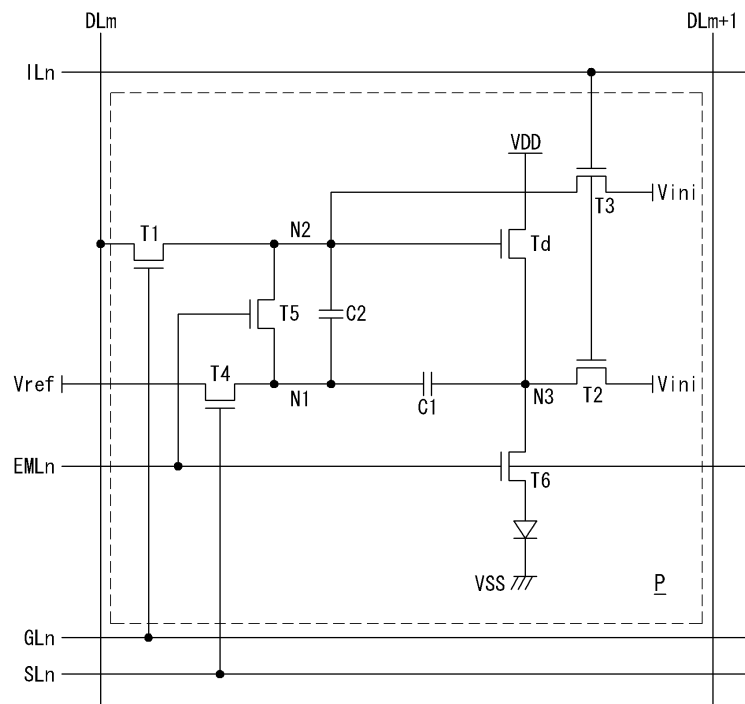
도면4



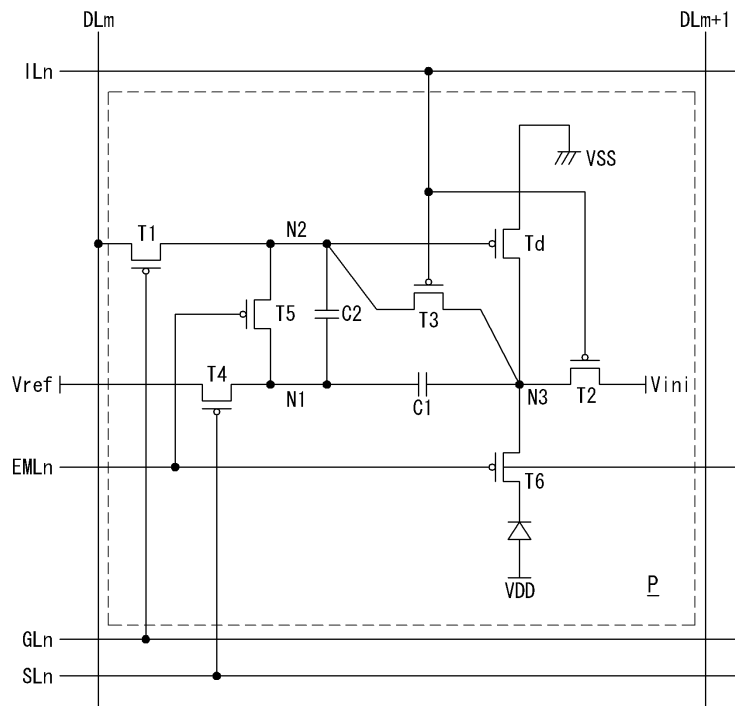
도면5



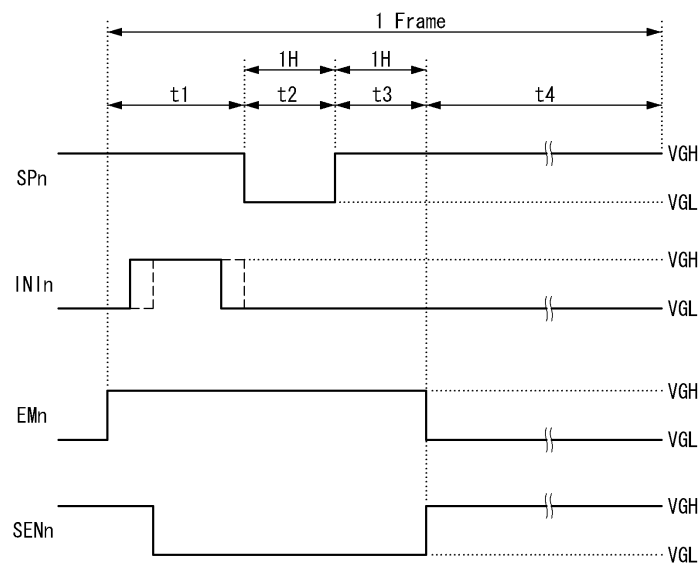
도면6



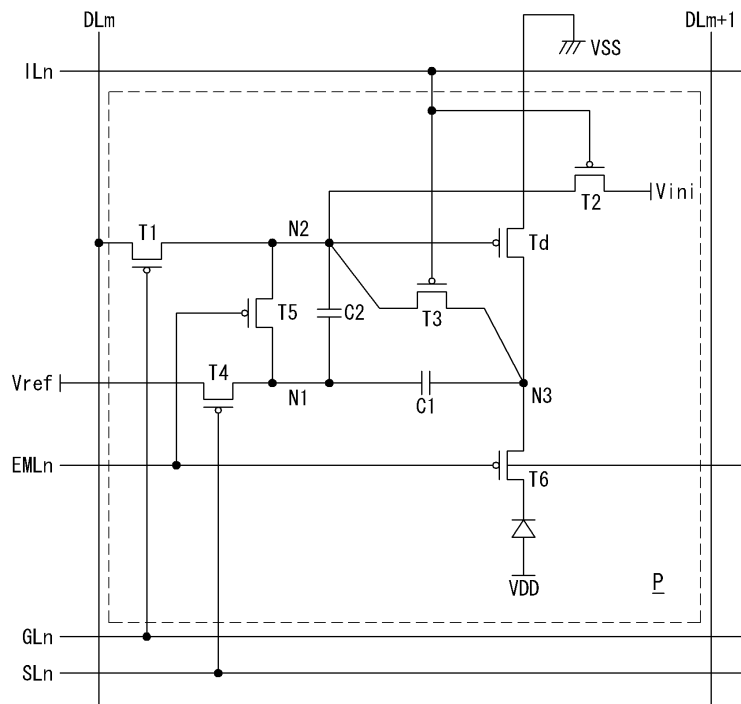
도면7



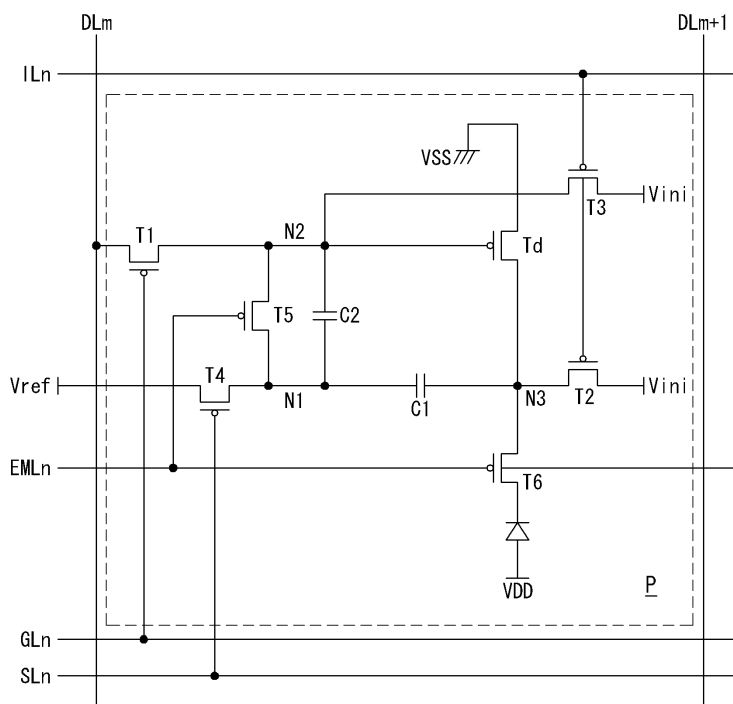
도면8



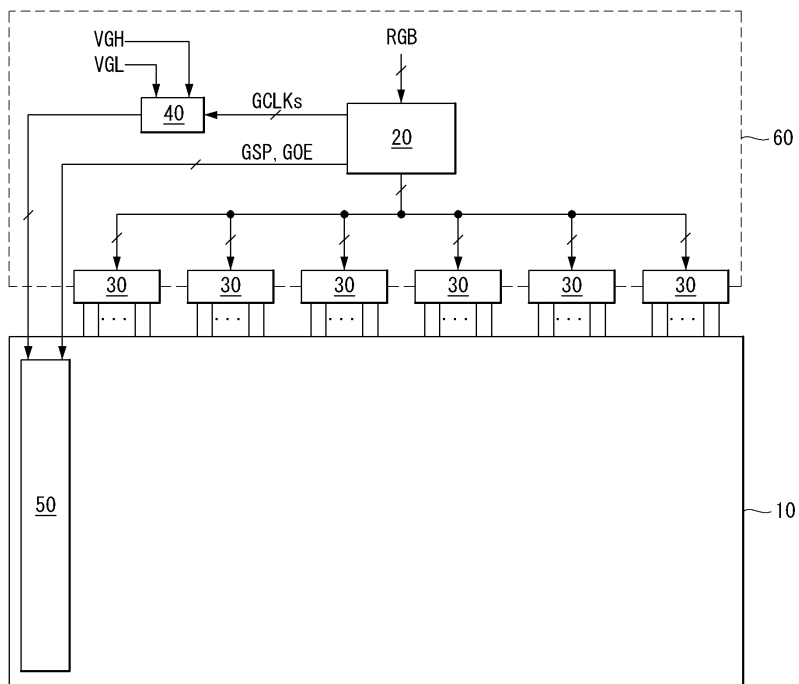
도면9



도면10



도면11



专利名称(译)	标题：OLED显示器件		
公开(公告)号	KR1020120052638A	公开(公告)日	2012-05-24
申请号	KR1020100113893	申请日	2010-11-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	TAKASUGISHINJI 타카스기신지 TANIRYOSUKE 타니료슈케		
发明人	타카스기신지 타니료슈케		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/043 G09G2310/0202 H05B45/60		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光二极管显示装置。本发明的有机发光二极管显示装置包括第二节点和连接在第三节点之间的控制电路，第一节点和第二节点在有机发光二极管的发光周期内仅连接第一电容器作为等电位，所述第一电容器和所述第二电容器被连接用于阈值电压检测时段，所述阈值电压检测时段检测用于向控制所述驱动晶体管的所述量和所述第一节点的数据电压的编程时段，有机发光二极管的电压：第二节点连接在第二电容器之间：连接在第一节点之间的第三节点，第一电容器：连接在第三节点和第二节点之间的具有像素的低电位电源高电位电压源和第二节点和第三节点数据线之间的第三节点，以及被定义为与数据线交叉的扫描线的多个图像元素。

