



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0070871  
(43) 공개일자 2010년06월28일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)  
G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0129605

(22) 출원일자 2008년12월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이창형

경북 경주시 평동 291-1

최수홍

경기 남양주시 도농동 부영아파트 106동 1903호

(74) 대리인

특허법인로얄

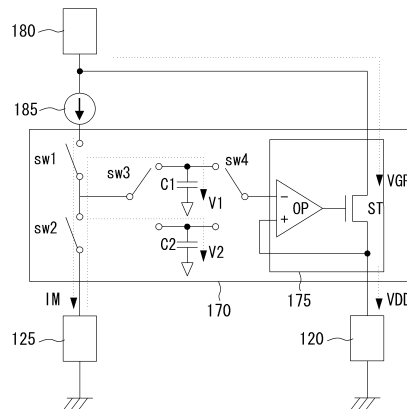
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치와 이의 구동방법

(57) 요약

본 발명의 실시예는, 기관 상에 매트릭스 형태로 배치된 서브 픽셀을 포함하는 표시부; 표시부의 외측 기관 상에 배치된 모니터링 픽셀; 표시부에 스캔 신호를 공급하고 서브필드 단위로 배열된 데이터 신호를 공급하는 구동부; 및 모니터링 픽셀에 공급된 전류를 샘플링하여 서브 픽셀에 공급되는 전압을 조절하는 샘플링부를 포함하되, 샘플링부는, 하나의 프레임 기간 동안 모니터링 픽셀에 공급된 전류를 적어도 두번 샘플링하여 제1전압과 제2전압으로 저장하고 샘플링된 제1전압과 제2전압을 이용하여 서브 픽셀에 공급되는 전압을 조절하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

기관 상에 매트릭스 형태로 배치된 서브 픽셀을 포함하는 표시부;

상기 표시부의 외측 기관 상에 배치된 모니터링 픽셀;

상기 표시부에 스캔 신호를 공급하고 서브필드 단위로 배열된 데이터 신호를 공급하는 구동부; 및

상기 모니터링 픽셀에 공급된 전류를 샘플링하여 상기 서브 픽셀에 공급되는 전압을 조절하는 샘플링부를 포함하되,

상기 샘플링부는,

하나의 프레임 기간 동안 상기 모니터링 픽셀에 공급된 전류를 적어도 두번 샘플링하여 제1전압과 제2전압으로 저장하고 샘플링된 상기 제1전압과 상기 제2전압을 이용하여 상기 서브 픽셀에 공급되는 전압을 조절하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 2

제1항에 있어서,

상기 샘플링부는,

상기 모니터링 픽셀에 공급된 전류를 상기 제1전압으로 샘플링하는 제1커패시터와,

상기 모니터링 픽셀에 공급된 전류를 상기 제2전압으로 샘플링하는 제2커패시터와,

상기 제1전압과 상기 제2전압 중 하나를 이용하여 상기 서브 픽셀에 공급되는 전압을 조절하는 조절부를 포함하는 유기전계발광표시장치.

### 청구항 3

제2항에 있어서,

상기 조절부는,

상기 제1전압과 상기 제2전압 중 하나를 참조하여 출력 전압이 결정되는 비교기와, 상기 서브 픽셀에 공급되는 전원배선의 양단에 연결된 트랜지스터를 포함하며,

상기 서브 픽셀에 공급되는 전압은

상기 비교기로부터 출력된 전압이 상기 트랜지스터의 게이트를 제어하게 됨에 따라 조절되는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 4

제2항에 있어서,

상기 샘플링부는,

상기 제1커패시터와 상기 제2커패시터에 각각 다른 전압이 저장되도록 샘플링하는 것을 특징으로 하는 유기전계발광표시장치.

### 청구항 5

제1항에 있어서,

상기 샘플링부는,

상기 서브필드 단위로 배열된 데이터 신호에서 비트 가중치가 높은 서브필드가 상기 서브픽셀에 공급될 때 상기 제1전압과 상기 제2전압 중 높은 전압을 이용하여 상기 서브 픽셀에 공급되는 전압을 부스팅(Boosting)하는 것을 특징으로 하는 유기전계발광표시장치.

**청구항 6**

제5항에 있어서,  
 상기 서브필드 단위로 배열된 데이터 신호에서 비트 가중치가 높은 서브필드는 마지막 서브필드인 것을 특징으로 하는 유기전계발광표시장치.

**청구항 7**

제2항에 있어서,  
 상기 샘플링부는,  
 외부로부터 공급된 전류가 상기 모니터링 픽셀에 공급되도록 제어되는 제1스위치와,  
 상기 모니터링 픽셀에 공급된 전류가 샘플링 되도록 제어되는 제2스위치와,  
 상기 샘플링된 전류가 상기 제1커패시터와 상기 제2커패시터 중 하나에 저장되도록 제어되는 제3스위치와,  
 상기 제1커패시터와 상기 제2커패시터 중 하나에 저장된 전압이 상기 조절부에 공급되도록 제어되는 제4스위치를 포함하는 유기전계발광표시장치.

**청구항 8**

제1항에 있어서,  
 상기 서브 픽셀은,  
 제1스캔배선에 게이트가 연결되고 데이터배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1트랜지스터와,  
 제2스캔배선에 게이트가 연결되고 상기 제1노드에 제1전극이 연결되며 제1전원배선에 제2전극이 연결된 제2트랜지스터와,  
 상기 제2트랜지스터의 제1전극과 제2전극 사이에 연결된 스토리지 커패시터와,  
 상기 제1노드에 게이트가 연결되고 제2노드에 제1전극이 연결되며 상기 제1전원배선에 제2전극이 연결된 제3트랜지스터와,  
 상기 제2노드에 애노드가 연결되고 제2전원배선에 캐소드가 연결된 유기 발광다이오드를 포함하는 유기전계발광표시장치.

**청구항 9**

모니터링 픽셀에 전류를 공급하는 단계;  
 상기 모니터링 픽셀에 공급된 전류를 적어도 두번 샘플링하여 제1전압과 제2전압으로 저장하는 단계; 및  
 상기 샘플링된 상기 제1전압과 상기 제2전압을 이용하여 서브 픽셀에 공급되는 전압을 조절하는 단계를 포함하는 유기전계발광표시장치의 구동방법.

**청구항 10**

제9항에 있어서,  
 상기 서브 픽셀에 공급되는 전압을 조절하는 단계는,  
 상기 제1전압과 상기 제2전압 중 높은 전압을 이용하여 상기 서브 픽셀에 공급되는 전압을 부스팅하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명의 실시예는 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

**배경기술**

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 기관 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

[0003] 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다.

[0004] 이러한 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치의 구동 방법은 전압 구동 방식, 전류 구동 방식 및 디지털 구동 방식 등이 있다. 디지털 구동 방식은 전원전압을 고정된 상태에서 프레임 내의 발광 시간을 나누어 계조를 표현하는 방식이다.

[0006] 한편, 유기전계발광소자의 경우, 소자의 특성상 시간이 지남에 따라 열화가 발생하게 되고 이로 인하여 구동 특성이 변하게 된다. 그리하여 디지털 구동 방식으로 구동하는 유기전계발광표시장치에는 이와 같은 문제를 해결하기 위해 표시부의 외측기관 상에 모니터링 픽셀을 구비하여 표시부 내에 위치한 서브 픽셀들의 변화된 특성을 보상하는 방법들이 다양하게 제안되고 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 패널의 표시품질을 향상시키고 소자의 수명을 향상시키고 아울러 서브 픽셀의 발광 시간을 늘릴 수 있는 디지털 구동방식 유기전계발광표시장치를 제공하는 것이다.

**과제 해결수단**

[0008] 상술한 과제 해결 수단으로 본 발명의 실시예는, 기관 상에 매트릭스 형태로 배치된 서브 픽셀을 포함하는 표시부; 표시부의 외측 기관 상에서 배치된 모니터링 픽셀; 표시부에 스캔 신호를 공급하고 서브필드 단위로 배열된 데이터 신호를 공급하는 구동부; 및 모니터링 픽셀에 공급된 전류를 샘플링하여 서브 픽셀에 공급되는 전압을 조절하는 샘플링부를 포함하되, 샘플링부는, 하나의 프레임 기간 동안 모니터링 픽셀에 공급된 전류를 적어도 두번 샘플링하여 제1전압과 제2전압으로 저장하고 샘플링된 제1전압과 제2전압을 이용하여 서브 픽셀에 공급되는 전압을 조절하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

[0009] 샘플링부는, 모니터링 픽셀에 공급된 전류를 제1전압으로 샘플링하는 제1커패시터와, 모니터링 픽셀에 공급된 전류를 제2전압으로 샘플링하는 제2커패시터와, 제1전압과 제2전압 중 하나를 이용하여 서브 픽셀에 공급되는 전압을 조절하는 조절부를 포함할 수 있다.

[0010] 조절부는, 제1전압과 제2전압 중 하나를 참조하여 출력 전압이 결정되는 비교기와, 서브 픽셀에 공급되는 전원 배선의 양단에 연결된 트랜지스터를 포함하며, 서브 픽셀에 공급되는 전압은 비교기로부터 출력된 전압이 트랜지스터의 게이트를 제어하게 됨에 따라 조절될 수 있다.

[0011] 샘플링부는, 제1커패시터와 제2커패시터에 각각 다른 전압이 저장되도록 샘플링할 수 있다.

[0012] 샘플링부는, 서브필드 단위로 배열된 데이터 신호에서 비트 가중치가 높은 서브필드가 서브픽셀에 공급될 때 제1전압과 제2전압 중 높은 전압을 이용하여 서브 픽셀에 공급되는 전압을 부스팅(Boosting)할 수 있다.

[0013] 서브필드 단위로 배열된 데이터 신호에서 비트 가중치가 높은 서브필드는 마지막 서브필드일 수 있다.

[0014] 샘플링부는, 외부로부터 공급된 전류가 상기 모니터링 픽셀에 공급되도록 제어되는 제1스위치와, 모니터링 픽셀

에 공급된 전류가 샘플링 되도록 제어되는 제2스위치와, 샘플링된 전류가 제1커패시터와 제2커패시터 중 하나에 저장되도록 제어되는 제3스위치와, 제1커패시터와 제2커패시터 중 하나에 저장된 전압이 조절부에 공급되도록 제어되는 제4스วิต치를 포함할 수 있다.

[0015] 서브 픽셀은, 제1스캔배선에 게이트가 연결되고 데이터배선에 제1전극이 연결되며 제1노드에 제2전극이 연결된 제1트랜지스터와, 제2스캔배선에 게이트가 연결되고 제1노드에 제1전극이 연결되며 제1전원배선에 제2전극이 연결된 제2트랜지스터와, 제2트랜지스터의 제1전극과 제2전극 사이에 연결된 스토리지 커패시터와, 제1노드에 게이트가 연결되고 제2노드에 제1전극이 연결되며 제1전원배선에 제2전극이 연결된 제3트랜지스터와, 제2노드에 애노드가 연결되고 제2전원배선에 캐소드가 연결된 유기 발광다이오드를 포함할 수 있다.

[0016] 한편, 다른 측면에서 본 발명의 실시예는, 모니터링 픽셀에 전류를 공급하는 단계; 모니터링 픽셀에 공급된 전류를 적어도 두번 샘플링하여 제1전압과 제2전압으로 저장하는 단계; 및 샘플링된 제1전압과 제2전압을 이용하여 서브 픽셀에 공급되는 전압을 조절하는 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.

[0017] 서브 픽셀에 공급되는 전압을 조절하는 단계는, 제1전압과 제2전압 중 높은 전압을 이용하여 서브 픽셀에 공급되는 전압을 부스팅할 수 있다.

### 효과

[0018] 본 발명의 실시예는, 패널의 표시품질을 향상시키고 소자의 수명을 향상시키고 아울러 서브 픽셀의 발광 시간을 늘릴 수 있는 디지털 구동방식 유기전계발광표시장치를 제공하는 효과가 있다.

### 발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 평면도이다.

[0021] 도 1을 참조하면, 본 발명의 실시예에 따른 유기전계발광표시장치는 기관(110) 상에 매트릭스 형태로 배치된 서브 픽셀(120)을 포함하는 표시부(AA)가 위치한다. 서브 픽셀(120)은 목적에 따라 3개 또는 그 이상 형성할 수 있는데, 본 발명에서는 3개의 서브 픽셀 즉, 적색, 녹색 및 청색 서브 픽셀(120R, 120G, 120B)이 매트릭스 형태로 위치하는 것을 일례로 설명한다.

[0022] 표시부(AA)의 외측 기관 상에는 모니터링 픽셀(125)이 위치한다. 모니터링 픽셀(125)은 표시부(AA)에 위치하는 서브 픽셀(120)의 발광 색에 대응하도록 적색, 녹색 및 청색 모니터링 픽셀(125R, 125G, 125B)이 배치될 수 있다.

[0023] 표시부(AA)의 외측 기관(110) 상에는 서브 픽셀(120) 및 모니터링 픽셀(125)에 각각 연결된 다수의 배선들(140)이 위치한다. 다수의 배선들(140)은 서브 픽셀(120)에 전압을 공급하고 모니터링 픽셀(125)에 전류를 공급하는 전원배선과, 서브 픽셀(120)에 스캔 신호 및 데이터 신호를 공급하는 스캔 배선 및 데이터 배선을 포함한다.

[0024] 표시부(AA)의 외측 하단 기관(110) 상에는 다수의 배선들(140) 중 일부인 스캔 배선 및 데이터 배선에 연결되어 서브 픽셀들(120)에 스캔 신호 및 데이터 신호를 공급하는 구동부(150)가 위치한다. 구동부(150)는 스캔 구동부와 데이터 구동부를 따로 분리하여 기관(110)의 어느 한쪽에 다른 한쪽에 각각 배치할 수 있음은 물론, 기관(110) 외부에 구동부(150)를 배치하고 기관(110)과 전기적으로 연결할 수도 있다.

[0025] 표시부(AA)의 외측 하단 기관(110) 상에는 패드부(155)가 위치한다. 패드부(155)는 외부회로기관(160)과의 전기적인 연결을 목적으로 하는데, 기관(110)과 외부회로기관(160)과의 연결은 플렉서블한 케이블(예: FPC)(165)등을 이용할 수 있다.

[0026] 외부회로기관(160) 상에는 샘플링부(170)가 위치할 수 있다. 이러한 샘플링부(170)는 하나의 프레임 기간 동안 모니터링 픽셀(125)에 공급된 전류를 적어도 두번 샘플링하여 제1전압과 제2전압으로 저장하고 샘플링된 제1전압과 제2전압을 이용하여 서브 픽셀(120)에 공급되는 전압을 조절할 수 있다. 또한, 외부회로기관(160) 상에는 다수의 배선들(140) 중 일부인 전원 배선에 연결되어 서브 픽셀(120)에 전압을 공급하는 전원공급부(180)와 전원공급부(180)로부터 출력된 전압을 전류로 변환하여 모니터링 픽셀(125)에 공급하는 전류소스부(185)가 위치할

수 있다.

- [0027] 이하, 도 2를 참조하여 모니터링 픽셀(125)에 공급된 전류를 샘플링하여 서브 픽셀(120)에 공급되는 전압을 조절하는 샘플링부(170)에 대해 설명한다.
- [0028] 도 2는 서브 픽셀에 공급되는 전압을 조절하는 샘플링부를 설명하기 위한 블록도이고, 도 3은 도 2에 도시된 블록도의 회로구성 예시도 이다.
- [0029] 도 2를 참조하면, 샘플링부(170)는 전원공급부(180), 전류소스부(185), 모니터링 픽셀(125) 및 서브 픽셀(120)과 연동할 수 있다.
- [0030] 전원공급부(180)는 전류소스부(185)와 서브 픽셀(120)의 제1전원배선에 전압을 공급할 수 있도록 구성될 수 있다. 전류소스부(185)는 전원공급부(180)로부터 공급된 전압을 전류로 변환하여 모니터링 픽셀(125)에 공급할 수 있도록 구성될 수 있다. 샘플링부(170)는 모니터링 픽셀(125)에 공급된 전류를 샘플링하여 서브 픽셀(120)에 공급되는 전압을 조절하도록 전원공급부(180)로부터 출력된 전압을 제어할 수 있도록 구성될 수 있다.
- [0031] 도 3을 참조하면, 샘플링부(170)와 연동하는 전원공급부(180), 전류소스부(185), 모니터링 픽셀(125) 및 서브 픽셀(120)이 도시된다.
- [0032] 샘플링부(170)는 전류소스부(185)로부터 공급된 전류(IM)가 모니터링 픽셀(125)에 공급되도록 제어되는 제1스위치(sw1)와, 모니터링 픽셀(125)에 공급된 전류가 샘플링 되도록 제어되는 제2스위치(sw2)와, 샘플링된 전류가 제1커패시터(C1)와 제2커패시터(C2) 중 하나에 저장되도록 제어되는 제3스위치(sw3)와, 제1커패시터(C1)와 제2커패시터(C2) 중 하나에 저장된 전압이 조절부(175)에 공급되도록 제어되는 제4스위치(sw4)를 포함할 수 있다. 조절부(175)는 제1커패시터(C1)와 제2커패시터(C2)에 저장된 제1전압(V1)과 제2전압(V2) 중 하나를 참조하여 출력 전압이 결정되는 비교기(OP)와, 서브 픽셀(120)에 공급되는 제1전원배선의 양단에 연결된 트랜지스터(ST)를 포함할 수 있다. 이로 인해, 서브 픽셀(120)에 공급되는 전압은 비교기(OP)로부터 출력된 전압이 트랜지스터(ST)의 게이트를 제어하게 됨에 따라 조절될 수 있다.
- [0033] 샘플링부(170)가 위와 같이 구성됨에 따라, 전원공급부(180)로부터 출력된 전압(VGP)은 샘플링부(170)에 포함된 트랜지스터(ST)에 의해 조절된다. 이에 따라, 서브 픽셀(120)은 제1전압(V1) 또는 제2전압(V2)에 의해 조절된 전압(VDD)을 공급받게 된다. 한편, 커패시터(C1, C2)에 저장된 전압(V1, V2)은 전류소스부(185)를 통해 공급된 전류가 모니터링 픽셀(125)에 흐르게 되고 모니터링 픽셀(125)의 저항 성분으로 인해  $V = I \times R_b$ 와 같이 얻어진다. 여기서, I는 모니터링 픽셀(125)에 공급된 전류를 나타내고,  $R_b$ 는 모니터링 픽셀(125)의 저항성분을 나타낸다.
- [0034] 이하, 도 4를 참조하여 서브 픽셀에 대해 설명한다.
- [0035] 도 4는 서브 픽셀의 회로 구성 예시도 이다.
- [0036] 도 4를 참조하면, 서브 픽셀은 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 커패시터(C) 및 유기 발광다이오드(D)를 포함할 수 있다.
- [0037] 제1트랜지스터(T1)는 제1스캔배선(SCAN1)에 게이트가 연결되고 데이터배선(DATA)에 제1전극이 연결되며 제1노드(N1)에 제2전극이 연결된다. 제2트랜지스터(T2)는 제2스캔배선(SCAN2)에 게이트가 연결되고 제1노드(N1)에 제1전극이 연결되며 제1전원배선(VDD)에 제2전극이 연결된다. 제3트랜지스터(T3)는 제1노드(N1)에 게이트가 연결되고 제2노드(N2)에 제1전극이 연결되며 제1전원배선(VDD)에 제2전극이 연결된다. 스토리지 커패시터(C)는 제2트랜지스터(T2)의 제1전극과 제2전극 사이에 연결된다. 유기 발광다이오드(D)는 제2노드(N2)에 애노드가 연결되고 제2전원배선(VSS)에 캐소드가 연결된다.
- [0038] 서브 픽셀(120)에 포함된 트랜지스터(T1, T2, T3)는 선형(Linear)영역에서 구동하며, 게이트에 공급된 전압에 따라 턴온 또는 턴오프 동작을 할 수 있다. 이러한 트랜지스터(T1, T2, T3) 게이트, 반도체층, 소오스 및 드레인을 포함할 수 있다. 트랜지스터(T1, T2, T3)는 제조방법에 따라 탑 게이트(Top gate)형과 바텀 게이트(Bottom gate)형 중 하나로 형성될 수 있다. 그리고 도시된 도면에는 트랜지스터(T1, T2, T3)를 P-type으로 구성하였지만, N-type으로도 구성 가능하다.

- [0039] 서브 픽셀(120)에 포함된 유기 발광다이오드(D)는 애노드와 캐소드 사이에 형성된 유기 발광층을 포함할 수 있다. 유기 발광다이오드(D)에 포함된 유기 발광층은 정공주입층(HIL), 정공수송층(HTL), 전자수송층(ETL) 및 전자주입층(EIL)과 같은 공통막 사이에 유기 발광층(EML)이 개재된 것을 포함할 수 있으나 이에 한정되지 않는다. 유기 발광다이오드(D)는 발광 방식에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 중 하나로 형성될 수 있다.
- [0040] 위와 같은 서브 픽셀은 제1스캔배선(SCAN1)을 통해 제1스캔 신호가 공급되어 제1트랜지스터(T1)가 턴온되면, 데이터배선(DATA)을 통해 공급된 데이터 신호가 커패시터(C)에 데이터전압으로 저장된다. 그러면, 제3트랜지스터(T3)는 데이터전압에 의해 턴온 시간이 조절되어 유기 발광다이오드(D)를 발광 시간을 조절하게 된다. 그리고 제2스캔배선(SCAN2)을 통해 제2스캔 신호가 공급되어 제2트랜지스터(T2)가 턴온되면, 커패시터(C)에 저장된 데이터전압은 초기화되고 유기 발광다이오드(D)의 발광은 멈추게 된다. 여기서, 제2스캔 신호는 서브 픽셀의 발광 시간이 긴 구간에만 선택적으로 공급될 수 있다.
- [0041] 이하, 도 3, 도 5 및 도 6을 참조하여 서브 픽셀(120)에 공급되는 데이터 신호와 샘플링부(170)의 샘플링 동작에 대해 설명한다.
- [0042] 도 5는 서브 픽셀에 공급되는 데이터 신호와 샘플링부의 샘플링 동작을 설명하기 위한 도면이고, 도 6은 샘플링된 전압을 나타낸 도면이다.
- [0043] 먼저, 도 5를 참조하여 데이터 신호의 구성에 대해 설명한다.
- [0044] 데이터 신호는 하나의 프레임(N Frame) 내에 서브 픽셀(120)의 발광 시간을 나누어 계조로 표현할 수 있도록 서브필드(SF0..SFn) 단위로 배열된다. 서브필드(SF0..SFn)는 최하위 비트(Least Significant Bit ;LSB)에 해당되는 서브필드(SF0)부터 최상위 비트(Most Significant Bit ;MSB)에 해당되는 서브필드(SFn)의 조합으로 이루어질 수 있다.
- [0045] 데이터 신호를 이와 같이 배열하기 위해 데이터 구동부는 외부로부터 공급된 영상 데이터 신호의 0 ~ 255의 계조를 비트(Bit) 단위로 나누는 비트플레인(Bitplane)을 실시할 수 있다. 여기서, 서브필드는 비트플레인을 다시 나눈 것을 말한다. 데이터 구동부는 이와 같이 서브필드 단위로 배열된 데이터 신호를 매 프레임마다 서브 픽셀(120)에 공급할 수 있다. 한편, 영상 데이터 신호의 계조를 비트 단위로 나누는 방법으로는 하나의 프레임 내에 배열된 서브필드의 비트가 점증되도록 배열하는 방식, 서브필드의 비트가 랜덤하게 위치하도록 배열하는 방식, 서브필드의 비트가 고루 포진되게 배열하는 방식 등 여러가지가 제안되고 있다.
- [0046] 도 5에 도시된 서브필드(SF0..SFn)는 하나의 프레임(N Frame) 내에서 점증되도록 배열된 것을 도시한 것이다. 서브필드(SF0..SFn) 단위로 배열된 데이터 신호를 공급받은 서브 픽셀(120)은 최하위 비트에 해당되는 서브필드(SF0)가 공급되었을 때보다 최상위 비트에 해당되는 서브필드(SFn)가 공급되었을 때 긴 발광 시간을 유지할 수 있다.
- [0047] 여기서, "DST"는 서브 픽셀의 발광 시간을 나타내고, "NDST"는 서브 픽셀의 비 발광 시간을 나타낸다. 여기서, "ER"은 스캔 구동부로부터 공급된 제2스캔신호에 의해 서브 픽셀이 초기화되는 구간을 나타낸다. "ER"은 발광 시간이 긴 제n서브필드(SFn)에 한해 적용될 수 있다. 여기서, "MWT"은 데이터 구동부가 외부로부터 공급된 영상 데이터신호를 메모리에 저장하는 구간을 나타낸다. "MWT"은 하나의 프레임(N Frame)이 종료되는 구간에 위치할 수 있다. "MWT"가 차지하는 구간은 메모리의 용량과 개수에 따라 달라질 수 있다.
- [0048] 다음, 도 3, 도 5 및 도 6을 참조하여 샘플링부(170)의 샘플링 동작에 대해 설명한다.
- [0049] 서브필드(SF0..SFn) 단위의 데이터 신호가 서브 픽셀(120)에 공급될 때, 샘플링부(170)는 하나의 프레임(N Frame) 기간 동안 서브 픽셀(120)에 공급된 서브필드(SF0..SFn) 중 임의의 서브필드가 위치하는 구간에서 모니터링 픽셀(125)에 공급된 전류(IM)를 적어도 두번 샘플링할 수 있다.
- [0050] (1) 제1전압을 샘플링하는 동작의 일례를 설명하면, 샘플링부(170)는 저계조(SF1)에 해당하는 데이터 신호가 서브 픽셀(120)에 공급될 때, 제1스위치(sw1), 제2스위치(sw2)를 제어하여 모니터링 픽셀(125)에 전류를 공급할 수 있다. 다음, 제3스위치(sw3)를 제어하여 모니터링 픽셀(125)에 공급된 전류를 제1커패시터(C1)에 제1전압으로 저장할 수 있다. (2) 제2전압을 샘플링하는 동작의 일례를 설명하면, 샘플링부(170)는 고계조(SFn)에 해당하

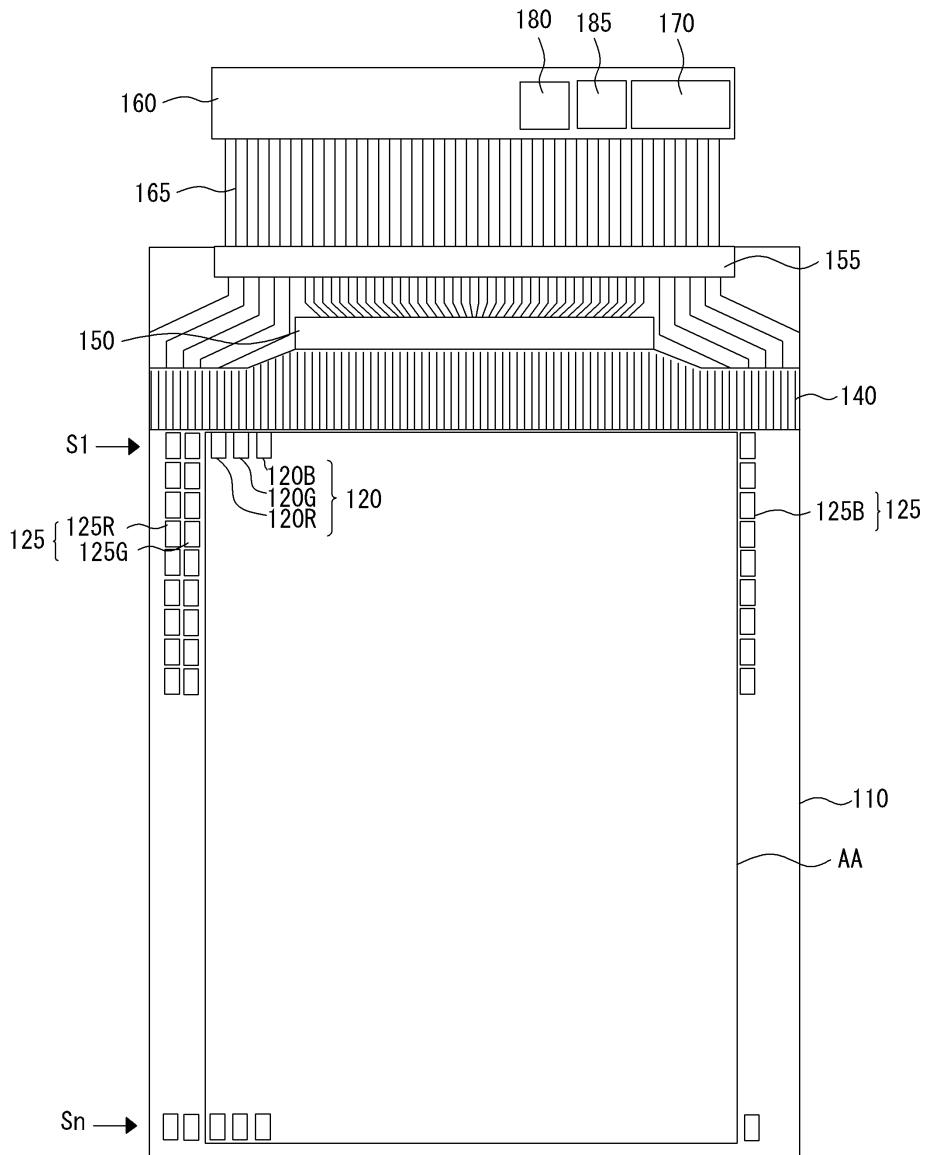
는 데이터 신호가 서브 픽셀(120)에 공급될 때, 제1스위치(sw1), 제2스위치(sw2)를 제어하여 모니터링 픽셀(125)에 전류를 공급할 수 있다. 다음, 제3스위치(sw3)를 제어하여 모니터링 픽셀(125)에 공급된 전류를 제2커패시터(C2)에 제2전압으로 저장할 수 있다.

- [0051] 따라서, 샘플링부(170)는 다음과 같은 구동방법을 통해 서브 픽셀(120)에 공급되는 전압을 조절할 수 있다.
- [0052] 먼저, 모니터링 픽셀(125)에 전류(IM)를 공급한다. 다음, 모니터링 픽셀(125)에 공급된 전류(IM)를 적어도 두번 샘플링하여 제1전압(V1)과 제2전압(V2)으로 저장한다. 다음, 샘플링된 제1전압(V1)과 제2전압(V2)을 이용하여 서브 픽셀(120)에 공급되는 전압을 조절한다. 여기서, 샘플링부(170)는 서브 픽셀(120)에 공급되는 전압을 조절할 때, 제1전압(V1)과 제2전압(V2) 중 높은 전압을 이용하여 서브 픽셀(120)에 공급되는 전압을 부스팅(Boosting)할 수 있다.
- [0053] 도 6에 도시된 제1전압(V1)과 제2전압(V2)는 앞서 설명한 (1)과 (2)의 과정에 의해 제1커패시터(C1)와 제2커패시터(C2)에 저장된 전압이다. 제1커패시터(C1)에 저장된 제1전압보다 제2커패시터(C2)에 저장된 제2전압이 높은 이유는 서브 픽셀(120)에 공급된 서브필드의 비트 가중치가 높은 구간인 고계조에서 샘플링을 하기 때문이다. 즉, 샘플링부(170)의 동작에 의해 커패시터(C1, C2)에 저장되는 전압은 서브필드의 비트 가중치가 낮은 저계조 구간에서는 낮은 전압으로 샘플링되어 저장되고, 서브필드의 비트 가중치가 높은 고계조 구간에서는 높은 전압으로 샘플링되어 저장된다.
- [0054] 이하, 도 6 내지 도 8을 참조하여 계조 표현시 샘플링된 전압에 의한 부스팅 기능 구현에 대해 설명한다.
- [0055] 도 7은 샘플링된 전압이 사용되는 구간을 설명하기 위한 도면이고, 도 8은 시간에 따른 모니터링 픽셀과 서브 픽셀의 휘도 저하를 설명하기 위한 도면이고, 도 9는 부스팅 기능에 의한 서브 픽셀의 휘도 상승을 설명하기 위한 도면이다.
- [0056] 도 6 내지 도 9를 참조하면, 샘플링부(170)는 저계조 구간에 샘플링된 제1전압(V1)을 하나의 프레임(N Frame) 기간 중 계조가 상대적으로 낮은 구간에 사용할 수 있다. 또한, 샘플링부(170)는 고계조 구간에 샘플링된 제2전압(V2)을 하나의 프레임(N Frame) 기간 중 계조가 상대적으로 높은 구간에 사용할 수 있다.
- [0057] 샘플링부(170)는 제1커패시터(C1)와 제2커패시터(C2)에 저장된 제1전압(V1)과 제2전압(V2)을 각각 다른 목적으로 사용할 수 있도록 제어될 수 있다.
- [0058] (1) 저계조에서 취득한 제1전압(V1)을 사용하여 서브 픽셀(120)의 제1전원배선(VDD)에 공급되는 전압을 조절한다. 이 경우, 서브 픽셀(120)은 모니터링 픽셀(125)의 상태에 따라 항상 일정한 전압을 공급받을 수 있게 되므로, 서브 픽셀(120) 열화에 의한 휘도 저하 발생을 저지할 수 있게 된다.
- [0059] 도 8을 참조하면, 모니터링 픽셀(125)의 경우, 시간(T)이 지남에 따라 소자의 열화에 의해 휘도(L)가 급격하게 감소하게 된다. 그러나 서브 픽셀(120)의 경우, 샘플링부(170)가 모니터링 픽셀(125)의 열화에 따라 서브 픽셀(120)에 공급될 전압을 조절해 주기 때문에 휘도(L)가 급격하게 감소하지 않게 된다. 다만, 도 8에 도시된 모니터링 픽셀과 서브 픽셀의 시간(T) 대비 휘도(L) 관계 그래프는 실시예의 이해를 돕기 위해 가정한 것일 뿐이다.
- [0060] (2) 고계조에서 취득한 제2전압(V2)을 구동전압으로 사용하여 부스팅 효과를 구현한다. 이 경우, 서브 픽셀(120)은 샘플링부(170)로부터 높은 전압을 공급받을 수 있게 되므로, 디지털 구동방법에서의 부스팅 구현이 가능하게 된다.
- [0061] 도 9를 참조하면, 프레임(F) 기간 동안 동일한 서브필드에 해당하는 데이터신호가 공급되더라도 부스팅(BST)을 하게 되면, 다른 서브필드 보다 높은 휘도(L)를 나타낼 수 있어 시인성을 향상시킬 수 있게 된다. 이 경우, "MWT" 구간에 인접한 서브필드의 최상위 비트의 발광 시간을 보다 길게 할 수 있어 발광 효율은 높일 수 있는 반면 소비 전력을 감소시킬 수 있게 된다. 즉, 마지막 서브필드의 발광 시간을 인위적으로 더욱 길게 가져갈 수 있게 된다.
- [0062] 이상 본 발명의 실시예는 샘플링부를 이용하여 패널의 표시품질을 향상시키고 소자의 수명을 향상시키고 아울러 서브 픽셀의 발광 시간을 늘릴 수 있는 디지털 구동방식 유기전계발광표시장치를 제공하는 효과가 있다.
- [0063] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속

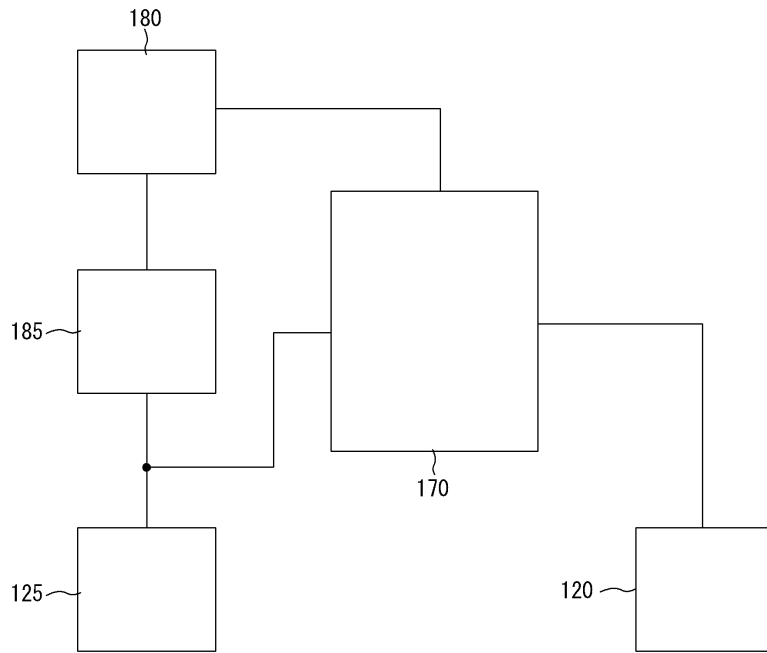


도면

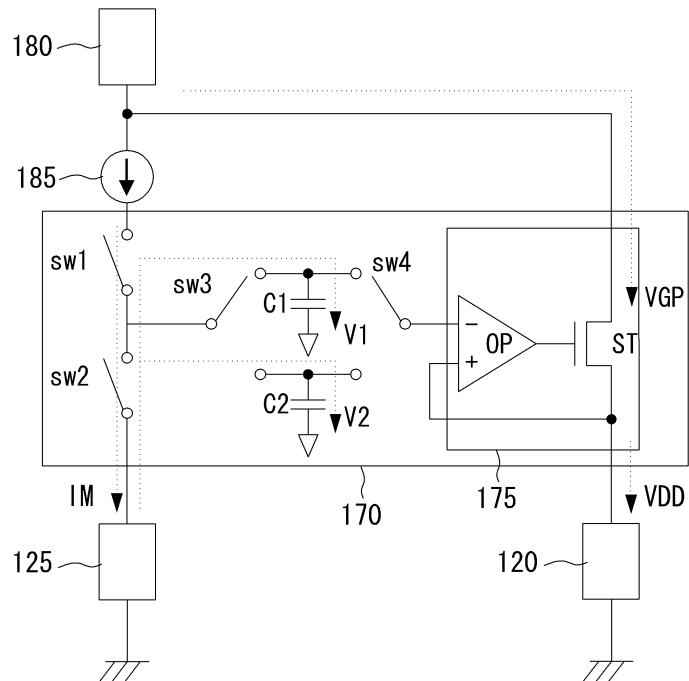
도면1



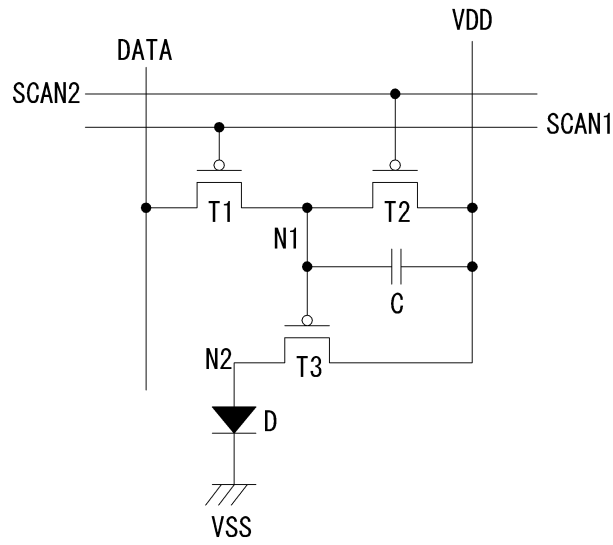
도면2



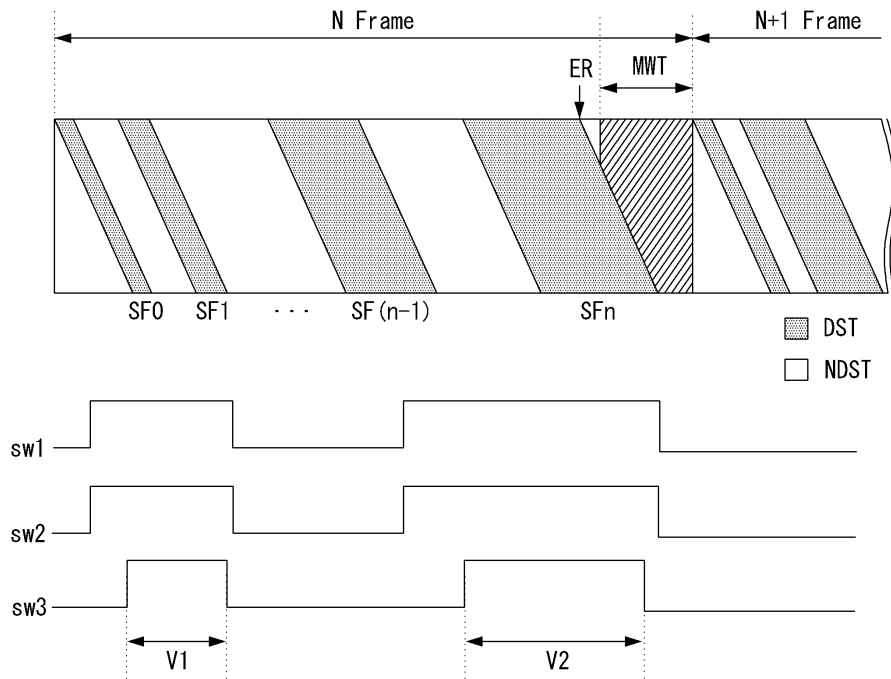
도면3



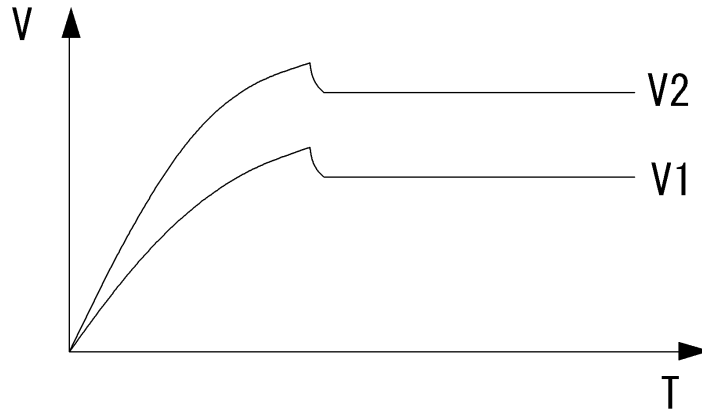
도면4



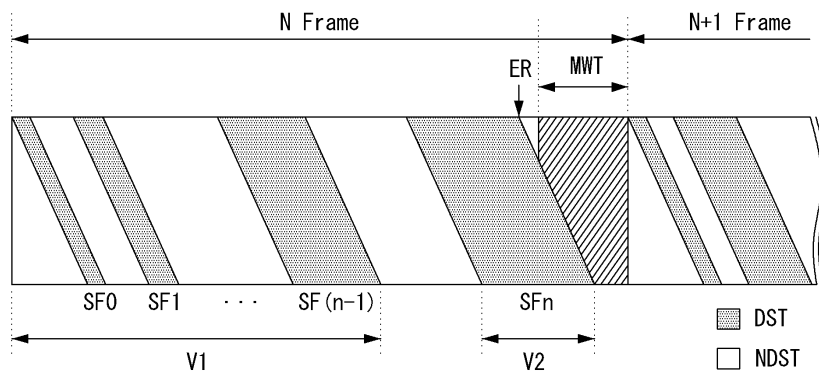
도면5



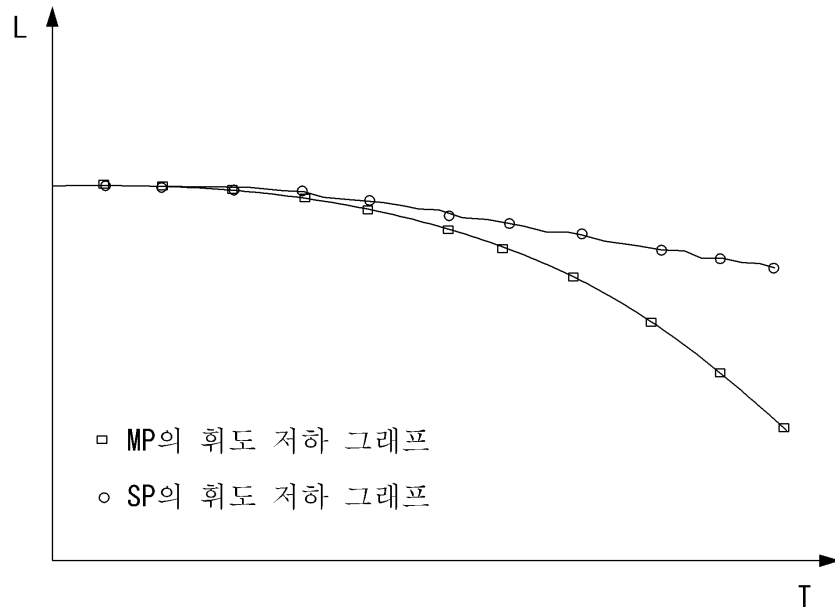
도면6



도면7



도면8



도면9

