



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2014년06월13일
 (11) 등록번호 10-1407302
 (24) 등록일자 2014년06월09일

- (51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) *G09G 3/32* (2006.01)
G09G 3/20 (2006.01) *H05B 33/12* (2006.01)
- (21) 출원번호 10-2007-0138359
 (22) 출원일자 2007년12월27일
 심사청구일자 2012년12월04일
 (65) 공개번호 10-2009-0070371
 (43) 공개일자 2009년07월01일
- (56) 선행기술조사문헌
 KR1020060048924 A*
 KR1020060112989 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
전창훈
 경상북도 칠곡군 석적읍 북중리3길 70, 부영아파트 110동 1606호
김중철
 경상북도 칠곡군 약목면 복성13길 24, 오성타워맨션 101동 110호
이호영
 충청남도 천안시 서북구 월봉5길 46 (쌍용동)
- (74) 대리인
김용인, 박영복

전체 청구항 수 : 총 10 항

심사관 : 조기덕

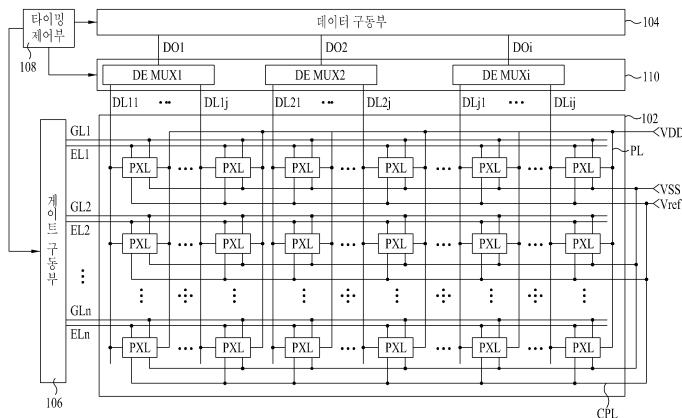
(54) 발명의 명칭 **발광 표시 장치 및 그 구동 방법**

(57) 요약

본 발명은 데이터 구동부의 출력 라인 수를 줄일 수 있는 발광 표시 장치 및 그 구동 방법에 관한 것이다.

본 발명에 따른 데이터 전압이 공급되는 데이터 라인, 게이트 전압이 공급되는 게이트 라인, 발광 제어 전압이 공급되는 발광 제어 라인, 구동 전원이 공급되는 구동 전원 라인, 제1 전압 및 제1 전압과 다른 제2 전압 레벨의 보상 전압이 공급되는 보상 전원 라인에 의해 정의된 화소 영역마다 형성되는 다수의 화소셀을 가지는 발광 표시 패널과; 상기 데이터 라인들보다 적은 수의 출력 라인을 가지는 데이터 구동부와; 상기 데이터 구동부와 상기 발광 표시 패널 사이에 형성되며 상기 출력 라인으로부터의 데이터 전압을 상기 데이터 라인에 공급하는 디멀티플렉서부를 구비하며, 상기 화소셀은 상기 화소영역에 형성되는 발광 소자와; 상기 데이터 전압, 게이트 전압, 발광 제어 전압, 구동 전압 및 제1 레벨의 보상 전압에 따라 상기 데이터 전압에 대응되는 전류를 상기 발광 소자에 공급하며, 상기 제2 레벨의 보상 전압에 따라 상기 발광 소자를 오프시키는 화소 구동부를 포함하며, 한 프레임은 스캔 기간을 포함하는 제1 기간과, 상기 제1 기간을 제외한 나머지 기간인 제2 기간을 포함하며, 상기 제1 기간에는 상기 제1 레벨의 보상 전압이 공급되며, 상기 제2 기간에는 상기 제2 레벨의 보상 전압이 공급되는 것을 특징으로 한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

데이터 전압이 공급되는 데이터 라인, 게이트 전압이 공급되는 게이트 라인, 발광 제어 전압이 공급되는 발광 제어 라인, 구동 전압이 공급되는 구동 전원 라인, 제1 전압 및 제1 전압과 다른 제2 전압 레벨의 보상 전압이 공급되는 보상 전원 라인에 의해 정의된 화소 영역마다 형성되는 다수의 화소셀을 가지는 발광 표시 패널과;

상기 데이터 라인들보다 적은 수의 출력 라인을 가지는 데이터 구동부와;

상기 데이터 구동부와 상기 발광 표시 패널 사이에 형성되며 상기 출력 라인으로부터의 데이터 전압을 상기 데이터 라인에 공급하는 디멀티플렉서부를 구비하며,

상기 화소셀은

상기 화소영역에 형성되는 발광 소자와;

상기 데이터 전압, 게이트 전압, 발광 제어 전압, 구동 전압 및 제1 레벨의 보상 전압에 따라 상기 데이터 전압에 대응되는 전류를 상기 발광 소자에 공급하며, 상기 제2 레벨의 보상 전압에 따라 상기 발광 소자를 오프시키는 화소 구동부를 포함하며,

상기 화소 구동부는

상기 구동 전압을 이용하여 게이트 전극의 전압에 대응하는 전류를 상기 발광 소자에 공급하는 구동 트랜지스터와;

상기 게이트 전압에 따라 상기 데이터 전압을 제1 노드에 공급하는 제1 스위칭 트랜지스터와;

상기 게이트 전압에 따라 상기 구동 트랜지스터의 게이트 전극을 소스 전극 또는 드레인 전극에 접속시키는 제2 스위칭 트랜지스터와;

상기 발광 제어 신호에 따라 상기 구동 트랜지스터와 상기 발광 소자를 접속시키는 제3 스위칭 트랜지스터와;

상기 발광 제어 신호에 따라 상기 보상 전압을 상기 제1 노드에 공급하는 제4 스위칭 트랜지스터와;

상기 제1 노드와 상기 구동 트랜지스터의 게이트 전극에 접속된 제2 노드 사이에 접속된 캐패시터를 포함하며,

한 프레임은 스캔 기간을 포함하는 제1 기간과, 상기 제1 기간을 제외한 나머지 기간인 제2 기간을 포함하며, 상기 제1 기간에는 상기 제1 레벨의 보상 전압이 공급되며, 상기 제2 기간에는 상기 제2 레벨의 보상 전압이 공급되는 것을 특징으로 하는 발광 표시 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 화소 구동부는

이전단 게이트 라인에 공급된 게이트 전압에 따라 상기 제2 노드에 초기화 전압을 공급하는 제5 스위칭 트랜지스터를 추가로 구비하는 것을 특징으로 하는 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 디멀티플렉서부는

상기 다수개의 데이터 라인들을 다수개의 데이터 라인군으로 분할하며 상기 데이터 구동부의 하나의 출력 라인과 접속되며 상기 데이터 라인군과 접속되는 다수개의 샘플링 트랜지스터로 각각 이루어진 다수개의 디멀티플렉서를 구비하는 것을 특징으로 하는 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 다수개의 샘플링 트랜지스터들은 이전단 게이트 라인의 스캔 기간과 현재단 게이트 라인의 스캔 기간 사이에서 순차적으로 턴온되어 상기 데이터 라인에 상기 데이터 전압을 순차적으로 공급하는 것을 특징으로 하는 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제1 레벨의 보상 전압은 상기 구동 전압과 동일하며, 상기 제2 레벨의 보상 전압은 블랙 데이터 전압과 동일한 것을 특징으로 하는 발광 표시 장치.

청구항 7

데이터 전압이 공급되는 데이터 라인, 게이트 전압이 공급되는 게이트 라인, 발광 제어 전압이 공급되는 발광 제어 라인, 구동 전압이 공급되는 구동 전원 라인, 서로 다른 제1 레벨 및 제2 레벨의 보상 전압이 공급되는 보상 전원 라인에 의해 정의된 화소 영역마다 형성되는 다수의 화소셀을 가지는 발광 표시 장치의 구동 방법에 있어서,

상기 데이터 라인들보다 적은 수의 출력 라인을 가지는 데이터 구동부로부터 생성된 데이터 전압을 상기 데이터 구동부와 상기 발광 표시 패널 사이에 형성된 디멀티플렉서부를 통해 상기 데이터 라인에 공급하는 단계와;

상기 게이트 라인에 게이트 전압을 공급하는 단계와;

상기 발광 제어 전압, 구동 전압 및 제1 레벨의 보상 전압에 따라 상기 데이터 전압에 대응되는 전류를 발광 소자에 공급하여 상기 화소셀의 발광 소자를 발광시키는 단계와;

상기 제2 레벨이 보상 전압에 따라 상기 발광 소자를 오프시키는 단계를 포함하며,

한 프레임은 스캔 기간을 포함하는 제1 기간과, 상기 제1 기간을 제외한 나머지 기간인 제2 기간을 포함하며, 상기 제1 기간에는 상기 제1 레벨의 보상 전압이 공급되며, 상기 제2 기간에는 상기 제2 레벨의 보상 전압이 공급되며,

상기 화소셀은

상기 화소영역에 형성되는 상기 발광 소자와;

상기 데이터 전압, 게이트 전압, 발광 제어 전압, 구동 전압 및 제1 레벨의 보상 전압에 따라 상기 데이터 전압에 대응되는 전류를 상기 발광 소자에 공급하며, 상기 제2 레벨의 보상 전압에 따라 상기 발광 소자를 오프시키는 화소 구동부를 포함하며,

상기 화소 구동부는

상기 구동 전압을 이용하여 게이트 전극의 전압에 대응하는 전류를 상기 발광 소자에 공급하는 구동 트랜지스터와;

상기 게이트 전압에 따라 상기 구동 트랜지스터의 게이트 전극을 소스 전극 또는 드레인 전극에 접속시키는 제1 스위칭 트랜지스터와;

상기 발광 제어 신호에 따라 상기 구동 트랜지스터와 상기 발광 소자를 접속시키는 제3 스위칭 트랜지스터와;

상기 발광 제어 신호에 따라 상기 보상 전압을 상기 제1 노드에 공급하는 제4 스위칭 트랜지스터와;

상기 제1 노드와 상기 구동 트랜지스터의 게이트 전극에 접속된 제2 노드 사이에 접속된 캐패시터를 포함하는 것을 특징으로 하는 발광 표시 장치의 구동 방법.

청구항 8

제 7 항에 있어서,

상기 발광 소자를 발광시키는 단계는

상기 게이트 전압에 의해 턴온된 상기 제1 스위칭 소자를 통해 상기 데이터 전압을 상기 제1 노드에 공급함과 동시에, 상기 게이트 전압에 의해 턴온된 상기 제2 스위칭 소자를 통해 상기 데이터 전압에 대응되는 구동 전류를 출력하는 상기 구동 트랜지스터의 게이트 전극을 소스 전극 또는 드레인 전극에 접속시켜 상기 구동 트랜지스터의 문턱 전압을 제2 노드에 샘플링하는 단계와;

상기 발광 제어 전압에 의해 턴온된 상기 제3 스위칭 소자를 통해 상기 구동 트랜지스터와 상기 발광 소자를 접속시킴과 동시에, 상기 발광 제어 전압에 의해 턴온된 상기 제4 스위칭 소자를 통해 상기 제1 레벨의 보상 전압을 상기 제1 노드에 공급하는 단계와;

상기 제1 및 제2 노드 간에 접속된 캐패시터에 의해 상기 제1 노드의 전압 변화량만큼 변동되는 상기 제2 노드의 전압에 따라 상기 구동 트랜지스터를 턴온시켜 상기 구동 전류를 출력하는 단계를 포함하는 것을 특징으로 하는 발광 표시 장치의 구동 방법.

청구항 9

제 8 항에 있어서,

상기 발광 소자를 오프시키는 단계는

상기 제4 스위칭 트랜지스터에 상기 제2 레벨의 보상 전압을 공급하는 단계와;

상기 캐패시터에 의해 상기 제2 레벨이 보상 전압에 의한 상기 제1 노드의 전압 변화량만큼 변동되는 상기 제2 노드의 전압에 따라 상기 구동 트랜지스터를 턴오프시키는 단계를 포함하는 것을 특징으로 하는 발광 표시 장치의 구동 방법.

청구항 10

제 8 항에 있어서,

상기 디멀티플렉서부를 통해 상기 데이터 라인에 상기 데이터 전압을 공급하기 전에, 이전단 게이트 라인에 공급된 게이트 전압에 의해 턴온된 제5 스위칭 트랜지스터를 통해 상기 제2 노드에 초기화 전압을 공급하는 단계를 포함하는 것을 특징으로 하는 발광 표시 장치의 구동 방법.

청구항 11

제 7 항에 있어서,

상기 디멀티플렉서부는 상기 다수개의 데이터 라인들을 다수개의 블록으로 분할하며 상기 데이터 구동부의 하나의 출력 라인과 접속되며 상기 블록으로 분할된 다수개의 데이터 라인들과 접속되는 다수개의 샘플링 트랜지스터들로 각각 이루어진 다수개의 디멀티플렉서를 가지며,

상기 디멀티플렉서부를 통해 상기 데이터 라인에 상기 데이터 전압을 공급하는 단계는 이전단 게이트 라인의 스캔 기간과 현재단 게이트 라인의 스캔 기간 사이에서 상기 다수개의 샘플링 트랜지스터들이 순차적으로 턴온되어 상기 데이터 라인에 상기 데이터 전압을 순차적으로 공급하는 단계인 것을 특징으로 하는 발광 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 발광 표시 장치 및 그 구동 방법에 관한 것으로, 특히 데이터 구동부의 출력 라인 수를 줄일 수 있는 발광 표시 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 유기 전계 발광 표시 장치는 다수의 화소셀들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 이러한 유기 전계 발광 표시 장치의 각 화소셀(10)은 도 1에 도시된 바와 같이 유기 발광 다이오드(Organic Light Emitting Diode : OLED)와, 그 OLED를 독립적으로 구동하는 화소 구동부(12)를 구비한다. OLED는 화소 구동부(12)와 접속된 캐소드 전극 및 전원(VDD) 라인(PL)과 접속된 애노드 전극과, 캐소드 전극과 애노드 전극 사이에 형성된 유기층으로 구성된다. 화소 구동부(12)는 게이트 신호를 공급하는 게이트 라인(GL)과, 데이터 신호를 공급하는 데이터 라인(DL)과, 전원 신호(VDD)를 공급하는 전원 라인(PL)과, 게이트 라인(GL), 데이터 라인(DL) 및 전원 라인(PL) 사이에 접속된 스위칭 트랜지스터(ST) 및 구동 트랜지스터(DT)와 스토리지 캐패시터(Cst)로 구성되어 OLED를 구동한다.

[0003] 이러한 발광 표시 장치의 각 데이터 라인(DL)에 데이터전압을 공급하는 데이터 구동부의 출력 라인은 데이터 라인(DL)과 일대일 대응한다. 따라서, 발광 표시 장치의 해상도가 증가할수록 데이터 라인(DL) 수도 증가하므로 출력 라인 수도 증가하여야 한다. 따라서, 데이터 구동부를 이루는 고가의 데이터 구동 집적 회로의 수가 증가 할 뿐만 아니라 데이터 구동 집적 회로를 부착하는 공정 시간 및 제조 비용도 증가되어 비용이 상승하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0004] 상기와 같은 문제점을 해결하기 위하여, 본 발명은 데이터 구동부의 출력 라인 수를 줄일 수 있는 발광 표시 장치 및 그 구동 방법을 제공하는 것이다.

과제 해결수단

[0005] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 발광 표시 장치는 데이터 전압이 공급되는 데이터 라인, 게이트 전압이 공급되는 게이트 라인, 발광 제어 전압이 공급되는 발광 제어 라인, 구동 전원이 공급되는 구동 전원 라인, 제1 전압 및 제1 전압과 다른 제2 전압 레벨의 보상 전압이 공급되는 보상 전원 라인에 의해 정의된 화소 영역마다 형성되는 다수의 화소셀을 가지는 발광 표시 패널과; 상기 데이터 라인들보다 적은 수의 출력 라인을 가지는 데이터 구동부와; 상기 데이터 구동부와 상기 발광 표시 패널 사이에 형성되며 상기 출력 라인으로부터의 데이터 전압을 상기 데이터 라인에 공급하는 디멀티플렉서부를 구비하며, 상기 화소셀은 상기 화소영역에 형성되는 발광 소자와; 상기 데이터 전압, 게이트 전압, 발광 제어 전압, 구동 전압 및 제1 레벨의 보상 전압에 따라 상기 데이터 전압에 대응되는 전류를 상기 발광 소자에 공급하며, 상기 제2 레벨이 보상 전압에 따라 상기 발광 소자를 오프시키는 화소 구동부를 포함하며, 한 프레임은 스캔 기간을 포함하는 제1 기간과, 상기 제1 기간을 제외한 나머지 기간인 제2 기간을 포함하며, 상기 제1 기간에는 상기 제1 레벨의 보상 전압이 공급되며, 상기 제2 기간에는 상기 제2 레벨의 보상 전압이 공급되는 것을 특징으로 한다.

[0006] 상기 기술적 과제를 달성하기 위하여, 데이터 전압이 공급되는 데이터 라인, 게이트 전압이 공급되는 게이트 라인, 발광 제어 전압이 공급되는 발광 제어 라인, 구동 전압이 공급되는 구동 전원 라인, 서로 다른 제1 레벨 및 제2 레벨의 보상 전압이 공급되는 보상 전원 라인에 의해 정의된 화소 영역마다 형성되는 다수의 화소셀을 가지는 본 발명에 따른 발광 표시 장치의 구동 방법은 상기 데이터 라인들보다 적은 수의 출력 라인을 가지는 데이터 구동부로부터 생성된 데이터 전압을 상기 데이터 구동부와 상기 발광 표시 패널 사이에 형성된 디멀티플렉서부를 통해 상기 데이터 라인에 공급하는 단계와; 상기 게이트 라인에 게이트 전압을 공급하는 단계와; 상기 발광 제어 전압, 구동 전압 및 제1 레벨의 보상 전압에 따라 상기 데이터 전압에 대응되는 전류를 상기 발광 소자에 공급하여 상기 화소셀의 발광 소자를 발광시키는 단계와; 상기 제2 레벨이 보상 전압에 따라 상기 발광 소자를 오프시키는 단계를 포함하며, 한 프레임은 스캔 기간을 포함하는 제1 기간과, 상기 제1 기간을 제외한 나머지 기간인 제2 기간을 포함하며, 상기 제1 기간에는 상기 제1 레벨의 보상 전압이 공급되며, 상기 제2 기간에는 상기 제2 레벨의 보상 전압이 공급되는 것을 특징으로 한다.

효과

[0007] 본 발명에 따른 발광 표시 장치 및 그 구동 방법은 하나의 출력 라인으로 순차적으로 공급되는 데이터 전압들을 디멀티플렉서부를 이용하여 다수개의 데이터 라인에 공급한다. 다수개의 데이터라인들에 공급된 데이터 전압들은 제1 스위칭 트랜지스터를 통해 동시에 각각의 화소셀에 공급하기 때문에 균일한 휘도의 화상을 표시할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0008] 이하, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.
- [0009] 도 2은 본 발명에 따른 발광 표시 장치를 나타내는 블럭도이다.
- [0010] 도 2에 도시된 발광 표시 장치는 발광 표시 패널(102)과, 발광 표시 패널(102)의 게이트 라인(GL1 내지 GLn)을 구동하기 위한 게이트 구동부(106)와, 발광 표시 패널(102)의 데이터 라인(DL11 내지 DLij)을 구동하기 위한 데이터 구동부(104)와, 데이터 구동부(104)와 발광 표시 패널(102) 사이에 형성된 디멀티플렉서부(110)와, 게이트 구동부(106), 데이터 구동부(104) 및 디멀티플렉서부(110)를 제어하는 타이밍 제어부(108)를 구비한다.
- [0011] 발광 표시 패널(102)은 데이터 라인들(DL), 게이트 라인들(GL), 발광 제어 라인(EL), 구동 전원 라인(PL) 및 보상 전원 라인(CPL)에 접속된 다수개의 화소셀(PXL)들을 이용하여 화상을 표시하게 된다.
- [0012] 각 화소셀(PXL)은 도 3에 도시된 바와 같이 OLED와, OLED를 구동하는 화소 구동부(112)를 포함한다.
- [0013] 화소 구동부(112)는 제1 내지 제4 스위칭 트랜지스터(ST1 내지 ST4), 구동 트랜지스터(DT) 및 스토리지 캐패시터(Cst)를 포함한다.
- [0014] 제1 스위칭 트랜지스터(ST1)는 게이트 라인(GL)으로부터의 로우 논리의 게이트 전압에 응답하여 데이터 라인(DL)으로부터의 데이터 신호(Vdata)를 제1 노드(N1)에 공급하여 제1 스토리지 캐패시터(Cst)에 충전되게 한다.
- [0015] 제2 스위칭 트랜지스터(ST2)는 게이트 라인(GL)으로부터의 로우 논리의 게이트 전압에 응답하여 구동 트랜지스터(DT)의 게이트 전극 및 드레인 전극을 서로 접속시킴으로써 구동 트랜지스터(DT)를 다이오드 형태로 접속시킨다.
- [0016] 제3 스위칭 트랜지스터(ST3)는 발광 제어 라인(EL)으로부터의 로우 논리의 발광 제어 전압에 응답하여 구동 트랜지스터(DT)의 드레인 전극을 OLED의 애노드 전극에 접속시킨다. 즉, 제3 스위칭 트랜지스터(ST3)는 로우 논리의 발광 제어 전압에 따라 구동 트랜지스터(DT)로부터 출력되는 전류를 OLED에 공급한다.
- [0017] 제4 스위칭 트랜지스터(ST4)는 발광 제어 라인(EL)으로부터의 로우 논리의 발광 제어 전압에 응답하여 제1 노드(N1)에 보상 전원 라인(CPL)을 통해 보상 전압(Vref)을 공급한다.
- [0018] 구동 트랜지스터(DT)는 제2 노드(N2) 상의 전압에 응답하여 OLED에 흐르는 전류량을 제어한다.
- [0019] 캐패시터(Cst)는 제1 및 제2 노드(N1,N2) 사이에 형성되어 제1 및 제2 노드(N1,N2) 간의 차전압을 저장하고, 제1 스위칭 트랜지스터(ST1)가 턴오프되면 저장된 전압을 이용하여 구동 트랜지스터(DT)의 온 상태를 1 프레임동안 유지시킨다.
- [0020] OLED는 화소 구동부(112)와 접속된 애노드 전극과, 저전위 전압(VSS)과 접속된 캐소드 전극과, 애노드 전극 및 캐소드 전극 사이에 형성된 유기층으로 구성된다. 이러한 OLED는 화소 구동부(112)의 제3 스위칭 트랜지스터(ST3)를 통해 구동 트랜지스터(DT)로부터의 전류에 의해 발광한다.
- [0021] 타이밍 제어부(108)는 게이트 구동부(106) 및 데이터 구동부(104)의 구동 타이밍을 제어하는 다수의 제어 신호를 생성함과 아울러 화소 데이터를 정렬하여 데이터 구동부에 공급한다. 또한, 타이밍 제어부(108)는 디멀티플렉서부(110)를 제어하는 다수의 샘플링 제어 신호를 생성한다.
- [0022] 게이트 구동부(106)는 로우 논리의 게이트 전압을 게이트 라인들(GL1 내지 GLn)에 순차적으로 공급한다. 이에 따라, 게이트 구동부(106)는 게이트 라인(GL1 내지 GLn)에 접속된 제1 및 제2 스위칭 트랜지스터(ST1,ST2)가 게이트라인(GL) 단위로 구동되게 한다. 이러한 게이트 구동부(106)는 1 수평 기간 중 스캔 기간 동안에 로우 논리의 게이트 전압을 공급하고, 1 수평 기간 중 데이터 입력 기간 동안에 하이 논리의 게이트 전압을 공급한다. 따라서, 1 수평 기간 중 데이터 입력 기간에는 데이터 전압이 각 화소셀에 공급되지 않고, 1 수평 기간 중 스캔 기간 동안에는 데이터 전압이 각 화소셀에 공급된다.
- [0023] 또한, 게이트 구동부(106)는 로우 논리의 발광 제어 전압을 발광 제어 라인들(EL1 내지 ELn)에 순차적으로 공급한다.
- [0024] 데이터 구동부(104)는 1수평 기간 중 데이터 입력 기간에 1 수평 라인의 데이터 전압(Vdata)을 디멀티플렉서부에 공급한다. 이러한 데이터 구동부(104)의 출력 라인은 데이터 라인(DL)보다 적은 개수로 이루어지며, 디멀티

플렉서부(110)의 다수개의 디멀티플렉서(DEMUX)와 동일한 개수를 가진다.

[0025] 디멀티플렉서부(110)는 1 수평 기간 중 데이터 입력 기간 동안 데이터 라인(DL)에 데이터 전압을 공급한다. 이를 위해, 디멀티플렉서부(110)는 데이터 구동부(104)와 발광 표시 패널(102) 사이에 접속된 다수의 디멀티플렉서(DEMUX1 내지 DEMUXi)를 구비한다.

[0026] 다수의 디멀티플렉서(DEMUX1 내지 DEMUXi) 각각은 데이터 구동부(104)의 하나의 출력라인(DO1 내지 DOi)과 접속되며, 데이터 라인들 중 j(여기서, j는 1보다 큰 자연수)개의 데이터 라인들(DL11 내지 DL1j, DL21 내지 DL2j, ..., DLi1 내지 DLij)과 접속된다. 이러한 다수의 디멀티플렉서(DEMUX1 내지 DEMUXi) 각각은 j개의 데이터 라인들(DL11 내지 DL1j, DL21 내지 DL2j, ..., DLi1 내지 DLij) 각각과 접속된 제1 내지 제j개의 샘플링 트랜지스터로 이루어진다. 본원 발명에서는 디멀티플렉서(DEMUX1 내지 DEMUXi) 각각이 적색(R), 녹색(G) 및 청색(B) 데이터 전압(Vdata)을 각각 공급하는 3개의 샘플링 트랜지스터로 이루어진 경우를 예로 들어 설명하기로 한다. 이 경우, 데이터 구동부(104)의 출력 라인(DO)은 데이터 라인(DL)의 1/3 개수를 가진다.

[0027] 다수의 디멀티플렉서(DEMUX1 내지 DEMUXi) 각각은 도 4에 도시된 바와 같이 데이터 구동부(104)의 하나의 출력라인(DO)에 별별로 제1 내지 제3 샘플링 트랜지스터(MT1 내지 MT3)를 구비한다.

[0028] 이러한 제1 내지 제3 샘플링 트랜지스터(MT1 내지 MT3)는 타이밍 제어부(108)로부터 공급되는 샘플링 제어 신호(MS1 내지 MS3)에 응답하여 서로 다른 시점에서 턴-온된다. 즉, 제1 샘플링 트랜지스터(MT1)는 제1 샘플링 제어 신호(MS1)에 응답하여 데이터 구동부(104)의 출력 라인(DO1 내지 DOi)으로부터의 적색 데이터 전압을 제1 내지 제i 디멀티플렉서들(DEMUX1 내지 DEMUXi)의 제1 출력 단자와 접속된 제1 데이터 라인군(DL11, DL21, ..., DLi1)에 공급한다. 제2 샘플링 트랜지스터(MT2)는 제2 샘플링 제어 신호(MS2)에 응답하여 데이터 구동부(104)의 출력 라인(DO1 내지 DOi)으로부터의 녹색 데이터 전압을 제1 내지 제i 디멀티플렉서군(DL12, DL22, ..., DLi2)에 공급한다. 제3 샘플링 트랜지스터(MT3)는 제3 샘플링 제어 신호(MS3)에 응답하여 데이터 구동부(104)의 출력 라인(DO1 내지 DOi)으로부터의 청색 데이터 전압을 제1 내지 제i 디멀티플렉서들(DEMUX1 내지 DEMUXi)의 제3 출력 단자와 접속된 제3 데이터 라인군(DL13, DL23, ..., DLi3)에 공급한다.

[0029] 도 5는 본 발명에 따른 발광 표시 장치의 구동 방법을 설명하기 위한 과정도이며, 도 6a 내지 도 6c는 본 발명에 따른 발광 표시 장치의 구동 방법을 설명하기 위한 도면이다.

[0030] 한 프레임 기간은 도 5에 도시된 바와 같이 데이터 입력 기간(PI)과 스캔 기간(PS)이 교변적으로 반복되는 제1 기간(P1)과 제2 기간(P2)으로 구분된다.

[0031] 먼저, 제1 기간(P1)의 데이터 입력 기간(PI)에는 제1 내지 제3 샘플링 트랜지스터(MT1 내지 MT3)에 로우 논리의 제1 내지 제3 샘플링 신호(MS1 내지 MS3)가 순차적으로 공급된다. 이 로우 논리의 샘플링 신호(MS1 내지 MS3)에 응답하여 도 6a에 도시된 바와 같이 제1 제1 내지 제3 샘플링 트랜지스터(MT1 내지 MT3)가 턴온된다. 로우 논리의 제1 샘플링 신호(MS1)에 의해 제1 샘플링 트랜지스터(MT1)가 턴온되면, 데이터 구동부(104)의 출력 라인(DO1, DO2, ..., DOi)으로부터의 적색 데이터 전압(Vdata)이 제1 데이터 라인군(DL11, DL21, ..., DLi1)에 공급된다. 그런 다음, 로우 논리의 제2 샘플링 신호(MS2)에 의해 제2 샘플링 트랜지스터(MT2)가 턴온되면, 데이터 구동부(104)의 출력 라인(DO1, DO2, ..., DOi)으로부터의 녹색 데이터 전압(Vdata) 제2 데이터 라인군(DL12, DL22, ..., DLi2)에 공급된다. 그런 다음, 로우 논리의 제3 샘플링 신호(MS3)에 의해 제3 샘플링 트랜지스터(MT3)가 턴온되면, 데이터 구동부(104)의 출력 라인(DO1, DO2, ..., DOi)으로부터의 청색 데이터 전압(Vdata)이 제3 데이터 라인군(DL13, DL23, ..., DLi3)에 공급된다.

[0032] 이 때, 제1 내지 제3 샘플링 트랜지스터(MT1 내지 MT3)가 턴온되는 데이터 입력 기간(PI)동안 게이트 라인(GL1 내지 GLn)에는 하이 논리의 게이트 전압이 공급되기 때문에 각 화소셀에는 데이터 라인(DL)에 공급된 적색, 녹색 및 청색 데이터 전압이 공급되지 않는다.

[0033] 스캔 기간(PS)에는 해당 게이트 라인(GL)에 로우 논리의 게이트 전압이 공급됨과 아울러 해당 발광 제어 라인(EL)에 하이 논리의 발광 제어 전압이 공급된다. 이에 따라, 도 6b에 도시된 바와 같이 제1 및 제2 스위칭 트랜지스터(ST1, ST2) 각각이 턴온됨과 아울러 제3 및 제5 스위칭 트랜지스터(ST3, ST4)는 턴오프된다. 턴온된 제1 스위칭 트랜지스터(ST1)를 통해 제1 노드(N1)에는 데이터 라인(DL)으로부터의 데이터 전압(Vdata)이 공급된다. 턴온된 제2 스위칭 트랜지스터(ST2)를 통해 구동 트랜지스터(DT)의 게이트 전극 및 드레인 전극이 서로 연결된다. 이에 따라, 구동 트랜지스터(DT)는 순방향 다이오드가 되므로 구동 트랜지스터(DT)의 게이트 전극, 즉 제2 노드(N2)에는 구동 트랜지스터(DT)의 문턱전압(Vth_S)이 공급되므로써 제2 노드(N2)에는 구동 트랜지스터(DT)의 문턱전압(Vth_S)이 샘플링된다. 이 때, 구동 트랜지스터(DT)의 소스 전극에는 고전위 전압(VDD)이 공급됨으로

써 제2 노드(N2)에는 도 7에 도시된 바와 같이 고전위 전압(VDD)과 구동 트랜지스터(DT)의 문턱 전압(VDD-Vth_S)이 공급된다.

[0034] 그런 다음, 다음단 화소셀의 데이터 입력 기간에 그 다음단 화소셀과 대응하는 게이트 라인(GL)에 하이 논리의 게이트 전압이 공급됨과 아울러 다음단 발광 제어 라인(EL)에 로우 논리의 발광 제어 신호가 공급된다. 이에 따라, 도 6c에 도시된 바와 같이 제1 및 제2 스위칭 트랜지스터(ST1, ST2) 각각은 턴오프됨과 아울러 제3 및 제4 스위칭 박막트랜지스터(ST3, ST4)는 턴온된다. 턴온된 제4 스위칭 트랜지스터(ST4)를 통해 제1 노드(N1)에는 제1 레벨의 보상 전압(Vref)이 공급된다.

[0035] 이 때, 캐패시터(Cst)의 양단의 전압은 화소 구동부(112)에 전류 패스가 형성되어 있지 않기 때문에 일정하게 유지된다. 따라서, 캐패시터(Cst)의 일단인 제1 노드(N1) 상의 전압 변화량(Vref-Vdata)만큼 캐패시터(Cst)의 타단인 제2 노드(N2)의 상의 전압이 변하게 된다. 즉, 제2 노드(N2)에는 도 7에 도시된 바와 같이 VDD-Vth_S+Vref-Vdata이 공급된다.

[0036] 이어, 구동 트랜지스터(DT)는 게이트-소스 전극 간의 전압에 의해 턴온된다. 이에 따라, 구동 트랜지스터(DT)로부터 제3 스위칭 트랜지스터(ST3)를 통해 OLED에 공급되는 전류는 아래의 수학식 1과 같다. 수학식 1에서 β 는 상수값을 나타내며, Vth_R 은 구동 트랜지스터(DT)의 실제 문턱 전압을 나타낸다.

수학식 1

$$I = \beta / 2(Vgs - Vth_R)^2$$

$$= \beta / 2(Vdd - Vth_S + Vc - Vdata - Vdd - Vth_R)^2$$

$$= \beta / 2(Vref - Vdata - Vth_S - Vth_R)^2$$

[0039] 수학식 1에 있어서, 샘플링된 구동 트랜지스터(DT)의 문턱 전압(Vth_S)과 실제 구동 트랜지스터의 문턱 전압(Vth_R)이 동일하다면, 구동 트랜지스터(DT)에 출력되는 전류는 고전위 전압(VDD) 강하 및 구동 트랜지스터(DT)의 문턱 전압에 영향을 받지 않고, 보상 전압(Vref)과 데이터 전압(Vdata)에 의해 결정된다. 따라서, 구동 트랜지스터(DT)의 히스테리시스에 의한 화질 저하가 최소화된다.

[0040] 반면에 샘플링된 구동 트랜지스터(DT)의 문턱전압(Vth_S)과 실제 구동 트랜지스터(DT)의 문턱 전압(Vth_R)이 다르다면, 구동 트랜지스터(DT)에서 출력되는 전류는 샘플링된 구동 트랜지스터(DT)의 문턱 전압(Vth_S)과 실제 구동 트랜지스터(DT)의 문턱 전압(Vth_R)에 영향을 받게 된다. 이 경우, 구동 트랜지스터(DT)의 히스테리시스가 증가되어 잔상에 의해 화질이 저하되므로 매 프레임마다 제2 구간(P2) 동안 제1 레벨보다 높은 제2 레벨의 보상 전압(Vref)을 제4 스위칭 트랜지스터(ST4)에 공급한다. 이에 따라, 제2 전압 레벨의 보상 전압(Vref)은 제4 스위칭 트랜지스터(ST4)를 통해 제1 노드(N1)에 공급됨으로써 제2 노드(N2) 상의 전압은 제2 레벨의 보상 전압(Vref)에 의한 제1 노드(N1) 상의 전압 변화량만큼 변화된다. 변화된 제2 노드(N2) 상의 전압에 의해 구동 트랜지스터(DT)가 턴오프됨으로써 발광 표시 패널(102)에는 제2 구간(P2) 동안 블랙 화상이 구현된다. 이 경우, 각 프레임의 제2 구간(P2) 동안 제2 레벨의 보상 전압(Vref)에 의해 구동 트랜지스터(DT)의 전계 방향을 바꾸어 구동 트랜지스터(DT)의 트랩 차지의 양을 감소시켜 구동 트랜지스터(DT)의 히스테리시스가 증가되는 것이 방지된다.

[0041] 이와 같이, 본 발명에 따른 발광 표시 장치는 하나의 출력 라인으로 순차적으로 공급되는 데이터 전압들을 디멀티플렉서부를 이용하여 다수개의 데이터 라인에 공급한다. 다수개의 데이터라인들에 공급된 데이터 전압들은 제1 스위칭 트랜지스터를 통해 동시에 각각의 화소셀에 공급하기 때문에 균일한 휘도의 화상을 표시할 수 있다.

[0042] 도 8은 본 발명의 제2 실시 예에 따른 발광 표시 장치의 화소 구조를 나타내는 회로도이다.

[0043] 도 8에 도시된 발광 표시 장치의 화소구조는 도 3에 도시된 발광 표시 장치의 화소 구조와 대비하여 초기화 전 압(Vini)을 제2 노드(N2)에 공급하는 제5 스위칭 트랜지스터(ST5)를 추가로 구비하는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

[0044] 제5 스위칭 트랜지스터(T5)는 수평 라인 단위로 각 화소셀을 초기화시키기 위해 이전 게이트 라인(GLn-1)에 공급되는 로우 논리의 게이트 전압에 응답하여 초기화 전압(Vini)을 제2 노드(N2)에 공급한다. 이러한 제5 스위칭 트랜지스터(ST5)의 게이트 단자는 이전 게이트 라인(GLn-1)에, 소스 단자는 초기 전압(Vini)원에, 드레인 단자는 제2 노드(N2)에 접속된다. 여기서, 초기화 전압(Vini)은 고전위 전압(VDD)에서 화소 구동부(112)에 포함

된 트랜지스터의 문턱전압(V_{th})을 뺀 전압보다 낮게 설정된다.

[0046] 제5 스위칭 트랜지스터(ST5)를 이용한 초기화 기간 동안 도 9에 도시된 바와 같이 이전단 게이트 라인(GLn-1)에는 로우 논리의 게이트 전압이 공급되며, 이전단 발광 제어 라인(ELn-1)에는 하이 논리의 발광 제어 전압이 공급된다.

[0047] 이에 따라, 로우 논리의 게이트 전압에 응답하여 제5 스위칭 트랜지스터(ST5)가 턴온된다. 반면에 하이 논리의 발광 제어 전압에 응답하여 제3 스위칭 트랜지스터(ST3)는 턴오프된다. 턴온된 제5 스위칭 트랜지스터(ST5)를 통해 초기화 전압(V_{ini})이 제2 노드(n2)에 공급됨으로써 구동 트랜지스터(DT)의 게이트 단자는 초기화 전압으로 초기화된다. 이에 따라, 구동 트랜지스터(DT)의 문턱 전압이 한쪽 극성으로 상승하는 것을 방지할 수 있어 구동 트랜지스터(DT)의 열화가 방지된다. 즉, 제2 구동 트랜지스터(TD2)는 자신의 문턱 전압을 초기 상태로 회복하게 된다. 한편, 초기화 경로가 OLED로 흐르는 전류방향이 아니므로 누설 전류에 의한 블랙 휘도가 높아지는 현상이 방지된다.

[0048] 이와 같이, 본 발명에 따른 발광 표시 장치는 하나의 출력 라인으로 순차적으로 공급되는 데이터 전압들을 디멀티플렉서부를 이용하여 다수개의 데이터 라인에 공급한다. 다수개의 데이터라인들에 공급된 데이터 전압들은 제1 스위칭 트랜지스터를 통해 동시에 각각의 화소셀에 공급하기 때문에 균일한 휘도의 화상을 표시할 수 있다.

[0049] 한편, 본 발명의 제1 및 제2 실시 예에 따른 발광 표시 장치 및 그 구동 방법은 스캔 기간동안 제1 내지 제3 샘플링 트랜지스터(MT1, MT2, MT3)에 하이 논리의 샘플링 제어 신호를 공급한다. 이에 따라, 데이터 라인(DL)과 디멀티플렉서(DEMUX)는 분리되어 데이터 라인(DL)에 공급된 데이터 전압(V_{data})은 도 10에 도시된 바와 같이 플로팅 상태이므로 제3 노드(N3)의 전압은 변하게 되어 인접한 화소셀 간 구동 트랜지스터(DT)의 문턱 전압의 불균일로 인한 입력 데이터 왜곡 현상이 발생된다. 여기서, 제3 노드(N3)의 전압 변화량은 수학식 2에 의해 결정된다.

수학식 2

$$\Delta V_{N3} = \Delta V_{N2} \times \frac{Cst}{Cdata + Cst}$$

[0050] 수학식 2에서, ΔV_{N2} 는 구동 트랜지스터(DT)의 문턱 전압의 불균일로 인한 제2 노드(N2)의 전압 변화량을, ΔV_{N3} 는 제3 노드(N3)의 전압 변화량을, Cst는 스토리지 캐패시터를, Cdata는 데이터 라인(DL)의 자체 캐패시터를 각각 나타낸다.

[0052] 제3 노드(N3)의 전압 변화로 인한 입력 데이터 왜곡 현상은 데이터 라인(DL)의 캐패시터(Cdata) 용량이 스토리지 캐패시터(Cst)의 용량의 10배 이상 크면, 구동 트랜지스터(DT)의 문턱 전압의 불균일 현상의 1/10정도로, 무시 가능할 정도로 작게 발생된다.

[0053] 한편, 이전단 게이트 라인(GLn-1)의 스캔 기간(PS)과 현재단 게이트 라인(GLn)의 스캔 기간(PS) 사이, 즉 데이터 입력 기간에 데이터 전압을 시분할하여 데이터 라인(DL)에 공급함으로써 제1 노드(N1)의 전압은 각 화소마다 일정하다.

[0054] 구체적으로, 도 11a에 도시된 바와 같이 현재단 게이트 라인(GLn)의 스캔 기간동안 제1 내지 제3 샘플링 제어 신호(MS1 내지 MS3)에 응답하여 제1 내지 제3 샘플링 트랜지스터(MT1 내지 MT3)는 순차적으로 턴온된다. 이 경우, 제1 내지 제3 샘플링 트랜지스터(MT1 내지 MT3) 각각과 대응되는 화소셀에 순차적으로 데이터 전압이 공급된다. 이 경우, 제1 노드(N1)로 공급되는 데이터 전압(V_{data})의 공급 시간은 제1 샘플링 트랜지스터(MT1)가 먼저 턴온되므로 제1 샘플링 트랜지스터(MT1)와 접속된 화소셀의 데이터 전압(V_{data})의 공급 시간은 제2 및 제3 샘플링 트랜지스터(MT2, MT3)와 접속된 화소셀의 데이터 전압(V_{data})의 공급 시간보다 길다. 따라서, 소정 시간에서 제1 샘플링 트랜지스터(MT1)와 대응하는 화소셀의 제1 노드(N1)에는 정상적으로 데이터 전압(V_{data})이 공급되는 반면에 제2 및 제3 샘플링 트랜지스터(MT2, MT3)와 대응하는 화소셀의 제1 노드(N1)에는 원하는 전압까지 도달하지 못한 데이터 전압(V_{data})이 공급되기 때문에 화질이 불균일해진다.

[0055] 반면에 도 11b에 도시된 바와 같이 이전단 게이트 라인(GLn-1)의 스캔 기간(PS)과 현재단 게이트 라인(GLn)의 스캔 기간(PS) 사이의 데이터 입력 기간(PI) 동안 제1 내지 제3 샘플링 제어 신호(MS1 내지 MS3)에 응답하여 제1 내지 제3 샘플링 트랜지스터(MT1 내지 MT3)는 순차적으로 턴온된다. 따라서, 제1 내지 제3 샘플링 트랜지스

터(MT1 내지 MT3)를 통해 각 데이터 라인(DL)에 데이터 전압(Vdata)이 선 충전된다. 그런 다음, 현재단 게이트 라인(GLn)에 로우 논리의 게이트 전압을 공급함으로써 각 화소셀에 데이터 전압(Vdata)이 동시에 공급된다. 이 경우, 데이터 입력 기간에서는 선충전된 데이터 전압(Vdata)이 동시에 각 화소셀에 공급되기 때문에 화질이 균일해진다.

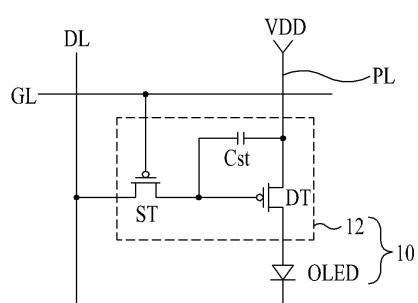
- [0056] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

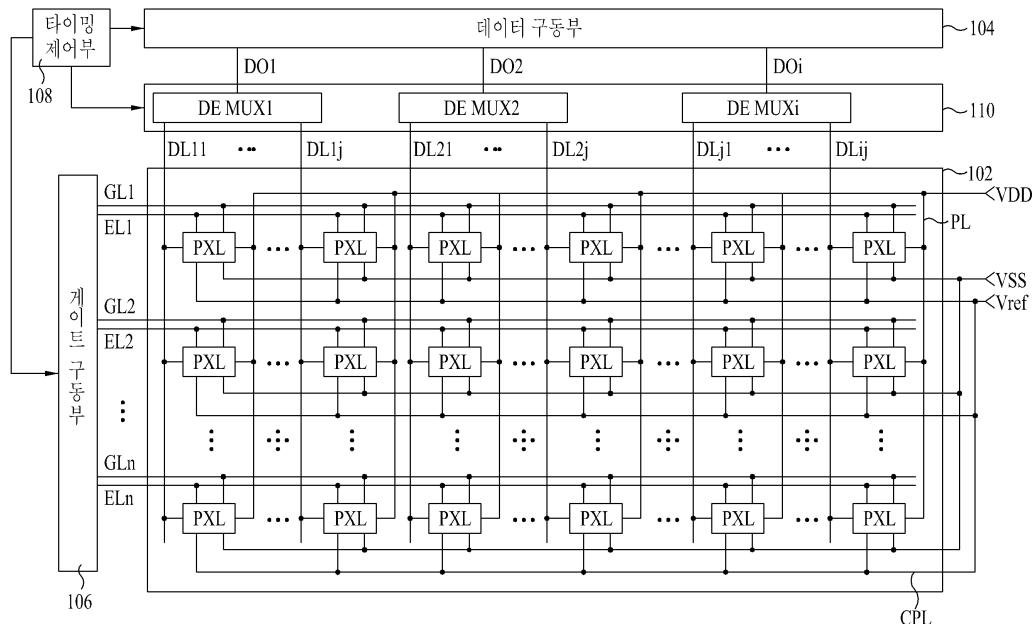
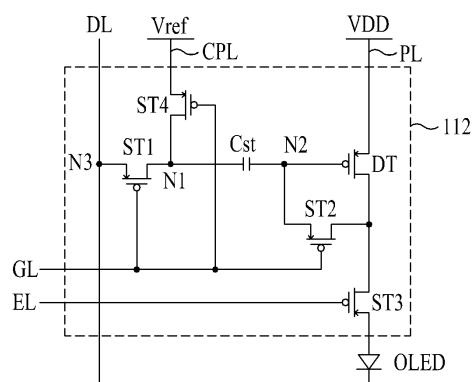
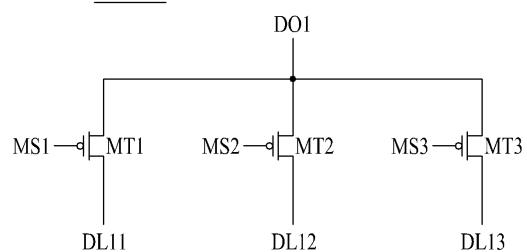
도면의 간단한 설명

- [0057] 도 1은 종래 발광 표시 장치의 화소셀을 나타내는 회로도이다.
- [0058] 도 2는 본 발명의 제1 실시 예에 따른 발광 표시 장치를 나타내는 블럭도이다.
- [0059] 도 3은 도 2에 도시된 화소셀을 상세히 나타내는 회로도이다.
- [0060] 도 4는 도 2에 도시된 디멀티플렉서를 상세히 나타내는 회로도이다.
- [0061] 도 5는 본 발명의 제1 실시 예에 따른 발광 표시 장치의 구동 방법을 설명하기 위한 과형도이다.
- [0062] 도 6a 내지 도 6c는 본 발명의 제1 실시 예에 따른 발광 표시 장치의 구동 방법을 구체적으로 설명하기 위한 회로도이다.
- [0063] 도 7은 도 6에 도시된 스캔 기간과 데이터 입력 기간 동안의 제1 및 제2 노드의 전압 변화를 설명하기 위한 과형도이다.
- [0064] 도 8은 본 발명의 제2 실시 예에 따른 발광 표시 장치의 각 화소셀을 나타내는 회로도이다.
- [0065] 도 9는 본 발명의 제2 실시 예에 따른 발광 표시 장치의 스캔 기간과 데이터 입력 기간 동안의 도 8에 도시된 제1 및 제2 노드의 전압 변화를 설명하기 위한 과형도이다.
- [0066] 도 10은 본 발명의 제1 및 제2 실시 예에 따른 발광 표시 장치의 데이터 라인의 캐패시터와 스토리지 캐패시터의 관계를 설명하기 위한 회로도이다.
- [0067] 도 11a 및 도 11b는 스캔 기간에 샘플링 트랜지스터가 턴온되는 경우와 데이터 입력 기간에 샘플링 트랜지스터가 턴온되는 경우의 데이터 공급 시점을 설명하기 위한 과형도이다.
- [0068] < 도면의 주요 부분에 대한 부호의 설명 >
- | | |
|-----------------------|----------------------|
| [0069] 102 : 발광 표시 패널 | [0069] 104 : 데이터 구동부 |
| [0070] 106 : 게이트 구동부 | [0070] 108 : 타이밍 제어부 |
| [0071] 110 : 디멀티플렉서부 | |

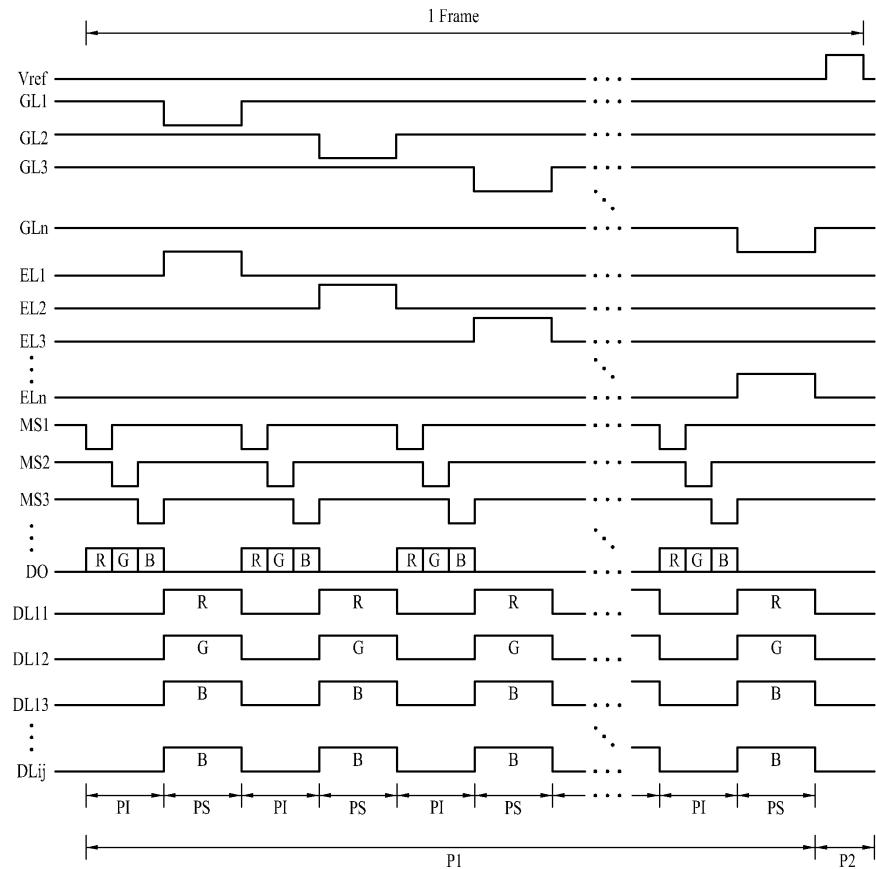
도면

도면1

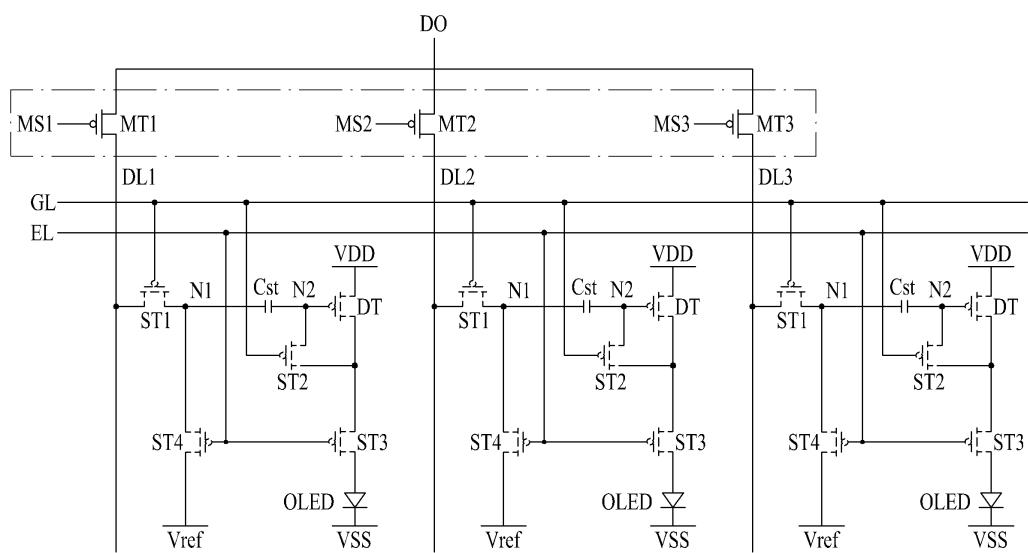


도면2**도면3**PXL**도면4**DEMUX

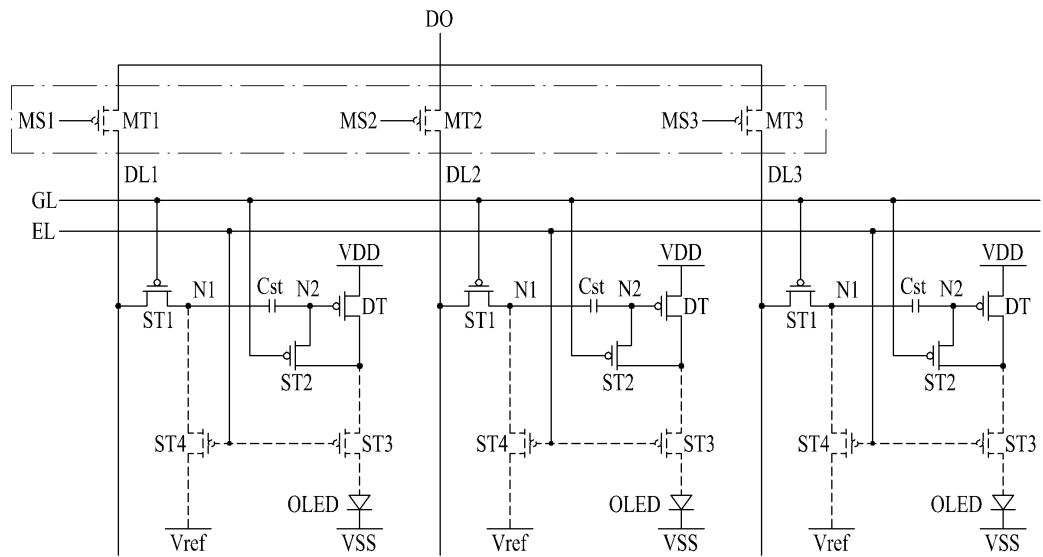
도면5



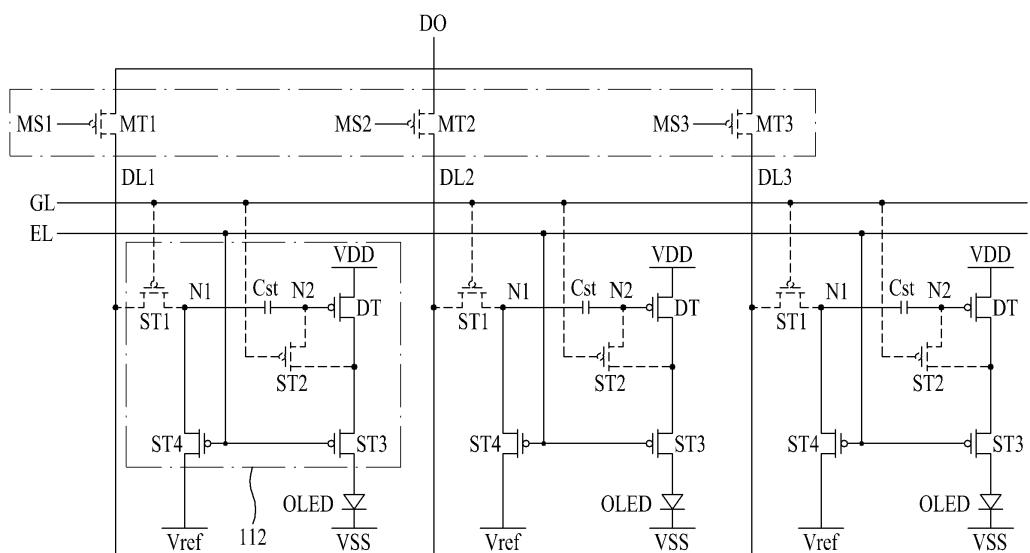
도면6a

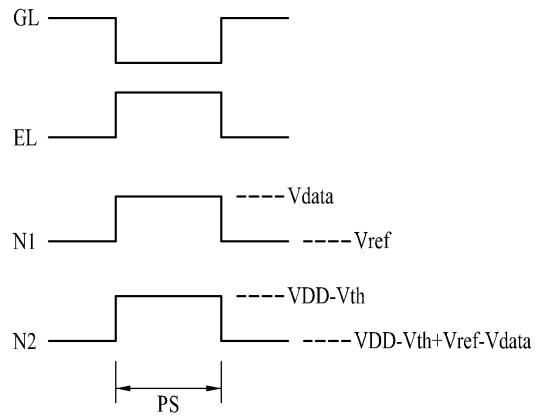
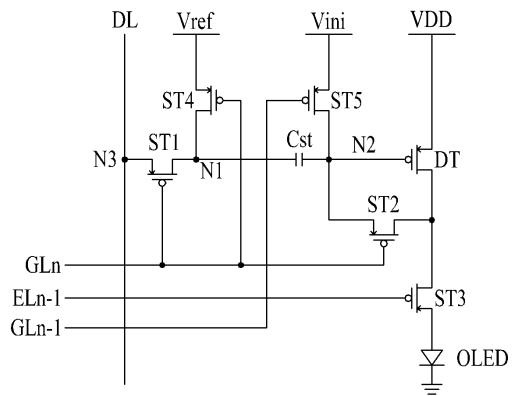
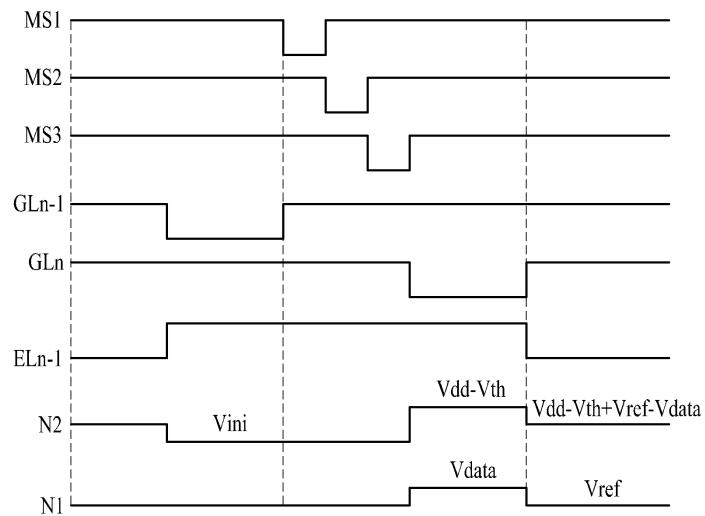


도면6b

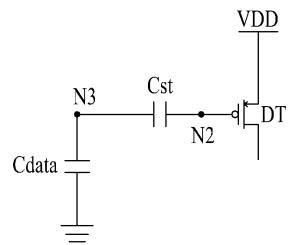


도면6c

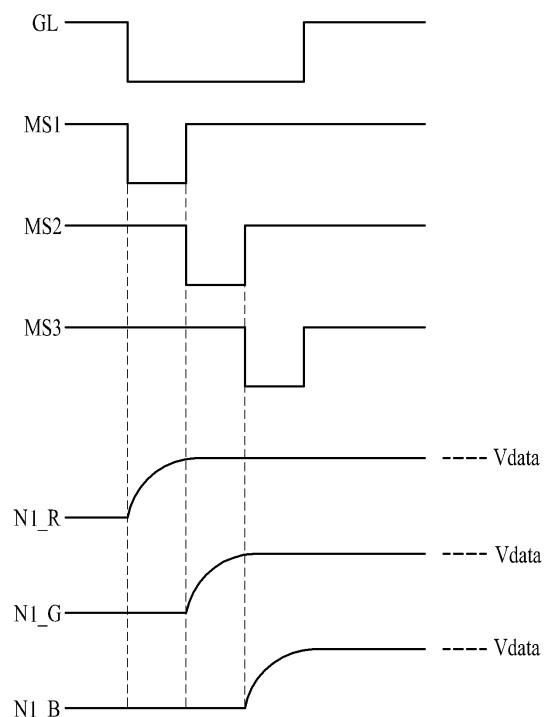


도면7**도면8****도면9**

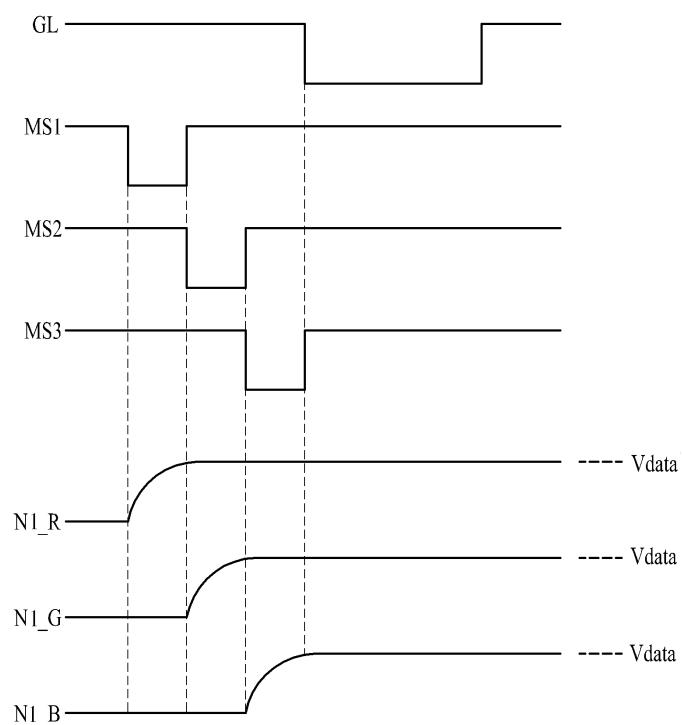
도면10



도면11a



도면11b



专利名称(译)	标题 : 发光显示器及其驱动方法		
公开(公告)号	KR101407302B1	公开(公告)日	2014-06-13
申请号	KR1020070138359	申请日	2007-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEON CHANG HOON 전창훈 KIM JUNG CHUL 김종철 LEE HO YOUNG 이호영		
发明人	전창훈 김종철 이호영		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G2310/0262 G09G3/3233 G09G3/3291 G09G2300/0819 G09G2310/0297 G09G3/3266		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020090070371A		
外部链接	Espacenet		

摘要(译)

公开了一种OLED显示器及其驱动方法。OLED显示器包括：OLED显示面板，包括：向其提供数据电压的数据线;栅极线依次提供栅极电压;发光控制线，依次提供发光控制电压，驱动电源线，向其提供驱动电压;补偿电源线，其具有第一电平和不同于第一电平的第二电平的补偿电压;多个像素单元，分别位于由数据线和栅极线限定的像素区域中;数据驱动器，其输出线的数量小于数据线的数量;多路分解器单元，形成在数据驱动器和OLED显示面板之间，多路分解器单元将数据电压从输出线提供给数据线，其中每个像素单元包括：发光元件;以及像素驱动器，其基于相应的数据电压，栅极电压，发光控制电压，驱动电压和具有第一电平的补偿电压，将对应于相应的一个数据电压的电流提供给发光元件。当补偿电压具有第二电平时，关闭发光元件。

