



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년03월14일  
 (11) 등록번호 10-1373435  
 (24) 등록일자 2014년03월05일

(51) 국제특허분류(Int. Cl.)  
 H05B 33/22 (2006.01) H05B 33/02 (2006.01)  
 (21) 출원번호 10-2007-0028057  
 (22) 출원일자 2007년03월22일  
 심사청구일자 2012년03월07일  
 (65) 공개번호 10-2008-0086201  
 (43) 공개일자 2008년09월25일  
 (56) 선행기술조사문헌  
 KR1020050115705 A\*  
 KR1020030037451 A\*  
 KR1020030080909 A\*  
 JP2005268024 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 엘지디스플레이 주식회사  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
 최희동  
 충남 서산시 음암면 탑곡리 3구 178  
 (74) 대리인  
 서교준

전체 청구항 수 : 총 21 항

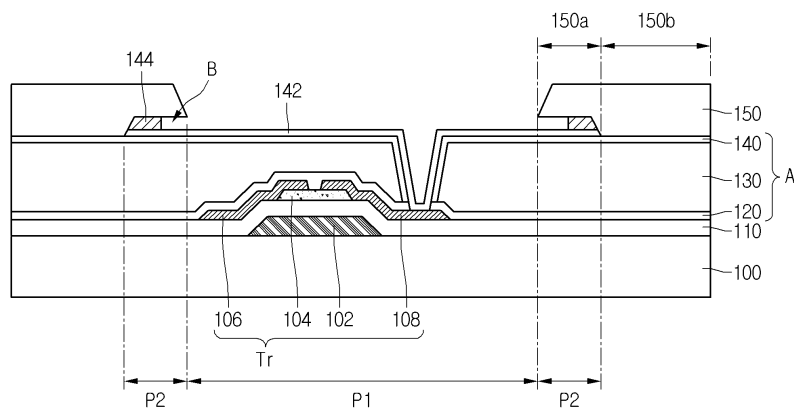
심사관 : 금복희

**(54) 발명의 명칭 표시기관, 이를 구비한 유기발광다이오드 표시장치 및 이들의 제조 방법**

**(57) 요약**

표시기관, 이를 구비한 유기발광다이오드 표시장치 및 이들의 제조방법에 관한 것으로 표시기관은 기관상에 배치되며, 광을 생성하기 위한 광발생 영역 및 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부, 광발생 영역상에 배치된 박막트랜지스터, 박막트랜지스터를 덮으며 기관상에 배치되고 박막트랜지스터의 일부를 노출하는 절연패턴 및 상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리부와 연장되며 상기 화소부의 주변을 따라 상기 절연패턴의 상면에 배치된 상기 절연부를 포함하는 화소분리패턴을 포함함에 따라, 유기발광다이오드 표시장치를 형성하는 공정 수를 단축할 수 있으며, 유기발광다이오드 표시장치의 제 1 전극이 부식되는 것을 방지할 수 있다.

**대표도** - 도1b



**특허청구의 범위**

**청구항 1**

기관상에 배치되며, 광을 생성하기 위한 광발생 영역 및 상기 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부;

상기 광발생 영역상에 배치된 박막트랜지스터;

상기 박막트랜지스터를 덮으며 상기 기관상에 배치되고 상기 박막트랜지스터의 일부를 노출하는 절연패턴; 및

상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리부와 연장되며 상기 화소부의 주변과 대응된 상기 절연패턴의 상면에 배치된 절연부를 포함하는 화소분리 패턴을 포함하고,

상기 절연패턴과 상기 화소분리 패턴사이에 개재되고, 상기 박막트랜지스터와 전기적으로 연결되며 상기 화소부상에 배치되는 도전패턴을 포함하며,

상기 화소분리 영역내에 배치되며, 상기 도전패턴과 상기 화소분리 패턴사이에 개재된 희생패턴을 포함하는 것을 특징으로 하는 표시기판.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제 1 항에 있어서,

상기 도전패턴은 상기 화소부와 대응된 면적을 갖는 것을 특징으로 하는 표시기판.

**청구항 5**

제 1 항에 있어서,

상기 도전패턴은 인듐 틴 옥사이드(ITO) 패턴 또는 인듐 징크 옥사이드(IZO) 패턴인 것을 특징으로 하는 표시기판.

**청구항 6**

제 1 항에 있어서,

상기 화소분리부의 측면은 언더컷 형상을 갖는 것을 특징으로 하는 표시기판.

**청구항 7**

제 1 항에 있어서,

상기 절연 패턴은 상기 박막트랜지스터를 덮는 평탄 패턴 및 상기 평탄 패턴상에 배치된 버퍼 패턴을 포함하는 것을 특징으로 하는 표시기판.

**청구항 8**

제 1 항에 있어서,

상기 절연 패턴은 상기 박막트랜지스터를 덮는 보호 패턴 및 상기 보호패턴상에 배치된 평탄 패턴을 포함하는 것을 특징으로 하는 표시기판.

**청구항 9**

제 1 항에 있어서,

상기 절연 패턴은 상기 박막트랜지스터를 덮는 보호 패턴, 상기 보호패턴상에 배치된 평탄 패턴 및 상기 평탄 패턴상에 배치된 버퍼패턴을 포함하는 것을 특징으로 하는 표시기판.

**청구항 10**

광을 생성하기 위한 광발생 영역 및 상기 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부가 정의된 기판을 제공하는 단계;

상기 광발생 영역상에 박막트랜지스터를 형성하는 단계;

상기 박막트랜지스터를 덮으며 상기 박막트랜지스터의 일부를 노출하는 절연패턴을 상기 기판상에 형성하는 단계; 및

상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리부와 연장되며 상기 화소부의 주변과 대응된 상기 절연패턴의 상면에 배치된 절연부를 포함하는 화소분리 패턴을 형성하는 단계를 포함하고,

상기 절연패턴을 형성하는 단계와 상기 화소분리 패턴을 형성하는 단계의 사이에 있어서,

상기 절연패턴상에 상기 화소부와 대응된 면적을 가지며 상기 박막트랜지스터와 전기적으로 연결된 도전패턴을 형성하는 단계를 더 포함하며,

상기 도전패턴을 형성하는 단계에 있어서,

상기 도전패턴상에 예비 희생패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 표시기판의 제조 방법.

**청구항 11**

제 10 항에 있어서,

상기 화소분리 패턴을 형성하는 단계에 있어서,

상기 화소분리부의 측면은 언더컷 형상으로 형성하는 것을 특징으로 하는 표시기판의 제조 방법.

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

제 10 항에 있어서,

상기 화소분리 패턴을 형성하는 단계에 있어서,

상기 절연패턴상에 상기 예비 희생패턴의 에지부를 덮는 화소분리 패턴을 형성하는 단계; 및

상기 화소분리 패턴을 식각 마스크로 하여 상기 예비 희생패턴을 파식각하여 상기 화소분리 패턴의 화소분리부를 형성하는 단계를 포함하는 것을 특징으로 하는 표시기판의 제조 방법.

**청구항 15**

제 10 항에 있어서,

상기 절연 패턴을 형성하는 단계에 있어서,

상기 박막트랜지스터를 덮는 보호막을 형성하는 단계;

상기 보호막상에 평탄막을 형성하는 단계;

상기 평탄막을 식각하여 상기 박막트랜지스터의 일부와 대응된 상기 보호막을 노출하는 콘택홀을 갖는 평탄 패턴을 형성하는 단계;

상기 평탄 패턴상에 버퍼층을 형성하는 단계; 및

상기 콘택홀과 대응하는 상기 버퍼층 및 상기 보호막을 식각하여 상기 박막트랜지스터의 일부를 노출하는 버퍼 패턴 및 보호 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 표시기판의 제조 방법.

**청구항 16**

기판상에 배치되며 광을 생성하기 위한 광발생 영역 및 상기 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부;

상기 광발생 영역상에 배치된 박막트랜지스터;

상기 박막트랜지스터를 덮으며 상기 기판상에 배치되고 상기 박막트랜지스터의 일부를 노출하는 절연패턴;

상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리부와 연장되며 상기 화소부의 주변과 대응된 상기 절연패턴의 상면에 배치된 절연부를 포함하는 화소분리 패턴;

상기 화소분리 패턴에 의해 상기 광발생 영역상에 배치되고 상기 박막트랜지스터와 전기적으로 연결된 제 1 전극;

상기 제 1 전극상에 배치된 유기발광층; 및

상기 유기발광층상에 배치된 제 2 전극을 포함하고,

상기 절연패턴과 상기 제1 전극 사이에 개재되고, 상기 박막트랜지스터와 전기적으로 연결되며 상기 화소부상에 배치되는 도전패턴과 상기 화소분리 영역내에 배치되며, 상기 도전패턴과 상기 화소분리 패턴사이에 개재된 희생패턴을 포함하는 유기발광다이오드 표시장치.

**청구항 17**

제 16 항에 있어서,

상기 화소분리부의 측면은 언더컷 형상을 갖는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 18**

제 17 항에 있어서,

상기 도전패턴의 상면과 상기 화소분리부 사이의 거리는 상기 제 1 전극의 두께보다 큰 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 19**

제 18 항에 있어서,

상기 도전패턴의 상면과 상기 화소분리부 사이의 거리와 상기 제 1 전극의 두께 차이는 100 내지 1500Å인 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 20**

삭제

**청구항 21**

제 16 항에 있어서,

상기 도전패턴은 상기 제 1 전극보다 큰 내식성을 갖는 도전물질로 이루어진 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 22**

제 16 항에 있어서,

상기 절연 패턴은 상기 박막트랜지스터를 덮는 보호 패턴, 상기 보호패턴상에 배치된 평탄 패턴 및 상기 평탄

패턴상에 배치된 버퍼패턴을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 23**

제 16 항에 있어서,

상기 절연 패턴은 상기 박막트랜지스터를 덮는 평탄 패턴 및 상기 평탄 패턴상에 배치된 버퍼패턴을 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 24**

제 16 항에 있어서,

상기 제 1 전극은 광을 반사하는 도전패턴인 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 25**

광을 생성하기 위한 광발생 영역 및 상기 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부가 배치된 기관을 제공하는 단계;

상기 광발생 영역상에 박막트랜지스터를 형성하는 단계;

상기 박막트랜지스터를 덮으며 상기 박막트랜지스터의 일부를 노출하는 절연패턴을 상기 기관상에 형성하는 단계;

상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리부와 연장되며 상기 화소부의 주변에 배치된 상기 절연패턴의 상면에 배치된 절연부를 포함하는 화소분리 패턴을 상기 절연패턴상에 형성하는 단계;

상기 화소분리 패턴에 의해 자연적으로 패터닝되어 상기 광발생 영역과 대응하는 상기 절연패턴상에 제 1 전극을 형성하는 단계;

상기 제 1 전극상에 유기발광층을 형성하는 단계; 및

상기 유기발광층상에 제 2 전극을 형성하는 단계를 포함하는 유기발광다이오드 표시장치의 제조 방법.

**청구항 26**

제 25 항에 있어서,

상기 제 1 전극을 형성하는 단계에 있어서,

상기 제 1 전극은 광을 반사하는 도전물질을 진공 증착하여 형성하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

[0012] 본 발명은 유기발광다이오드 표시장치에 관한 것으로서, 더욱 구체적으로 신뢰성을 확보할 수 있는 탑에미션형 유기발광다이오드 표시장치에 관한 것이다.

[0013] 유기발광다이오드 표시장치는 자체발광형으로 액정표시장치와 같은 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라, 단순한 공정을 거쳐 제조할 수 있다. 또한, 유기발광다이오드 표시장치는 저전압 구동, 높은 발광효율, 넓은 시야각을 가짐에 따라, 차세대 디스플레이로서 급상승하고 있다.

[0014] 유기발광다이오드 표시장치는 기관상에 배치된 박막트랜지스터, 상기 박막트랜지스터와 전기적으로 연결되어 광을 발생하는 유기발광다이오드 소자 및 상기 유기발광다이오드 소자를 덮는 봉지기판을 포함한다.

- [0015] 여기서, 유기발광다이오드 표시장치는 상기 광이 방출되는 방향에 따라 바텀 에미션(bottom emission)형 및 탑 에미션형으로 구분할 수 있다.
- [0016] 이들 중 탑 에미션형은 봉지기판을 통해 광이 방출되므로, 탑 에미션형은 바텀 에미션형에 비해 큰 개구율을 확보할 수 있다. 또한, 탑 에미션형은 개구율이 구동소자에 의한 영향을 받지 않으므로, 구동소자를 다양하게 설계할 수 있다.
- [0017] 그러나, 탑 에미션형은 부식성을 갖는 도전물질을 이용하여 각 화소별로 패터닝된 캐소드 전극을 형성한 후, 캐소드 전극상에 유기발광층 및 애노드 전극을 형성하기 때문에 캐소드 전극이 부식되기 쉽다.
- [0018] 이에 따라, 탑 에미션형은 캐소드 전극의 부식으로 인해, 유기발광다이오드 표시장치의 신뢰성이 저하되는 문제점을 가진다.

**발명이 이루고자 하는 기술적 과제**

- [0019] 본 발명의 기술적 과제는 캐소드 전극의 부식에 의하여 유기발광다이오드 표시장치의 신뢰성이 저하되는 것을 방지할 수 있는 유기발광다이오드 표시장치를 제조하기 위한 표시기판을 제공함에 있다.
- [0020] 또한, 본 발명의 다른 기술적 과제는 상기 표시기판의 제조 방법을 제공함에 있다.
- [0021] 또한, 본 발명의 또 다른 기술적 과제는 상기 표시기판을 구비한 유기발광다이오드 표시장치를 제공함에 있다.
- [0022] 또한, 본 발명의 또 다른 기술적 과제는 상기 유기발광다이오드 표시장치의 제조 방법을 제공함에 있다.

**발명의 구성 및 작용**

- [0023] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 표시기판을 제공한다. 상기 표시기판은 기판상에 배치되며, 광을 생성하기 위한 광발생 영역 및 상기 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부; 상기 광발생 영역상에 배치된 박막트랜지스터; 상기 박막트랜지스터를 덮으며 상기 기판상에 배치되고 상기 박막트랜지스터의 일부를 노출하는 절연패턴; 및 상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리부와 연장되며 상기 화소부의 주변과 대응된 상기 절연패턴의 상면에 배치된 절연부를 포함한다.
- [0024] 상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 상기 표시기판의 제조 방법을 제공한다. 상기 제조 방법은 광을 생성하기 위한 광발생 영역 및 상기 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부가 정의된 기판을 제공하는 단계; 상기 광발생 영역상에 박막트랜지스터를 형성하는 단계; 상기 박막트랜지스터를 덮으며 상기 박막트랜지스터의 일부를 노출하는 절연패턴을 상기 기판상에 형성하는 단계; 및 상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리부와 연장되며 상기 화소부의 주변과 대응된 상기 절연패턴의 상면에 배치된 절연부를 포함하는 화소분리 패턴을 형성하는 단계를 포함한다.
- [0025] 상기 기술적 과제를 이루기 위하여 본 발명의 또 다른 일 측면은 상기 표시기판을 구비한 유기발광다이오드 표시장치를 제공한다. 상기 유기발광다이오드 표시장치는 기판상에 배치되며 광을 생성하기 위한 광발생 영역 및 상기 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부; 상기 광발생 영역상에 배치된 박막트랜지스터; 상기 박막트랜지스터를 덮으며 상기 기판상에 배치되고 상기 박막트랜지스터의 일부를 노출하는 절연패턴; 상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리부와 연장되며 상기 화소부의 주변과 대응된 상기 절연패턴의 상면에 배치된 상기 절연부를 포함하는 화소분리 패턴; 상기 화소분리 패턴에 의해 상기 광발생 영역상에 배치되고 상기 박막트랜지스터와 전기적으로 연결된 제 1 전극; 상기 제 1 전극상에 배치된 유기발광층; 및 상기 유기발광층상에 배치된 제 2 전극을 포함한다.
- [0026] 상기 기술적 과제를 이루기 위하여 본 발명의 또 다른 일 측면은 상기 유기발광다이오드 표시장치의 제조 방법을 제공한다. 상기 제조 방법은 광을 생성하기 위한 광발생 영역 및 상기 광발생 영역의 주변을 따라 배치된 화소분리영역을 갖는 화소부가 배치된 기판을 제공하는 단계; 상기 광발생 영역상에 박막트랜지스터를 형성하는 단계; 상기 박막트랜지스터를 덮으며 상기 박막트랜지스터의 일부를 노출하는 절연패턴을 상기 기판상에 형성하는 단계; 상기 절연패턴의 상면과 이격되며 상기 화소분리영역상에 배치된 화소 분리부 및 상기 화소분리

부와 연장되며 상기 화소부의 주변에 배치된 상기 절연패턴의 상면에 배치된 상기 절연부를 포함하는 화소분리 패턴을 상기 절연패턴상에 형성하는 단계; 상기 화소분리 패턴에 의해 자연적으로 패터닝되어 상기 광발생 영역과 대응하는 상기 절연패턴상에 제 1 전극을 형성하는 단계; 상기 제 1 전극상에 유기발광층을 형성하는 단계; 및 상기 유기발광층상에 제 2 전극을 형성하는 단계를 포함한다.

- [0027] 이하, 본 발명에 의한 유기발광다이오드 표시장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0028] 도 1a 및 도 1b는 본 발명의 제 1 실시예에 따른 표시기판을 설명하기 위해 도시한 도면들이다. 여기서, 도 1a는 본 발명의 제 1 실시예에 따른 표시기판의 평면도이고, 도 1b는 도 1a에 도시된 I-I'선을 따라 절단한 단면도이다.
- [0029] 도 1a 및 도 1b를 참조하면, 기판(100)상에 영상을 표시하기 위해 다수의 화소부(P)들이 배치되어 있다. 도면에는 도시되지 않았으나, 화소부(P)는 기판(100)상에 서로 교차되어 배치된 게이트 배선과 데이터 배선에 의해 정의될 수 있다. 이때, 게이트 배선 및 데이터 배선사이에 게이트 절연막(110)이 개재되어, 게이트 배선 및 데이터 배선은 서로 절연된다.
- [0030] 각 화소부(P)는 광발생 영역(P1) 및 광발생 영역(P1)의 주변을 따라 배치된 화소분리 영역(P2)을 포함한다. 광발생 영역(P1)은 상기 영상을 표시하기 위한 광이 발생될 수 있는 영역이다. 여기서, 표시기판이 유기발광다이오드 표시장치에 적용될 경우, 광발생 영역(P1)에는 상기 광을 발생하는 유기발광다이오드 소자(도면에는 도시하지 않음.)가 배치될 수 있다. 화소분리 영역(P2)은 상기 유기발광다이오드 소자를 각 화소부(P)별로 분리하기 위한 영역이다.
- [0031] 광발생 영역(P1)상에 적어도 하나의 박막트랜지스터(Tr)가 배치되어 있다. 여기서, 박막트랜지스터(Tr)는 광발생 영역(P1)상에 배치된 상기 유기발광다이오드 소자와 전기적으로 연결되어 상기 유기발광다이오드 소자를 구동하는 구동 박막트랜지스터일 수 있다.
- [0032] 박막트랜지스터(Tr)는 게이트 전극(102), 게이트 전극(102)을 덮는 게이트 절연막(110), 게이트 전극(102)과 대응된 게이트 절연막(110)상에 배치된 반도체 패턴(104), 반도체 패턴(104)상의 일정 영역에 배치된 소스 전극(106) 및 반도체 패턴(104)상의 일정 영역에 배치되며 소스 전극(106)과 이격된 드레인 전극(108)을 포함할 수 있다. 여기서, 반도체 패턴(104)은 비정질 실리콘 패턴으로 이루어진 활성층 및 불순물이 도핑된 비정질 실리콘 패턴으로 이루어진 오믹 콘택층을 포함할 수 있다. 오믹콘택층은 반도체 패턴(104)과 소스 전극(106)사이 및 반도체 패턴(104)과 드레인 전극(108)사이에 각각 배치된다.
- [0033] 본 발명의 실시예에서는 박막트랜지스터(Tr)의 형태를 바텀 게이트형으로 한정하는 것은 아니다. 예를 들면, 박막트랜지스터(Tr)의 형태는 탑 게이트형으로 형성할 수도 있다.
- [0034] 기판(100)상에 박막트랜지스터(Tr)를 덮는 절연 패턴(A)이 배치되어 있다. 절연 패턴(A)은 박막트랜지스터(Tr)의 일부를 노출하는 콘택홀을 가진다.
- [0035] 절연 패턴(A)은 박막트랜지스터(Tr)를 덮어 박막트랜지스터(Tr)를 보호하는 보호패턴(120)을 포함한다. 여기서, 보호패턴(120)은 무기 절연물질로 이루어질 수 있다. 예를 들면, 보호패턴(120)은 실리콘 산화물질 또는 실리콘 질화물질로 이루어질 수 있다.
- [0036] 절연패턴(A)은 보호패턴(120)상에 배치된 평탄 패턴(130)을 더 포함할 수 있다. 평탄 패턴(130)은 보호패턴(120)하부에 배치된 박막트랜지스터(Tr)와 후술될 도전 패턴(142) 또는 유기발광다이오드 소자(E)에 기생 캐피 발생시키는 것을 방지하는 역할을 한다. 따라서, 표시기판이 표시장치에 적용될 경우, 박막트랜지스터(Tr)상에 유기발광다이오드 소자(E)를 형성할 수 있어, 표시장치의 개구율을 향상시킬 수 있다. 평탄 패턴(130)은 유전율이 작은 절연 물질로 이루어질 수 있다. 예를 들면, 평탄 패턴(130)의 형성물질은 벤조사이클로부텐(BCB) 수지 및 아크릴(acryl)계 수지등일 수 있다.
- [0037] 또한, 평탄 패턴(130)은 평탄한 상면을 가질 수 있다. 즉, 평탄 패턴(130)은 보호패턴(120)상에 배치되어, 박막트랜지스터 및 배선(예를 들면, 게이트 배선 및 데이터 배선)들에 의한 보호패턴(120)에 형성된 단차를 극복한

다. 이로써, 후술될 도전패턴 또는 제 1 전극은 평탄하게 형성할 수 있다.

- [0038] 절연패턴(A)은 평탄 패턴(130)상에 배치된 버퍼 패턴(140)을 더 포함할 수 있다. 버퍼 패턴(140)은 평탄 패턴(130)과 도전패턴(142)간의 접착력을 향상시키는 역할을 한다. 또한, 표시기판이 표시장치에 적용될 경우, 버퍼 패턴(140)은 평탄 패턴(130)으로부터 방출되는 유해가스가 유기발광다이오드 소자(E)를 열화 시키는 것을 방지할 수 있다. 이때, 버퍼 패턴(140)은 무기계 절연물질로 이루어질 수 있다. 예를 들면, 버퍼 패턴(140)은 실리콘 산화 패턴 또는 실리콘 질화 패턴 동일 수 있다.
- [0039] 본 발명의 실시예에서는 절연 패턴(A)이 보호패턴(120), 평탄 패턴(130) 및 버퍼 패턴(140)을 포함하는 것으로 설명하였으나, 이에 한정되지 않는다. 즉, 절연패턴(A)은 보호패턴(120) 및 평탄 패턴(130)의 적층으로 이루어질 수 있다. 또는 절연 패턴(A)은 평탄 패턴(130) 및 버퍼패턴(140)의 적층으로 이루어질 수도 있다.
- [0040] 절연패턴(A)상에 화소부(P)별로 패터닝된 도전패턴(142)이 배치되어 있다. 즉, 도전패턴(142)은 광발생 영역(P1) 및 화소분리 영역(P2)상에 배치된다. 이때, 도전패턴(142)은 박막트랜지스터(Tr)의 드레인 전극(108)과 전기적으로 연결되어 있다. 도전패턴(142)은 콘택홀에 의해 노출된 드레인 전극(108)이 외부의 환경에 의해 부식되는 것을 방지하는 역할을 한다. 또한, 도면에는 도시되지 않았으나, 도전패턴(142)은 박막트랜지스터(Tr)에 전기적 신호를 제공하는 패드 전극(예를 들면, 게이트 패드 전극 및 데이터 패드 전극 등)을 덮는 패드 접촉전극과 동일한 도전물질로 이루어질 수 있다. 도전패턴(142)은 금속에 비해 내식성을 갖는 도전물질로 이루어질 수 있다. 예를 들면, 도전패턴(142)은 ITO 또는 IZO등으로 형성할 수 있다.
- [0041] 도전패턴(142)의 에지부 및 절연패턴(A)상에 화소분리 패턴(150)이 배치되어 있다. 화소분리 패턴(150)은 표시기판이 표시장치에 적용될 경우, 유기발광다이오드 소자(E)의 제 1 전극을 화소부(P)별로 자연적으로 패터닝하는 역할을 한다.
- [0042] 화소분리 패턴(150)은 화소분리 영역(P2)과 대응된 도전패턴(142)상에 배치된 화소분리부(150a) 및 절연패턴(A)상에 배치된 절연부(150b)를 포함한다. 도전패턴(142)의 상면 및 도전패턴(142)의 상면과 마주하는 화소분리부(150a)의 하부면은 서로 이격되어 있다. 즉, 화소분리부(150a)는 도전패턴(142)과 접하는 측면에 언더컷 형상(B)을 가진다. 이때, 언더컷 형상의 측면은 광발생 영역(P1)의 외곽을 따라 배치된다. 도면에는 화소분리부(150a)가 언더컷 형상을 가지는 것으로 설명하였으나, 이에 한정되지 아니한다. 예를 들면, 화소분리부(150a)는 역테이퍼 형상의 측면을 가질 수 있다. 즉, 화소분리부(150a)는 도전패턴(142)의 상면에 대하여 예각을 가지는 측면을 가질 수 있다.
- [0043] 또한, 화소분리 패턴(150)은 무기계 절연물질로 이루어질 수 있다. 예를 들면, 화소분리 패턴(150)은 실리콘 질화물 또는 실리콘 산화물로 형성할 수 있다.
- [0044] 언더컷 형상(B)의 내부에는 희생패턴(144)이 더 배치되어 있을 수 있다. 즉, 희생패턴(144)은 도전패턴(142)의 상면 및 도전패턴(142)의 상부면과 마주하는 화소분리부(150a)의 하부면사이에 개재되어 있다. 여기서, 희생패턴(144)은 언더컷 형상(B)을 형성하는 역할을 한다. 희생패턴(144)은 도전패턴(142)에 비해 식각률이 큰 물질로 이루어질 수 있다. 예를 들면, 희생패턴(144)은 Mo등으로 형성할 수 있다.
- [0045] 따라서, 본 발명의 실시예에서 표시기판은 표시장치, 특히 유기발광다이오드 표시장치에 적용될 경우, 화소분리 패턴에 의해 제 1 전극을 형성하기 위한 별도의 포토 공정을 수행하지 않아도 된다. 또한, 제 1 전극을 형성하는 진공챔버내에서 유기발광층 및 제 2 전극을 형성함에 따라 제 1 전극이 외부에 노출되는 시간을 줄이거나 없앨 수 있어 제 1 전극이 부식되는 것을 방지할 수 있다. 이로써, 표시기판을 이용하여, 신뢰성이 뛰어난 표시장치를 제조할 수 있다.
- [0046] 도 2a 내지 도 2g는 본 발명의 제 2 실시예에 따른 표시기판의 제조 방법을 설명하기 위해 도시한 단면도들이다. 실시예 2에 따른 제조 방법은 앞서 설명한 실시예 1에 다른 표시기판을 제조하기 위한 것이다. 따라서, 동일한 구성요소에 대한 중복된 설명은 생략하기로 하며, 동일한 구성 요소에 대해서는 동일한 명칭 및 참조번호를 부여하기로 한다.
- [0047] 도 2a를 참조하면, 표시기판을 제조하기 위해, 먼저 기판(100)을 제공한다. 기판(100)은 영상을 표시하기 위한 화소부(P)가 정의되어 있다. 여기서, 화소부(P)는 상기 영상을 표시하는 광을 발생하는 광발생 영역(P1) 및 광발생 영역(P1)의 주변을 따라 배치된 화소분리 영역(P2)으로 구분된다.

- [0048] 광발생 영역(P1)과 대응된 기관(100)상에 박막트랜지스터(Tr)를 형성한다.
- [0049] 자세하게, 박막트랜지스터(Tr)를 형성하기 위해, 먼저 기관(100)상에 게이트 전극(102)을 형성한다. 이때, 게이트 전극(102)을 형성하는 공정에서 게이트 전극(102)과 일체로 이루어진 게이트 배선을 형성한다. 게이트 전극(102)을 덮는 게이트 절연막(110)을 기관(100)상에 형성한다. 게이트 절연막(110)은 실리콘 산화물 또는 실리콘 질화물로 형성할 수 있다. 이때, 게이트 절연막(110)은 화학기상증착법을 이용하여 형성할 수 있다. 게이트 전극(102)과 대응된 게이트 절연막(110)상에 반도체 패턴(104)을 형성한다. 반도체 패턴(104)은 비정질 실리콘 및 불순물이 도핑된 비정질 실리콘을 순차적으로 증착한 후, 패터닝 공정을 수행하여 형성할 수 있다. 이후, 반도체 패턴(104)상에 서로 이격된 소스 전극(106) 및 드레인 전극(108)을 형성한다. 도면에는 도시되지 않았으나, 소스 전극(106) 및 드레인 전극(108)을 형성하는 공정에서 소스 전극(106)과 일체로 된 데이터 배선을 더 형성할 수 있다. 이때, 데이터 배선은 게이트 배선과 교차하여 형성할 수 있다. 여기서, 데이터 배선과 게이트 배선의 교차에 의해 화소부(P)가 정의될 수 있다. 이로써, 기관(100)상에 박막트랜지스터(Tr)를 형성할 수 있다.
- [0050] 이후, 박막트랜지스터(Tr)를 덮는 기관(100)상에 보호막(120a)을 형성한다. 보호막(120a)은 무기계 절연물질로 형성할 수 있다. 예를 들면, 보호막(120a)은 실리콘 산화물 또는 실리콘 질화물로 형성할 수 있다. 이때, 보호막(120a)은 화학기상증착법을 통해 형성할 수 있다.
- [0051] 도 2b를 참조하면, 보호막(120a)을 형성한 후, 보호막(120a)상에 박막트랜지스터(Tr)의 일부와 대응된 보호막(120a)을 노출하는 제 1콘택홀(C1)을 구비하는 평탄 패턴(130)을 형성한다. 평탄 패턴(130)을 형성하기 위해, 보호막(120a)상에 평탄막을 형성한다. 박막트랜지스터와 후술될 도전 패턴(도 2g에서 142)사이 기생 커패시턴스가 발생하는 것을 방지하기 위해, 평탄막은 유전율이 작은 절연물질로 형성할 수 있다. 이때, 평탄막을 형성하는 방법의 예로서는 스핀 코팅법, 스프레이 코팅법, 딥 코팅법 및 잉크젯 프린팅법등을 들 수 있다. 이후, 평탄막상에 마스크를 정렬한 뒤 광을 마스크로부터 기관(100)상으로 광을 조사한다. 이후 노광된 평탄막을 포함하는 기관에 현상 공정을 수행하여 평탄 패턴(130)을 형성한다.
- [0052] 도 2c를 참조하면, 평탄 패턴(130)을 형성한 후, 평탄 패턴(130)상에 버퍼층(140a)을 형성한다. 버퍼층(140a)은 무기 절연물질로 형성할 수 있다. 예를 들면, 버퍼층(140a)은 실리콘 질화물 또는 실리콘 산화물일 수 있다. 이때, 버퍼층(140a)의 형성 방법은 화학기상증착법을 이용할 수 있다.
- [0053] 도 2d를 참조하면, 버퍼층(140a)을 형성한 후, 버퍼층(140a) 및 보호막(120a)을 식각하여 버퍼 패턴(140) 및 보호패턴(120)을 형성한다. 이때, 버퍼 패턴(140) 및 보호 패턴(120)은 평탄 패턴(130)에 형성된 제 1 콘택홀(C1)과 연장되는 제 2 콘택홀(C2)이 형성된다. 이로써, 보호 패턴(120), 평탄 패턴(130) 및 버퍼 패턴(140)으로 이루어진 절연패턴(A)이 기관(100)상에 형성할 수 있다. 이때, 절연패턴(140)은 박막트랜지스터(Tr)의 일부, 즉 드레인 전극(108)의 일부를 노출하는 콘택홀, 즉 제 1 및 제 2 콘택홀(C1, C2)을 가진다.
- [0054] 도 2e를 참조하면, 절연패턴(A)을 형성한 후, 절연패턴(A)상에 도전패턴(142) 및 예비 희생패턴(144a)을 형성한다.
- [0055] 자세하게, 도전패턴(142) 및 예비 희생패턴(144a)을 형성하기 위해, 절연패턴(A)상에 도전막 및 희생층을 순차적으로 형성한다.
- [0056] 상기 도전막은 적어도 금속물질에 비해 내식성이 큰 도전물질로 형성할 수 있다. 예를 들면, 도전막은 ITO 또는 IZO로 형성할 수 있다. 이때, 도전막은 진공증착법을 통해 형성할 수 있다. 예를 들면, 진공증착법 중 스퍼터링법을 통해 형성할 수 있다.
- [0057] 상기 희생층은 상기 도전막상에 형성한다. 상기 희생층은 상기 도전막에 비해 식각률이 큰 물질로 형성할 수 있다. 예를 들면, 상기 희생층은 Mo등일 수 있다.
- [0058] 화소부(P)와 대응된 상기 희생층상에 포토레지스트 패턴을 형성한다. 이후, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 도전막 및 상기 희생층을 식각하여 도전패턴(142) 및 예비 희생패턴(144a)을 형성한다. 이후, 상기 포토레지스트 패턴을 상기 예비 희생패턴(144a)으로부터 제거한다. 따라서, 절연패턴(A)상에 화소영역(P)별로 패터닝된 도전패턴(142) 및 예비 희생패턴(144a)을 형성할 수 있다.
- [0059] 도 2f를 참조하면, 예비 희생패턴(144a)을 형성한 후, 예비 희생패턴(144a)을 포함하는 절연패턴(A)상에 화소분리패턴(150)을 형성한다.
- [0060] 화소분리패턴(150)은 화소분리 영역(P2)의 상부 및 화소영역(P2)의 주변상에 배치되어 화소부(P)부, 즉 실질적

으로 영상을 표시하는 광발생 영역(P1)을 정의한다.

- [0061] 화소분리패턴(150)을 형성하기 위해, 먼저 절연패턴(A)상에 무기막을 형성한다. 이후, 상기 무기막상에 포토레지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 무기막을 식각하여 화소분리패턴(150)을 형성한다. 여기서, 상기 무기막은 실리콘 질화물 또는 실리콘 산화물을 형성할 수 있다.
- [0062] 도 2g를 참조하면, 화소분리 패턴(150)을 식각 마스크로 사용하여 예비 희생패턴(144a)을 습식 식각한다. 이때, 예비 희생패턴(144a)은 화소분리 영역(P2)에 비해 과식각하여 화소분리 패턴(150)의 측면에 언더컷 형상(B)의 화소분리부(150a)를 형성한다. 즉, 화소분리 패턴(150)은 화소분리영역(P2)상에 배치된 화소분리부(150a) 및 화소부(P)의 주변에 배치된 절연부(150b)를 포함한다. 여기서, 화소분리부(150a)가 언더컷 형상(B)을 가짐에 따라, 표시기판이 표시장치에 적용될 경우 제 1 전극은 화소분리부(150a)에 의해 화소영역별로 자연적으로 패터닝될 수 있다.
- [0063] 또한, 도전패턴은 내식성을 갖는 도전물질로 형성되므로, 박막트랜지스터가 외부 환경에 의해 부식되는 것을 방지할 수 있어 저장이 용이하다.
- [0064] 도 3은 본 발명의 제 3 실시예에 따른 유기발광다이오드 표시장치의 단면도이다. 여기서, 제 3 실시예는 앞서 설명한 제 1 실시예에 따른 표시기판을 적용하여 제조된 유기발광다이오드 표시장치에 관한 것이다. 따라서, 제 3 실시예에서 유기발광다이오드 표시장치는 동일한 구성요소에 대한 중복된 설명은 생략하기로 하며, 동일한 구성 요소에 대해서는 동일한 명칭 및 참조번호를 부여하기로 한다.
- [0065] 도 3을 참조하면, 기판(100)은 영상을 표시하기 위한 다수의 화소부(P)가 정의되어 있다. 여기서, 화소부(P)는 상기 영상을 표시하는 광이 발생하는 광발생 영역(P1) 및 광발생 영역(P1)의 주변을 따라 실질적으로 화소부(P)를 정의하는 화소분리 영역(P2)을 포함한다.
- [0066] 화소부(P) 즉, 광발생 영역(P1)상에 박막트랜지스터(Tr)가 배치되어 있다. 기판(100)상에 박막트랜지스터(Tr)를 덮는 절연 패턴(A)이 배치되어 있다. 절연 패턴(A)은 박막트랜지스터(Tr)의 일부, 즉 드레인 전극(108)의 일부를 노출하는 콘택홀이 형성되어 있다.
- [0067] 화소부(P)와 대응된 절연패턴(A)상에 도전패턴(142)이 배치되어 있다. 이때, 도전패턴(142)은 상기 콘택홀을 통해 박막트랜지스터(Tr)와 전기적으로 연결되어 있다. 또한, 도전패턴(142)은 후술될 제 1 전극(160)에 비해 내식성이 강한 도전물질로 형성되어 있다. 여기서, 화소분리 영역(P2)과 대응된 도전패턴(142)상에 희생패턴(144)이 더 배치되어 있을 수 있다. 이때, 희생패턴(144)은 후술될 화소분리패턴(150)에 언더컷 형상의 측면을 형성하는 역할을 한다.
- [0068] 절연패턴(A)은 박막트랜지스터(Tr)를 덮는 보호 패턴(120), 보호 패턴(120)상에 배치된 평탄 패턴(130) 및 평탄 패턴(130)상에 배치된 버퍼 패턴(140)을 포함한다. 본 발명의 실시예에서는 절연 패턴(A)이 보호패턴(120), 평탄 패턴(130) 및 버퍼 패턴(140)을 포함하는 것으로 설명하였으나, 이에 한정되지 않는다. 즉, 절연패턴(A)은 보호패턴(120) 및 평탄 패턴(130)의 적층으로 이루어질 수 있다. 또는 절연 패턴(A)은 평탄 패턴(130) 및 버퍼 패턴(140)의 적층으로 이루어질 수도 있다.
- [0069] 광발생 영역(P1)을 노출하는 화소분리 패턴(150)이 절연패턴(A)상에 배치되어 있다. 여기서, 화소분리 패턴(150)의 일부는 화소분리 영역(P2)과 대응하는 도전패턴(142)상에 배치된다. 따라서, 화소분리 패턴(150)은 화소분리 영역(P)과 대응된 도전패턴(142)상에 배치된 화소분리부(150a) 및 화소분리부(150a)와 연장되어 화소부(P)의 주변에 배치된 절연부(150b)를 포함한다.
- [0070] 도전패턴(142)의 상면 및 도전패턴(142)의 상면과 마주하는 화소분리부(150a)의 하면은 서로 이격되어 있다. 이를 테면, 도전패턴(142)과 접하는 화소분리부(150a)의 측면은 언더컷 형상을 가진다. 여기서, 상기 언더컷의 높이(d)는 후술될 제 1 전극(160)의 두께보다 크게 형성한다. 이때, 상기 높이(d) 및 제 1 전극(160) 두께의 차이는 100 내지 1500Å일 수 있다. 여기서, 상기 높이(d) 및 제 1 전극(160) 두께의 차이가 100Å의 미만으로 형성할 경우, 후술될 제 1 전극(160)을 자연적으로 패터닝되지 않는다. 이와 달리, 상기 높이(d) 및 제 1 전극(160) 두께의 차이가 1500Å을 초과할 경우, 제 1 전극(160)상에 형성될 제 2 전극(180)이 단락되는 문제가 발생할 수 있다.
- [0071] 광발생 영역(P1)과 대응하는 도전패턴(142)상에 제 1 전극(160)이 배치되어 있다. 이로써, 제 1 전극(160)은 도전패턴(142)을 통해 박막트랜지스터(Tr)와 전기적으로 연결된다. 제 1 전극(160)은 화소분리 패턴(150)에 의해

화소부(P), 즉 광발생 영역(P2)별로 분리되어 있다. 즉, 제 1 전극(160)은 화소부(P)상에 배치된다. 제 1 전극(160)은 광을 반사하는 도전패턴일 수 있다. 예를 들면, 제 1 전극(160)은 알루미늄(A1) 또는 알루미늄-네오디뮴(A1Nd)으로 형성할 수 있다. 화소분리패턴(150)의 절연부(150b)상에 제 1 전극(160)의 잔여막(160a)이 배치되어 있을 수 있다.

[0072] 제 1 전극(160)상에 광을 발생하는 유기발광층(170)이 배치되어 있다. 유기발광층(170)은 제 1 전극(160)에서 제공된 제 1 전하와 후술 될 제 2 전극(180)에서 제공된 제 2 전하가 재결합하여 광을 발생한다.

[0073] 유기발광층(170)상에 제 2 전극(180)이 배치되어 있다. 제 2 전극(180)은 모든 화소영역(P)상에 공통전극으로 사용된다. 이때, 제 2 전극(180)은 광을 투과할 수 있는 투명한 도전물질로 이루어질 수 있다. 예를 들면, 제 2 전극(180)은 ITO 또는 IZO로 형성할 수 있다.

[0074] 따라서, 유기발광층(170)에서 발생한 광은 제 2 전극(180)을 통과하여 영상을 제공한다.

[0075] 본 발명의 실시예에서는 유기발광다이오드 표시장치는 화소분리부를 갖는 화소분리패턴에 의해 진공챔버내에서 제 1 전극, 유기발광층 및 제 2 전극을 형성할 수 있어, 제 1 전극이 외부 환경에 의해 부식되는 것을 방지할 수 있다.

[0076] 도 4a 및 도 4b는 본 발명의 제 4 실시예에 따른 유기발광다이오드 표시장치의 제조 방법을 설명하기 위해 도시한 단면도들이다. 제 4 실시예는 앞서 설명한 제 2 실시예에 따라 제조된 표시기판을 이용하여 유기발광다이오드 표시장치를 제조한다. 따라서, 제 4 실시예는 제 2 실시예에서 반복되는 설명은 생략하여 기술하며, 동일한 구성요소에 대해서는 동일한 참조번호를 부여한다.

[0077] 도 4a를 참조하면, 화소분리 패턴(150)이 형성된 기판(100)을 제공한다. 여기서, 기판(100)은 영상을 표시하기 위한 다수의 화소부(P)들이 정의되어 있다. 각 화소부(P)는 광을 발생하는 광발생 영역(P1) 및 광발생 영역(P1)의 주변을 따라 배치된 화소분리 영역(P2)을 포함한다.

[0078] 화소분리 패턴(150) 및 기판(100)사이에는 박막트랜지스터(Tr), 박막트랜지스터(Tr)를 덮는 절연패턴(A), 박막트랜지스터(Tr)와 전기적으로 연결되며 화소부(P)와 대응된 면적을 갖는 도전패턴(142)이 배치되어 있다.

[0079] 화소분리 패턴(150)은 화소분리영역(P2)과 대응된 도전패턴(142)상에 배치된 화소분리부(150a) 및 화소분리부(150a)의 연장되어 절연패턴(A)상에 배치된 절연부(150b)를 포함한다. 이때, 화소분리부(150a)의 측면은 언더컷 형상을 가진다. 여기서, 언더컷의 높이는 자연적인 패터닝공정에 의해 제 1 전극을 형성하기 위해 제 1 전극의 두께보다 크게 형성한다.

[0080] 화소분리 패턴(150)을 포함하는 기판(100)상에 금속물질을 증착한다. 이때 광발생 영역(P1)상에 배치된 제 1 전극(160) 및 화소분리 영역(P2)과 절연부(150b)상에 배치된 잔여막(160a)이 형성된다. 이때, 화소분리부(150a)에 의해 제 1전극(160)과 잔여막(160a)은 화소분리 영역(P2)의 경계에서 자연적으로 단락된다.

[0081] 따라서, 별도의 패터닝 공정을 수행하지 않고, 각 화소부(P) 즉, 광발생영역(P2)별로 패터닝된 제 1 전극을 형성할 수 있다.

[0082] 도 4b를 참조하면, 제 1 전극(160)을 형성한 후, 제 1 전극(160)상에 유기발광층(170)을 형성한다. 이후, 유기발광층(170)상에 제 2 전극(180)을 형성한다. 여기서, 제 1 전극(160), 유기발광층(170) 및 제 2 전극(180)은 진공챔버내에서 형성할 수 있다. 따라서, 제 1 전극(160)은 외부의 환경에 노출되지 않거나 노출되는 시간을 줄일 수 있어, 제 1 전극(160)이 부식되는 것을 방지할 수 있다. 이로써, 신뢰성이 높은 유기발광다이오드 표시장치를 제조할 수 있다.

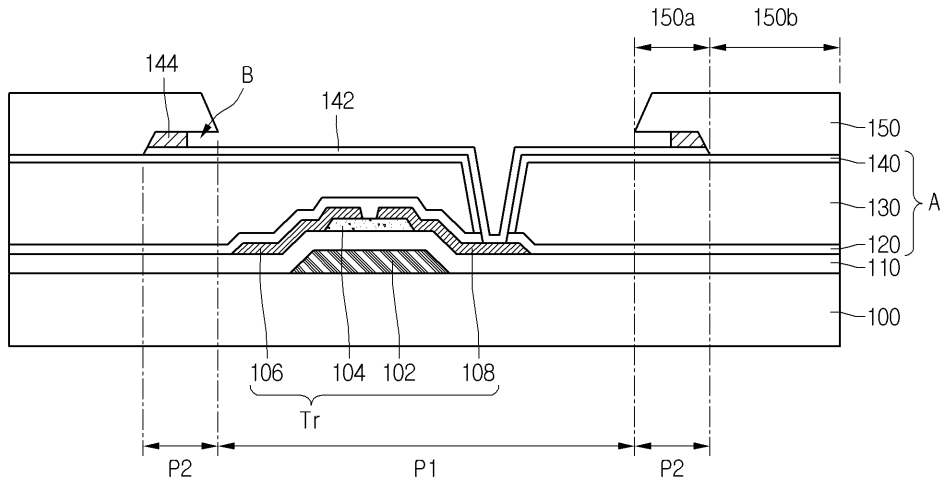
### 발명의 효과

[0083] 상기한 바와 같이 본 발명에 따르는 유기발광다이오드 표시장치는 화소분리 패턴을 구비함에 따라 별도의 패터닝 공정을 수행하지 않고 제 1 전극을 형성할 수 있어 공정 수를 단축할 수 있다.

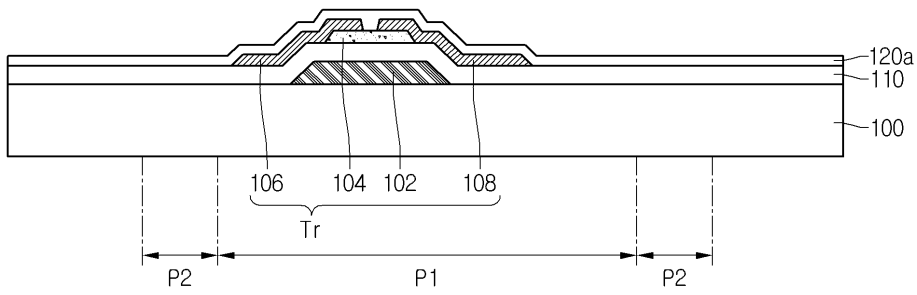
[0084] 또한, 제 1 전극이 외부에 노출되지 않거나 외부에 노출되는 시간이 줄일 수 있어 제 1 전극이 부식되는 것을 방지할 수 있어, 신뢰성을 확보할 수 있는 유기발광다이오드 표시장치를 제조할 수 있다.



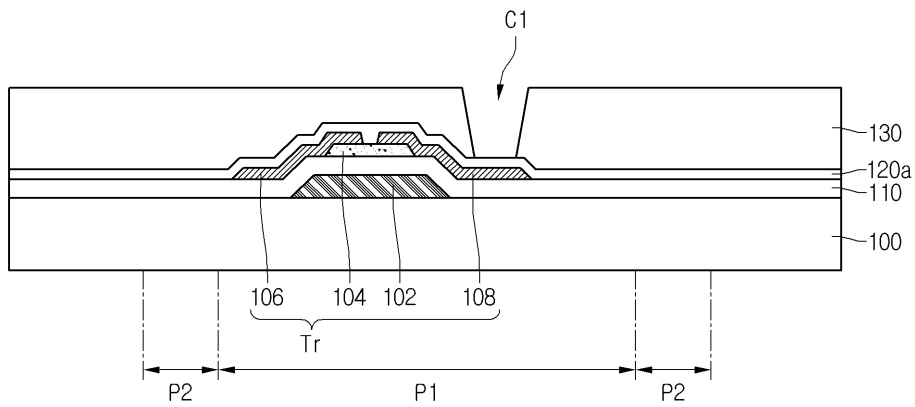
도면1b



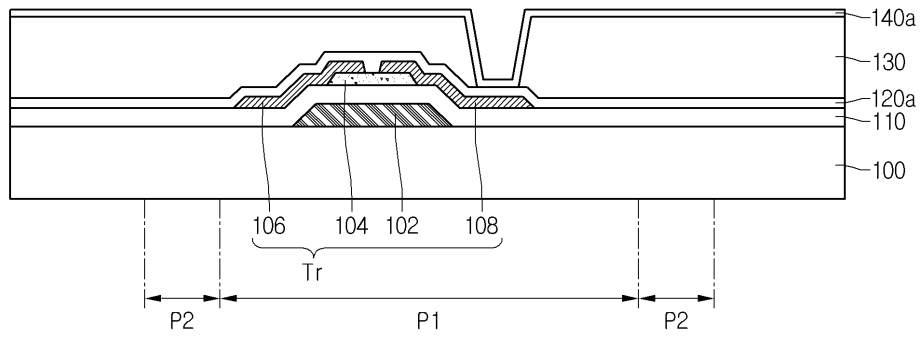
도면2a



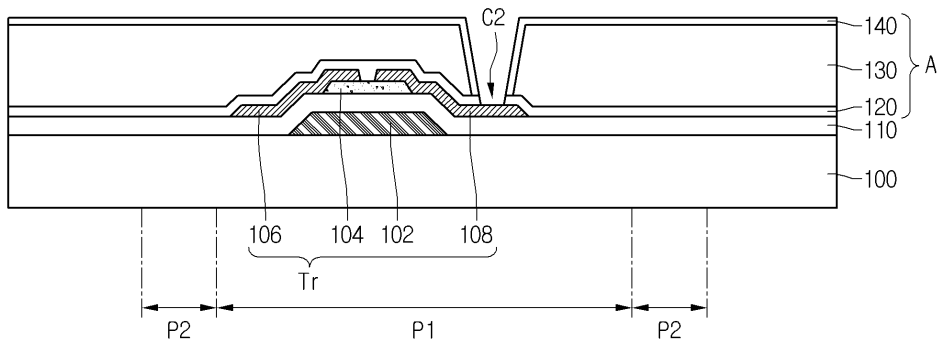
도면2b



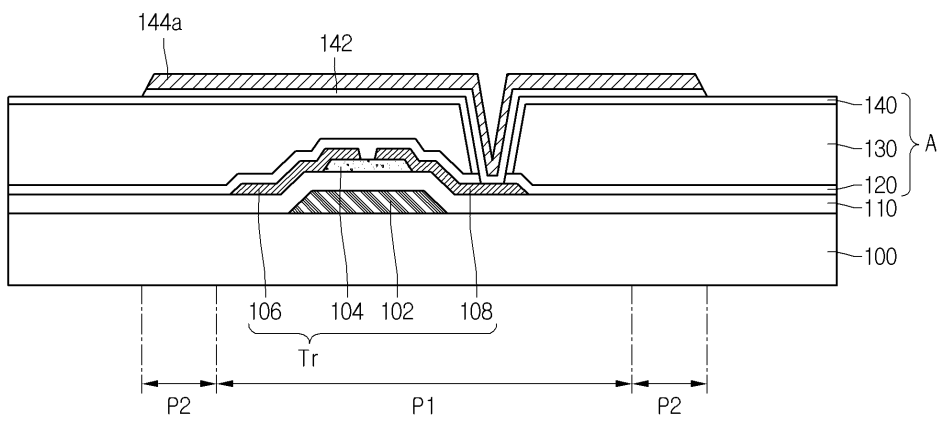
도면2c



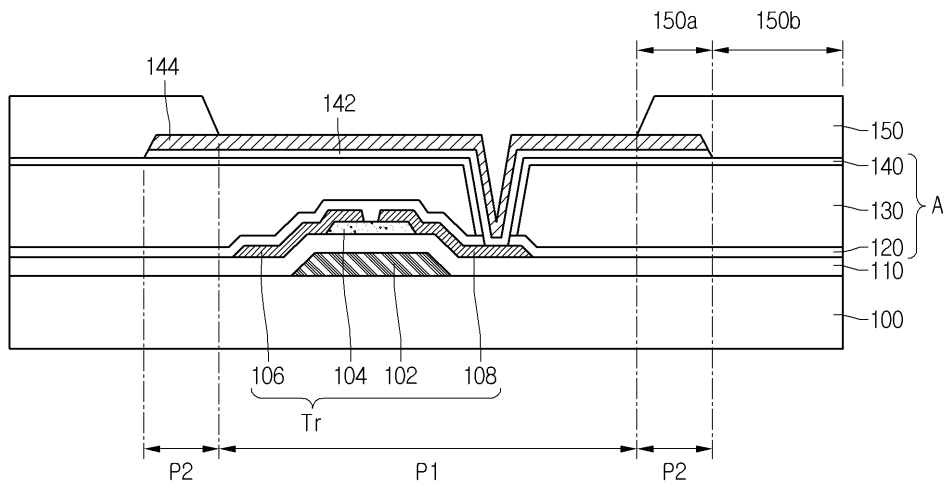
도면2d



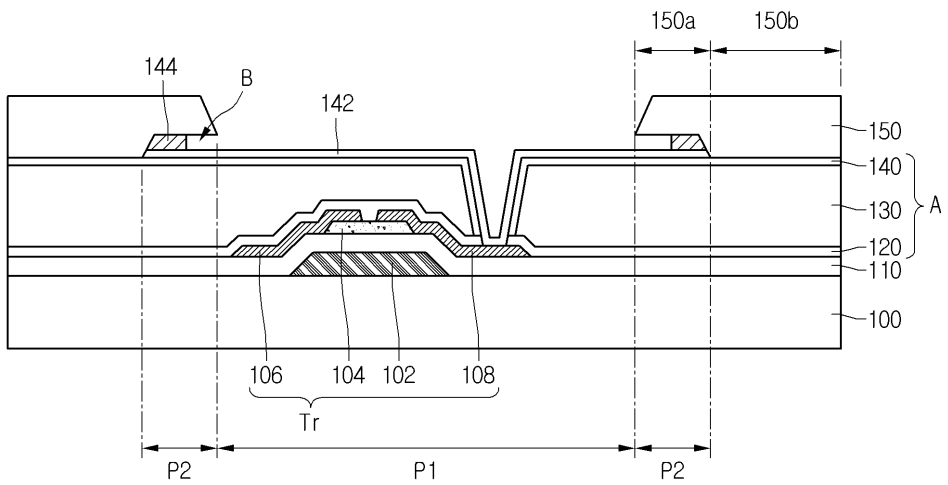
도면2e



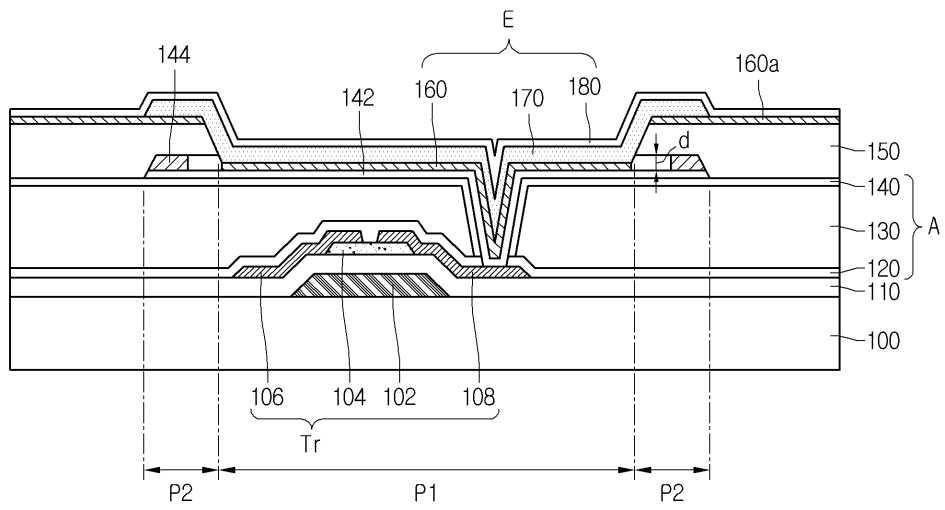
도면2f



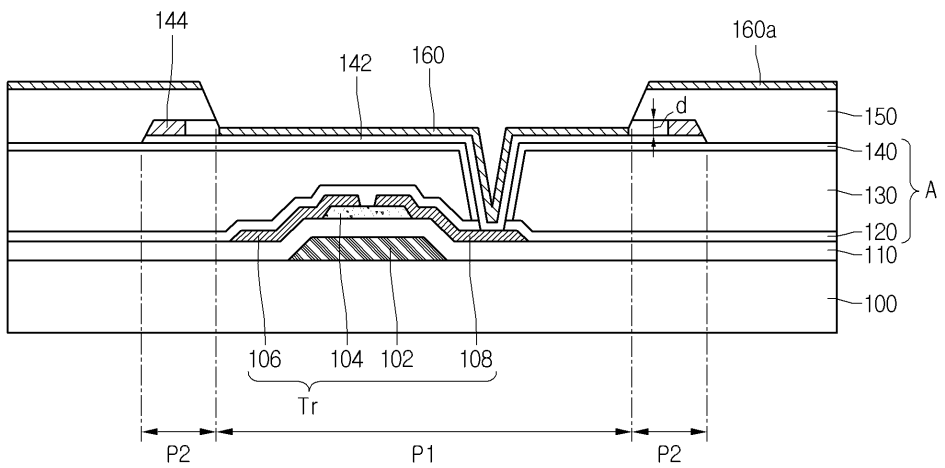
도면2g



도면3



도면4a



도면4b

