



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월06일
 (11) 등록번호 10-1209041
 (24) 등록일자 2012년11월30일

(51) 국제특허분류(Int. Cl.)
H05B 33/26 (2006.01) **H05B 33/10** (2006.01)
 (21) 출원번호 10-2005-0113407
 (22) 출원일자 2005년11월25일
 심사청구일자 2010년11월25일
 (65) 공개번호 10-2007-0055087
 (43) 공개일자 2007년05월30일
 (56) 선행기술조사문헌
 JP2002014653 A
 JP2004063717 A

(73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
허중무
 경기도 화성시 영통로27번길 53, 신영통현대아파트 204동 902호 (반월동)
박승규
 경기도 화성시 영통로27번길 53, 신영통현대2차아파트 206동 1602호 (반월동)
 (74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 25 항

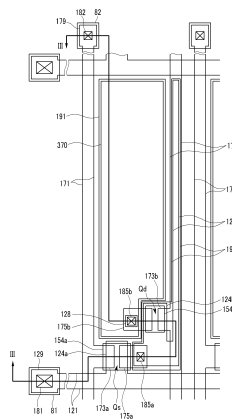
심사관 : 추장희

(54) 발명의 명칭 **유기 발광 표시 장치 및 그 제조 방법**

(57) 요약

본 발명은 기관, 상기 기관 위에 형성되어 있는 제1 신호선, 상기 제1 신호선과 교차하는 제2 신호선, 상기 제1 신호선 및 상기 제2 신호선과 연결되어 있는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터와 연결되어 있는 제1 전극, 상기 제1 전극과 마주하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재를 포함하며, 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 적어도 하나는 결정질 상태가 다른 복수의 반도체층을 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관,

상기 기관 위에 형성되어 있는 제1 신호선,

상기 제1 신호선과 교차하는 제2 신호선,

상기 제1 신호선 및 상기 제2 신호선과 연결되어 있는 제1 박막 트랜지스터,

상기 제1 박막 트랜지스터와 연결되어 있는 제2 박막 트랜지스터,

상기 제2 박막 트랜지스터와 연결되어 있는 제1 전극,

상기 제1 전극과 마주하는 제2 전극, 그리고

상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재를 포함하며,

상기 제1 박막 트랜지스터는 결정 상태가 다른 제1 하부 반도체층 및 제1 상부 반도체층을 포함하고, 상기 제2 박막 트랜지스터는 결정 상태가 다른 제2 하부 반도체층 및 제2 상부 반도체층을 포함하며,

상기 제1 상부 반도체층과 상기 제2 상부 반도체층은 평면 모양이 다른 유기 발광 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에서,

상기 제1 하부 반도체층 및 상기 제2 하부 반도체층은 비정질 반도체를 포함하고,

상기 제1 상부 반도체층 및 상기 제2 상부 반도체층은 미세 결정질(microcrystalline) 또는 다결정(polycrystalline) 반도체를 포함하는

유기 발광 표시 장치.

청구항 5

제1항에서,

상기 제1 박막 트랜지스터는

상기 제1 신호선과 연결되어 있는 제1 제어 전극,

상기 제2 신호선과 연결되어 있는 제1 입력 전극, 그리고

상기 제1 입력 전극과 마주하는 제1 출력 전극을 더 포함하며,

상기 제1 하부 반도체층은 상기 제1 제어 전극 위에 형성되어 있고,

상기 제1 상부 반도체층은 상기 제1 하부 반도체층과 상기 제1 입력 전극 및 상기 제1 출력 전극 사이에 형성되어 있는

유기 발광 표시 장치.

청구항 6

제5항에서,

상기 제1 박막 트랜지스터의 채널은 상기 제1 하부 반도체층에 형성되는 유기 발광 표시 장치.

청구항 7

제5항에서,

상기 제1 상부 반도체층은 상기 제1 제어 전극을 중심으로 마주하는 한 쌍을 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 상부 반도체층과 실질적으로 동일한 평면 모양을 가지는 제1 저항성 접촉 부재를 더 포함하는 유기 발광 표시 장치.

청구항 9

제5항에서,

상기 제2 박막 트랜지스터는

상기 제2 하부 반도체층 및 제2 상부 반도체층 위에 형성되어 있는 제2 입력 전극,

상기 제2 하부 반도체층 및 제2 상부 반도체층 위에 형성되어 있으며 상기 제2 입력 전극과 마주하는 제2 출력 전극, 그리고

상기 제1 출력 전극과 연결되어 있으며 상기 제2 입력 전극 및 상기 제2 출력 전극 위에서 상기 제2 입력 전극 및 상기 제2 출력 전극과 일부 중첩하게 형성되어 있는 제2 제어 전극

을 더 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 제2 박막 트랜지스터의 채널은 상기 제2 상부 반도체층에 형성되는 유기 발광 표시 장치.

청구항 11

제9항에서,

상기 제2 하부 반도체층과 상기 제2 상부 반도체층은 실질적으로 동일한 평면 모양을 가지는 유기 발광 표시 장치.

청구항 12

제9항에서,

상기 제1 제어 전극과 상기 제1 하부 반도체층 사이에 형성되어 있는 제1 게이트 절연막을 더 포함하고,

상기 제2 상부 반도체층과 상기 제2 제어 전극 사이에 형성되어 있는 제2 게이트 절연막을 더 포함하는

유기 발광 표시 장치.

청구항 13

제9항에서,

상기 제2 제어 전극 위에 형성되어 있으며 상기 제1 전극과 동일한 물질을 포함하는 보호 부재를 더 포함하는 유기 발광 표시 장치.

청구항 14

제1항에서,

상기 제1 전극 위에 형성되어 있으며 상기 발광 부재를 정의하는 격벽을 더 포함하는 유기 발광 표시 장치.

청구항 15

기관,

상기 기관 위에 형성되어 있는 제1 신호선,

상기 제1 신호선과 교차하는 제2 신호선,

상기 기관 위에 형성되어 있으며 상기 제1 신호선 또는 상기 제2 신호선과 평행하게 형성되어 있는 구동 전압선,

상기 제1 신호선에 연결되어 있는 제1 제어 전극, 상기 제2 신호선에 연결되어 있는 제1 입력 전극, 상기 제1 입력 전극과 마주하는 제1 출력 전극, 상기 제1 입력 전극 및 상기 제1 출력 전극과 일부 중첩하는 제1 반도체층을 포함하는 제1 박막 트랜지스터,

상기 제1 출력 전극과 연결되어 있는 제2 제어 전극, 상기 구동 전압선과 연결되어 있는 제2 입력 전극, 상기 제2 입력 전극과 마주하는 제2 출력 전극, 상기 제2 입력 전극 및 상기 제2 출력 전극과 일부 중첩하는 제2 반도체층을 포함하는 제2 박막 트랜지스터,

상기 제2 출력 전극과 연결되어 있는 제1 전극,

상기 제1 전극과 마주하는 제2 전극, 그리고

상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재

를 포함하며,

상기 제1 제어 전극과 상기 제2 제어 전극은 서로 다른 층에 형성되어 있는

유기 발광 표시 장치.

청구항 16

제15항에서,

상기 제1 제어 전극은 상기 제1 반도체층의 하부에 형성되어 있고, 상기 제2 제어 전극은 상기 제2 반도체층의 상부에 형성되어 있는 유기 발광 표시 장치.

청구항 17

제15항에서,

상기 제1 반도체층은 결정 상태가 다른 제1 하부 반도체층 및 제1 상부 반도체층을 포함하고,

상기 제2 반도체층은 결정 상태가 다른 제2 하부 반도체층 및 제2 상부 반도체층을 포함하는

유기 발광 표시 장치.

청구항 18

제17항에서,

상기 제1 하부 반도체층 및 상기 제2 하부 반도체층은 비정질 반도체를 포함하고,

상기 제1 상부 반도체층 및 상기 제2 상부 반도체층은 미세 결정질 또는 다결정 반도체를 포함하는

유기 발광 표시 장치.

청구항 19

제17항에서,

상기 제1 상부 반도체층은 제1 하부 반도체층 위에서 분리되어 있는 유기 발광 표시 장치.

청구항 20

제17항에서,

상기 제2 하부 반도체층과 상기 제2 상부 반도체층은 실질적으로 동일한 평면 모양을 가지는 유기 발광 표시 장치.

청구항 21

제15항에서,

상기 제1 반도체층과 상기 제1 입력 전극 및 상기 제1 출력 전극 사이에 형성되어 있는 제1 저항성 접촉 부재를 더 포함하고,

상기 제2 반도체층과 상기 제2 입력 전극 및 상기 제2 출력 전극 사이에 형성되어 있는 제2 저항성 접촉 부재를 더 포함하는

유기 발광 표시 장치.

청구항 22

제21항에서,

상기 제1 저항성 접촉 부재 및 상기 제2 저항성 접촉 부재는 불순물이 도핑된 비정질 반도체 또는 불순물이 도핑된 미세 결정질 반도체를 포함하는 유기 발광 표시 장치.

청구항 23

제15항에서,

상기 제2 출력 전극과 상기 제1 전극 사이에 보조 부재를 더 포함하는 유기 발광 표시 장치.

청구항 24

기판 위에 제1 제어 전극을 포함하는 게이트선을 형성하는 단계,

상기 게이트선 위에 제1 게이트 절연막, 하부 반도체층 및 상부 반도체층을 형성하는 단계,

상기 하부 반도체층과 상기 상부 반도체층을 사진 식각하여 제1 하부 반도체층 및 제1 상부 반도체층을 포함하는 제1 반도체층과 제2 하부 반도체층 및 제2 상부 반도체층을 포함하는 제2 반도체층을 형성하는 단계,

상기 제1 반도체층 및 상기 제2 반도체층 위에 도전층을 형성하고 사진 식각하여 제1 입력 전극을 포함하는 데이터선, 제1 출력 전극, 제2 입력 전극을 포함하는 구동 전압선 및 제2 출력 전극을 포함하는 데이터 도전체를 형성하는 단계,

상기 제1 입력 전극과 상기 제1 출력 전극을 마스크로 하여 상기 제1 상부 반도체층을 식각하는 단계,

상기 데이터 도전체 위에 제2 게이트 절연막을 형성하는 단계,

상기 제2 게이트 절연막 위에 상기 제1 출력 전극과 연결되는 제2 제어 전극을 형성하는 단계,

상기 제2 게이트 절연막 위에 상기 제2 출력 전극과 연결되는 제1 전극을 형성하는 단계,

상기 제1 전극 위에 발광 부재를 형성하는 단계, 그리고

상기 발광 부재 위에 제2 전극을 형성하는 단계를 포함하고,

상기 제1 반도체층은 비정질 반도체를 형성하고, 상기 제2 반도체층은 미세 결정질 또는 다결정 반도체를 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 25

삭제

청구항 26

제24항에서,

상기 제1 게이트 절연막, 하부 반도체층과 상부 반도체층을 형성하는 단계에서 상기 상부 반도체층 위에 저항성 접촉층을 더 형성하고,

상기 제1 반도체층과 상기 제2 반도체층을 형성하는 단계에서 상기 저항성 접촉층을 함께 사진 식각하여 제1 저항성 접촉 부재와 제2 저항성 접촉 부재를 형성하는

유기 발광 표시 장치의 제조 방법.

청구항 27

제26항에서,

상기 데이터 도전체를 형성하는 단계 후에 상기 데이터 도전체를 마스크로 하여 상기 제1 저항성 접촉 부재 및 상기 제2 저항성 접촉 부재를 식각하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 28

제24항에서,

상기 제1 전극을 형성하는 단계 후에 격벽을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0031] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.
- [0032] 최근 모니터 또는 텔레비전 등의 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 액정 표시 장치(liquid crystal display, LCD)로 대체되고 있다.
- [0033] 그러나, 액정 표시 장치는 수발광 소자로서 별도의 백라이트(backlight)가 필요할 뿐만 아니라, 응답 속도 및 시야각 등에서 많은 문제점이 있다.
- [0034] 최근 이러한 문제점을 극복할 수 있는 표시 장치로서, 유기 발광 표시 장치(organic light emitting diode display, OLED display)가 주목받고 있다.
- [0035] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.
- [0036] 유기 발광 표시 장치는 자체발광형으로 별도의 광원이 필요 없기 때문에 소비전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 대비비(contrast ratio)도 우수하다.
- [0037] 유기 발광 표시 장치는 구동 방식에 따라 단순 매트릭스 방식의 유기 발광 표시 장치(passive matrix OLED display)와 능동 매트릭스 방식의 유기 발광 표시 장치(active matrix OLED display)로 나눌 수 있다.
- [0038] 이 중, 능동 매트릭스 방식의 유기 발광 표시 장치는 신호선에 연결되어 데이터 전압을 제어하는 스위칭 박막 트랜지스터(switching thin film transistor)와 이로부터 전달받은 데이터 전압을 게이트 전압으로 인가하여 발광 소자에 전류를 흘리는 구동 박막 트랜지스터(driving thin film transistor)를 포함한다.

발명이 이루고자 하는 기술적 과제

- [0039] 그런데 유기 발광 표시 장치의 최적의 특성을 나타내기 위해서는 스위칭 박막 트랜지스터와 구동 박막 트랜지스터에 요구되는 특성이 다르다. 스위칭 박막 트랜지스터는 높은 온/오프(on/off) 특성이 요구되는 반면, 구동

박막 트랜지스터는 발광 소자에 충분한 전류를 흘릴 수 있도록 높은 이동성(mobility) 및 안정성(stability)이 요구된다.

[0040] 스위칭 박막 트랜지스터에 오프 전류가 증가하는 경우 구동 박막 트랜지스터로 전달되는 데이터 전압이 감소되어 크로스 토크(cross talk)가 발생할 수 있고, 구동 박막 트랜지스터가 낮은 이동성 및 안정성을 가지는 경우 발광 소자로 흐르는 전류 양이 감소하여 발광량이 감소하고 이미지 고착(image sticking) 및 수명 단축이 될 수 있다.

[0041] 따라서 본 발명이 이루고자 하는 기술적 과제는 이러한 문제점을 해결하기 위한 것으로서 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터에 요구되는 특성을 동시에 충족하여 유기 발광 표시 장치의 특성을 개선하는 것이다.

발명의 구성 및 작용

[0042] 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 형성되어 있는 제1 신호선, 상기 제1 신호선과 교차하는 제2 신호선, 상기 제1 신호선 및 상기 제2 신호선과 연결되어 있는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터와 연결되어 있는 제1 전극, 상기 제1 전극과 마주하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재를 포함하며, 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터 중 적어도 하나는 결정 상태가 다른 복수의 반도체층을 포함하는 유기 발광 표시 장치.

[0043] 또한, 상기 제1 박막 트랜지스터는 결정 상태가 다른 제1 하부 반도체층 및 제1 상부 반도체층을 포함하고, 상기 제2 박막 트랜지스터는 결정 상태가 다른 제2 하부 반도체층 및 제2 상부 반도체층을 포함할 수 있다.

[0044] 또한, 상기 제1 상부 반도체층과 상기 제2 상부 반도체층은 평면 모양이 다를 수 있다.

[0045] 또한, 상기 제1 하부 반도체층 및 상기 제2 하부 반도체층은 비정질 반도체를 포함하고, 상기 제1 상부 반도체층 및 상기 제2 상부 반도체층은 미세 결정질(microcrystalline) 또는 다결정(polycrystalline) 반도체를 포함할 수 있다.

[0046] 또한, 상기 제1 박막 트랜지스터는 상기 제1 신호선과 연결되어 있는 제1 제어 전극, 상기 제2 신호선과 연결되어 있는 제1 입력 전극, 그리고 상기 제1 입력 전극과 마주하는 제1 출력 전극을 더 포함하며, 상기 제1 하부 반도체층은 상기 제1 제어 전극 위에 형성되어 있고, 상기 제1 상부 반도체층은 상기 제1 하부 반도체층과 상기 제1 입력 전극 및 상기 제1 출력 전극 사이에 형성될 수 있다.

[0047] 또한, 상기 제1 박막 트랜지스터의 채널은 상기 제1 하부 반도체층에 형성될 수 있다.

[0048] 또한, 상기 제1 상부 반도체층은 상기 제1 제어 전극을 중심으로 마주하는 한 쌍을 포함할 수 있다.

[0049] 또한, 상기 제1 상부 반도체층과 실질적으로 동일한 평면 모양을 가지는 제1 저항성 접촉 부재를 더 포함할 수 있다.

[0050] 또한, 상기 제2 박막 트랜지스터는 상기 제2 하부 반도체층 및 제2 상부 반도체층 위에 형성되어 있는 제2 입력 전극, 상기 제2 하부 반도체층 및 제2 상부 반도체층 위에 형성되어 있으며 상기 제2 입력 전극과 마주하는 제2 출력 전극, 그리고 상기 제1 출력 전극과 연결되어 있으며 상기 제2 입력 전극 및 상기 제2 출력 전극 위에서 상기 제2 입력 전극 및 상기 제2 출력 전극과 일부 중첩하게 형성되어 있는 제2 제어 전극을 더 포함할 수 있다.

[0051] 또한, 상기 제2 박막 트랜지스터의 채널은 상기 제2 상부 반도체층에 형성될 수 있다.

[0052] 또한, 상기 제2 하부 반도체층과 상기 제2 상부 반도체층은 실질적으로 동일한 평면 모양을 가질 수 있다.

[0053] 또한, 상기 제1 제어 전극과 상기 제1 하부 반도체층 사이에 형성되어 있는 제1 게이트 절연막을 더 포함하고, 상기 제2 상부 반도체층과 상기 제2 제어 전극 사이에 형성되어 있는 제2 게이트 절연막을 더 포함할 수 있다.

[0054] 또한, 상기 제2 제어 전극 위에 형성되어 있으며 상기 제1 전극과 동일한 물질을 포함하는 보호 부재를 더 포함할 수 있다.

[0055] 또한, 상기 제1 전극 위에 형성되어 있으며 상기 발광 부재를 정의하는 격벽을 더 포함할 수 있다.

[0056] 또한, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 형성되어 있는 제1 신호선, 상

기 제1 신호선과 교차하는 제2 신호선, 상기 기판 위에 형성되어 있으며 상기 제1 신호선 또는 상기 제2 신호선과 평행하게 형성되어 있는 구동 전압선, 상기 제1 신호선에 연결되어 있는 제1 제어 전극, 상기 제2 신호선에 연결되어 있는 제1 입력 전극, 상기 제1 입력 전극과 마주하는 제1 출력 전극, 상기 제1 입력 전극 및 상기 제1 출력 전극과 일부 중첩하는 제1 반도체층을 포함하는 제1 박막 트랜지스터, 상기 제1 출력 전극과 연결되어 있는 제2 제어 전극, 상기 구동 전압선과 연결되어 있는 제2 입력 전극, 상기 제2 입력 전극과 마주하는 제2 출력 전극, 상기 제2 입력 전극 및 상기 제2 출력 전극과 일부 중첩하는 제2 반도체층을 포함하는 제2 박막 트랜지스터, 상기 제2 출력 전극과 연결되어 있는 제1 전극, 상기 제1 전극과 마주하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 형성되어 있는 발광 부재를 포함하며, 상기 제1 제어 전극과 상기 제2 제어 전극은 서로 다른 층에 형성되어 있다.

- [0057] 또한, 상기 제1 제어 전극은 상기 제1 반도체층의 하부에 형성되어 있고, 상기 제2 제어 전극은 상기 제2 반도체층의 상부에 형성될 수 있다.
- [0058] 또한, 상기 제1 반도체층은 결정 상태가 다른 제1 하부 반도체층 및 제1 상부 반도체층을 포함하고, 상기 제2 반도체층은 결정 상태가 다른 제2 하부 반도체층 및 제2 상부 반도체층을 포함할 수 있다.
- [0059] 또한, 상기 제1 하부 반도체층 및 상기 제2 하부 반도체층은 비정질 반도체를 포함하고, 상기 제1 상부 반도체층 및 상기 제2 상부 반도체층은 미세 결정질 또는 다결정 반도체를 포함할 수 있다.
- [0060] 또한, 상기 제1 상부 반도체층은 제1 하부 반도체층 위에서 분리될 수 있다.
- [0061] 또한, 상기 제2 하부 반도체층과 상기 제2 상부 반도체층은 실질적으로 동일한 평면 모양을 가질 수 있다.
- [0062] 또한, 상기 제1 반도체층과 상기 제1 입력 전극 및 상기 제1 출력 전극 사이에 형성되어 있는 제1 저항성 접촉 부재를 더 포함하고, 상기 제2 반도체층과 상기 제2 입력 전극 및 상기 제2 출력 전극 사이에 형성되어 있는 제2 저항성 접촉 부재를 더 포함할 수 있다.
- [0063] 또한, 상기 제1 저항성 접촉 부재 및 상기 제2 저항성 접촉 부재는 불순물이 도핑된 비정질 반도체 또는 불순물이 도핑된 미세 결정질 반도체를 포함할 수 있다.
- [0064] 또한, 상기 제2 출력 전극과 상기 제1 전극 사이에 보조 부재를 더 포함할 수 있다.
- [0065] 또한, 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 제1 제어 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 제1 게이트 절연막, 하부 반도체층과 상부 반도체층을 형성하는 단계, 상기 하부 반도체층과 상기 상부 반도체층을 사진 식각하여 제1 하부 반도체층 및 제1 상부 반도체층을 포함하는 제1 반도체층과 제2 하부 반도체층 및 제2 상부 반도체층을 포함하는 제2 반도체층을 형성하는 단계, 상기 제1 반도체층 및 상기 제2 반도체층 위에 도전층을 형성하고 사진 식각하여 제1 입력 전극을 포함하는 데이터선, 제1 출력 전극, 제2 입력 전극을 포함하는 구동 전압선 및 제2 출력 전극을 포함하는 데이터 도전체를 형성하는 단계, 상기 제1 입력 전극과 상기 제1 출력 전극을 마스크로 하여 상기 제1 상부 반도체층을 식각하는 단계, 상기 데이터 도전체 위에 제2 게이트 절연막을 형성하는 단계, 상기 제2 게이트 절연막 위에 상기 제1 출력 전극과 연결되는 제2 제어 전극을 형성하는 단계, 상기 제2 게이트 절연막 위에 상기 제2 출력 전극과 연결되는 제1 전극을 형성하는 단계, 상기 제1 전극 위에 발광 부재를 형성하는 단계, 그리고 상기 발광 부재 위에 제2 전극을 형성하는 단계를 포함한다.
- [0066] 또한, 상기 제1 반도체층은 비정질 반도체를 형성하고, 상기 제2 반도체층은 미세 결정질 또는 다결정 반도체를 형성할 수 있다.
- [0067] 또한, 상기 제1 게이트 절연막, 하부 반도체층과 상부 반도체층을 형성하는 단계에서 상기 상부 반도체층 위에 저항성 접촉층을 더 형성하고, 상기 제1 반도체층과 상기 제2 반도체층을 형성하는 단계에서 상기 저항성 접촉층을 함께 사진 식각하여 제1 저항성 접촉 부재와 제2 저항성 접촉 부재를 형성할 수 있다.
- [0068] 또한, 상기 데이터 도전체를 형성하는 단계 후에 상기 데이터 도전체를 마스크로 하여 상기 제1 저항성 접촉 부재 및 상기 제2 저항성 접촉 부재를 식각하는 단계를 더 포함할 수 있다.
- [0069] 또한, 상기 제1 전극을 형성하는 단계 후에 격벽을 형성하는 단계를 더 포함할 수 있다.
- [0070] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

- [0071] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0072] 먼저 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대하여 도 1을 참고로 상세하게 설명한다.
- [0073] 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- [0074] 도 1을 참고하면, 본 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel)를 포함한다.
- [0075] 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(gate line)(121), 데이터 신호를 전달하는 복수의 데이터선(data line)(171) 및 구동 전압을 전달하는 복수의 구동 전압선(driving voltage line)(172)을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0076] 각 화소(PX)는 스위칭 트랜지스터(switching transistor)(Qs), 구동 트랜지스터(driving transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)(LD)를 포함한다.
- [0077] 스위칭 트랜지스터(Qs)는 제어 단자(control terminal), 입력 단자(input terminal) 및 출력 단자(output terminal)를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)에 인가되는 주사 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.
- [0078] 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(LD)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(I_{LD})를 흘린다.
- [0079] 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.
- [0080] 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode)와 공통 전압(V_{SS})에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 전류(I_{LD})에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0081] 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이다. 그러나 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 다이오드(LD)의 연결 관계가 바뀔 수 있다.
- [0082] 그러면 도 1에 도시한 유기 발광 표시 장치의 상세 구조에 대하여 도 2 및 도 3을 도 1과 함께 참고하여 상세하게 설명한다.
- [0083] 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 자른 단면도이다.
- [0084] 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 제1 제어 전극(control electrode)(124a)을 포함하는 복수의 게이트선(121)이 형성되어 있다.
- [0085] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함하며, 제1 제어 전극(124a)은 게이트선(121)으로부터 위로 뻗어 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.
- [0086] 게이트선(121)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열

금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다.

- [0087] 게이트선(121)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30 내지 약 80도인 것이 바람직하다.
- [0088] 게이트선(121) 위에는 질화규소(SiN_x) 또는 산화규소(SiO_x) 따위로 만들어진 하부 게이트 절연막(140)이 형성되어 있다.
- [0089] 하부 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)로 만들어진 복수의 제1 하부 반도체(154a)와 복수의 제2 하부 반도체(154b)가 형성되어 있다. 제1 하부 반도체(154a)는 제1 제어 전극(124a) 위에 위치한다.
- [0090] 제1 하부 반도체(154a) 및 제2 하부 반도체(154b) 위에는 각각 제1 상부 반도체(155a)와 제2 상부 반도체(155b)가 형성되어 있다. 제1 상부 반도체(155a)는 제1 하부 반도체(154a) 위에서 소정 간격으로 분리되어 쌍(156a, 157a)을 이루며, 제2 상부 반도체(155b)는 제2 하부 반도체(154b)와 실질적으로 동일한 평면 모양을 가진다. 제1 상부 반도체(155a)와 제2 상부 반도체(155b)는 미세 결정질 규소(microcrystalline silicon) 또는 다결정 규소(polycrystalline silicon)로 만들어진다.
- [0091] 제1 상부 반도체(155a)와 제2 상부 반도체(155b) 위에는 각각 복수 쌍의 제1 저항성 접촉 부재(ohmic contact)(163a, 165a)와 복수 쌍의 제2 저항성 접촉 부재(163b, 165b)가 형성되어 있다. 제1 저항성 접촉 부재(163a, 165a)는 제1 상부 반도체(156a, 157a)와 실질적으로 동일한 평면 모양을 가진다.
- [0092] 저항성 접촉 부재(163a, 163b, 165a, 165b)는 섬 모양이며, 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 또는 미세 결정질 규소 따위의 물질로 만들어질 수 있다.
- [0093] 저항성 접촉 부재(163a, 163b, 165a, 165b) 및 하부 게이트 절연막(140) 위에는 복수의 데이터선(171), 복수의 구동 전압선(172) 및 복수의 제1 및 제2 출력 전극(output electrode)(175a, 175b)을 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.
- [0094] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 제1 제어 전극(124a)을 향하여 뻗은 복수의 제1 입력 전극(input electrode)(173a)과 다른 층 또는 외부 구동 회로와의 접촉을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.
- [0095] 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 구동 전압선(172)은 복수의 제2 입력 전극(173b)을 포함한다.
- [0096] 제1 및 제2 출력 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171) 및 구동 전압선(172)과도 분리되어 있다. 제1 입력 전극(173a)과 제1 출력 전극(175a)은 제1 하부 반도체(154a)를 중심으로 서로 마주하고, 제2 입력 전극(173b)과 제2 출력 전극(175b)은 제2 상부 반도체(155b)를 중심으로 서로 마주한다.
- [0097] 데이터 도전체(171, 172, 175a, 175b)는 알루미늄, 구리 및 은 등 저저항 금속 또는 이들의 합금, 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다.
- [0098] 게이트선(121)과 마찬가지로 데이터 도전체(171, 172, 175a, 175b) 또한 그 측면이 기판(110) 면에 대하여 30 내지 80도 정도의 경사각으로 기울어진 것이 바람직하다.
- [0099] 데이터 도전체(171, 172, 175a, 175b), 노출된 반도체(154a, 155b) 부분 및 하부 게이트 절연막(140) 위에는 질화규소 또는 산화규소 따위로 만들어진 상부 게이트 절연막(180)이 형성되어 있다. 상부 게이트 절연막(180)은 데이터 도전체(171, 172, 175a, 175b)를 보호하는 보호막(passivation layer)의 역할도 겸한다.
- [0100] 상부 게이트 절연막(180)에는 제1 출력 전극(175a), 제2 출력 전극(175b) 및 데이터선(171)의 끝 부분(179)을 드러내는 복수의 접촉 구멍(contact hole)(185a, 185b, 182)이 형성되어 있으며, 상부 게이트 절연막(180) 및 하부 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있

다.

- [0101] 상부 게이트 절연막(180) 위에는 제2 제어 전극(124b) 및 보조 부재(128)가 형성되어 있다.
- [0102] 제2 제어 전극(124b)은 제2 상부 반도체(155b)와 중첩하며, 아래 방향으로 뺀다가 오른쪽으로 잠시 방향을 바꾸었다가 위로 길게 뺀 유지 전극(storage electrode)(127)을 포함한다. 유지 전극(127)은 구동 전압선(172)과 중첩한다. 제2 제어 전극(124b)은 접촉 구멍(185a)을 통하여 제1 출력 전극(175a)과 연결되어 있다.
- [0103] 보조 부재(128)는 제2 제어 전극(124b)과 분리되어 있으며, 접촉 구멍(185b)을 통하여 제2 출력 전극(175b)과 연결되어 있다.
- [0104] 제2 제어 전극(124b) 및 보조 부재(128)는 게이트선(121)과 동일한 재료로 만들어질 수 있다.
- [0105] 제2 제어 전극(124b) 및 보조 부재(128)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30 내지 약 80도인 것이 바람직하다.
- [0106] 제2 제어 전극(124b), 보조 부재(128) 및 상부 게이트 절연막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 보호 부재(193) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다.
- [0107] 이들은 ITO 또는 IZO 따위의 투명 도전체로 만들어질 수 있으며, 전면 발광(top emission)인 경우에는 알루미늄 또는 알루미늄 합금, 높은 일 함수(work function)를 가지는 금(Au), 백금(Pt), 니켈(Ni), 구리(Cu), 텅스텐(W) 또는 이들의 합금 따위의 불투명 도전체로 만들어질 수 있다.
- [0108] 화소 전극(191)은 보조 부재(128)를 통하여 제2 출력 전극(175b)과 전기적으로 연결되어 있다. 보조 부재(128)는 화소 전극(191)과 제2 출력 전극(175b) 사이의 접착성(adhesion)을 높이는 한편, 화소 전극(191)의 패터닝 시 화학액 등이 제2 출력 전극(175b) 등의 하부 도전체로 유입되는 것을 방지한다.
- [0109] 보호 부재(193)는 제2 제어 전극(124b)을 덮고 있다. 보호 부재(193)가 제2 제어 전극(124b) 위에 형성됨으로써, 내화학성이 약한 도전체로 만들어지는 제2 제어 전극(124b)이 후속 공정에서 식각액 따위의 화학액에 의해 손상되는 것을 방지할 수 있다.
- [0110] 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 끝 부분(129, 179)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.
- [0111] 화소 전극(191), 보호 부재(193) 및 상부 게이트 절연막(180) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)은 화소 전극(191) 가장자리 주변을 둑(bank)처럼 둘러싸서 개구부(opening)(365)를 정의한다. 격벽(361)은 아크릴 수지(acrylic resin), 폴리이미드 수지(polyimide resin) 따위의 내열성 및 내용매성을 가지는 유기 절연물 또는 산화규소(SiO₂), 산화티탄(TiO₂) 따위의 무기 절연물로 만들어질 수 있으며, 2층 이상일 수 있다. 격벽(361)은 또한 검정색 안료를 포함하는 감광재로 만들어질 수 있는데, 이 경우 격벽(361)은 차광 부재의 역할을 하며 그 형성 공정이 간단하다.
- [0112] 격벽(361)이 정의하는 화소 전극(191) 위의 개구부(365)에는 유기 발광 부재(organic light emitting member)(370)가 형성되어 있다.
- [0113] 유기 발광 부재(370)는 빛을 내는 발광층(emitting layer)(도시하지 않음) 외에 발광층의 발광 효율을 향상하기 위한 부대층(auxiliary layer)(도시하지 않음)을 포함하는 다층 구조를 가질 수 있다.
- [0114] 발광층은 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 고유하게 내는 유기 물질 또는 유기 물질과 무기 물질의 혼합물로 만들어지며, 폴리플루오렌(polyfluorene) 유도체, (폴리)파라페닐렌비닐렌((poly)paraphenylenevinylene) 유도체, 폴리페닐렌(polyphenylene) 유도체, 폴리플루오렌(polyfluorene) 유도체, 폴리비닐카바졸(polyvinylcarbazole), 폴리티오펜(polythiophene) 유도체 또는 이들의 고분자 재료에 페릴렌(perylene)계 색소, 쿠마린(cumarine)계 색소, 로더민계 색소, 루브렌(rubrene), 페릴렌(perylene), 9,10-디페닐안트라센(9,10-diphenylanthracene), 테트라페닐부타디엔(tetraphenylbutadiene), 나일 레드(Nile red), 쿠마린(coumarin), 퀴나크리돈(quinacridone) 등을 도핑한 화합물이 포함될 수 있다. 유기 발광 표시 장치는 발광층에서 내는 기본색 색광의 공간적인 합으로 원하는 영상을 표시한다.
- [0115] 부대층에는 전자와 정공의 균형을 맞추기 위한 전자 수송층(electron transport layer)(도시하지 않음) 및 정공

수송층(hole transport layer)(도시하지 않음)과 전자와 정공의 주입을 강화하기 위한 전자 주입층(electron injecting layer)(도시하지 않음) 및 정공 주입층(hole injecting layer)(도시하지 않음) 등이 있으며, 이 중에서 선택된 하나 또는 둘 이상의 층을 포함할 수 있다. 정공 수송층 및 정공 주입층은 화소 전극(191)과 발광층의 중간 정도의 일 함수를 가지는 재료로 만들어지고, 전자 수송층과 전자 주입층은 공통 전극(270)과 발광층의 중간 정도의 일 함수를 가지는 재료로 만들어진다. 예컨대 정공 수송층 또는 정공 주입층으로는 폴리에틸렌 디옥시티오펜과 폴리스티렌술포산의 혼합물(poly-(3,4-ethylenedioxythiophene: polystyrenesulfonate, PEDOT:PSS) 따위를 사용할 수 있다.

[0116] 유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다. 공통 전극(270)은 기관의 전면(全面)에 형성되어 있으며, 화소 전극(191)과 쌍을 이루어 유기 발광 부재(370)에 전류를 흘려 보낸다.

[0117] 이러한 유기 발광 표시 장치에서, 게이트선(121)에 연결되어 있는 제1 제어 전극(124a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 제1 하부 반도체(154a)와 함께 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루며, 스위칭 박막 트랜지스터(Qs)의 채널(channel)은 제1 입력 전극(173a)과 제1 출력 전극(175a) 사이의 제1 하부 반도체(154a)에 형성된다. 제1 출력 전극(175a)에 연결되어 있는 제2 제어 전극(124b), 구동 전압선(172)에 연결되어 있는 제2 입력 전극(173b) 및 화소 전극(191)에 연결되어 있는 제2 출력 전극(175b)은 제2 상부 반도체(155b)와 함께 구동 박막 트랜지스터(driving TFT)(Qd)를 이루며, 구동 박막 트랜지스터(Qd)의 채널은 제2 입력 전극(173b)과 제2 출력 전극(175b) 사이의 제2 상부 반도체(155b)에 형성된다.

[0118] 전술한 바와 같이, 제1 하부 반도체(154a)는 비정질 반도체로 만들어지고, 제2 상부 반도체(155b)는 미세 결정질 또는 다결정 반도체로 만들어진다. 따라서, 스위칭 박막 트랜지스터와 구동 박막 트랜지스터의 채널은 결정질이 다른 반도체, 즉 스위칭 박막 트랜지스터의 채널은 비정질 반도체에 형성되고, 구동 박막 트랜지스터의 채널은 미세 결정질 또는 다결정 반도체에 형성된다.

[0119] 이와 같이, 구동 박막 트랜지스터의 채널이 미세 결정질 또는 다결정 반도체에 형성되는 경우 높은 전하 이동도(carrier mobility) 및 안정성(stability)을 가질 수 있고, 이에 따라 발광 소자에 흐르는 전류량을 늘릴 수 있어서 발광 휘도를 높일 수 있다. 또한, 구동시 계속적인 양(positive) 전압의 인가에 의해 발생하는 문턱 전압 이동 현상(V_{th} shift)을 방지하여 전류량 감소 및 수명 단축을 방지하고 이미지 고착(image sticking)과 같은 표시 특성 불량을 방지할 수 있다.

[0120] 한편, 스위칭 박막 트랜지스터는 구동 박막 트랜지스터와 달리 온/오프(on/off) 특성이 중요하기 때문에 오프 전류(off current)를 줄여야 한다. 그런데, 미세 결정질 또는 다결정 반도체는 복수의 결정립계(grain boundary)에 의해 오프 전류가 크기 때문에 스위칭 박막 트랜지스터를 통과하는 데이터 전압이 감소하고 크로스 토크가 발생할 수 있다. 따라서, 본 발명에서 스위칭 박막 트랜지스터는 오프 전류가 작은 비정질 반도체로 형성함으로써 데이터 전압의 감소를 방지하고 크로스 토크를 줄일 수 있다.

[0121] 본 실시예에서는 스위칭 박막 트랜지스터 1개와 구동 박막 트랜지스터 1개만을 도시하였지만 이들 외에 적어도 하나의 박막 트랜지스터 및 이를 구동하기 위한 복수의 배선을 더 포함함으로써, 장시간 구동하여도 유기 발광 다이오드(LD) 및 구동 트랜지스터(Qd)가 열화되는 것을 방지하거나 보상하여 유기 발광 표시 장치의 수명이 단축되는 것을 방지할 수 있다.

[0122] 화소 전극(191), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 다이오드(LD)를 이루며, 화소 전극(191)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(191)이 캐소드, 공통 전극(270)이 애노드가 된다. 또한 서로 중첩하는 유지 전극(127)과 구동 전압선(172)은 유지 축전기(storage capacitor)(Cst)를 이룬다.

[0123] 그러면 도 2 및 도 3에 도시한 유기 발광 표시 장치를 제조하는 방법에 대하여 도 4 내지 도 19를 참조하여 상세하게 설명한다.

[0124] 도 4, 도 7, 도 9, 도 12, 도 14, 도 16 및 도 18은 도 2 및 도 3의 유기 발광 표시 장치를 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고, 도 5는 도 4의 유기 발광 표시 장치를 V-V 선을 따라 잘라 도시한 단면도이고, 도 6은 도 5의 유기 발광 표시 장치의 다음 공정에서의 단면도이고, 도 8은 도 7의 유기 발광 표시 장치를 VIII-VIII 선을 따라 잘라 도시한 단면도이고, 도 10은 도 9의 유기 발광 표시 장치를 X-X 선을 따라 잘라 도시한 단면도이고, 도 11은 도 10의 유기 발광 표시 장치의 다음 공정에서의 단면도이고, 도 13은 도 12의 유기 발광 표시 장치를 XIII-XIII 선을 따라 잘라 도시한 단면도이고, 도 15는 도 14의 유기 발광

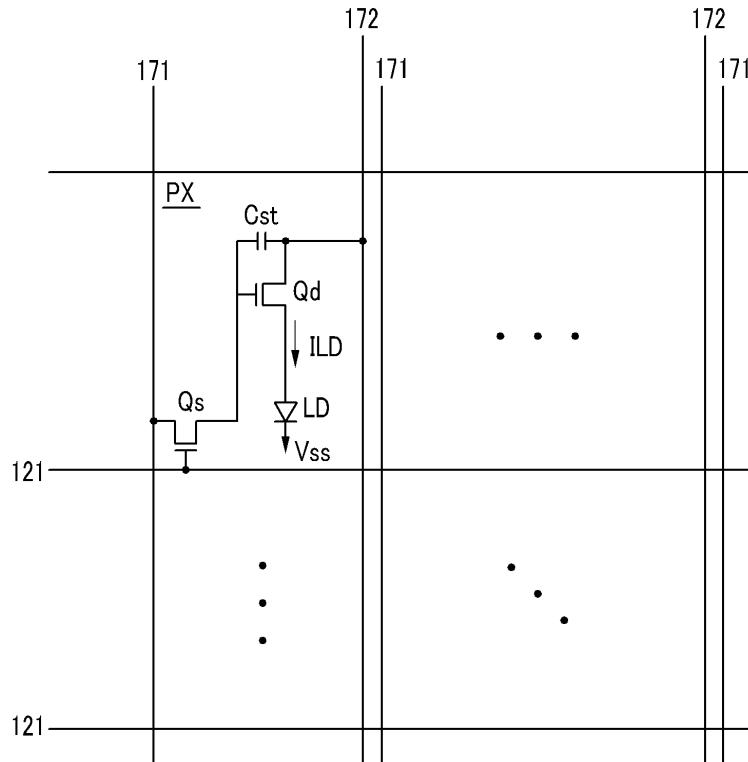
표시 장치를 XV-XV 선을 따라 잘라 도시한 단면도이고, 도 17은 도 16의 유기 발광 표시 장치를 XVII-XVII 선을 따라 잘라 도시한 단면도이고, 도 19는 도 18의 유기 발광 표시 장치를 XIX-XIX 선을 따라 잘라 도시한 단면도이다.

- [0125] 도 4 및 도 5에 도시한 바와 같이, 기판(110) 위에 알루미늄 합금으로 만들어진 제1 제어 전극(124a) 및 끝 부분(129)을 포함하는 복수의 게이트선(121)을 형성한다.
- [0126] 다음, 도 6에 도시한 바와 같이, 게이트 절연막(140), 진성 비정질 규소층(150), 미세 결정질 규소층(152) 및 불순물 비정질 규소층(160)을 화학 기상 증착 방법(plasma enhanced chemical vapor deposition, PECVD)으로 연속하여 적층한다.
- [0127] 다음, 도 7 및 도 8에 도시한 바와 같이, 불순물 비정질 규소층(160), 미세 결정질 규소층(152) 및 진성 비정질 규소층(150)을 사진 식각하여 복수의 제1 및 제2 불순물 반도체(164a, 164b), 복수의 제1 및 제2 상부 반도체(155a, 155b), 복수의 제1 및 제2 하부 반도체(154a, 154b)를 형성한다.
- [0128] 다음, 도 9 및 도 10에 도시한 바와 같이, 알루미늄 합금으로 만들어진 제1 입력 전극(173a)과 끝 부분(179)을 포함하는 복수의 데이터선(171), 제2 입력 전극(173b)을 포함하는 구동 전압선(172) 및 복수의 제1 및 제2 출력 전극(175a, 175b)을 포함하는 데이터 도전체를 형성한다.
- [0129] 이어서, 데이터 도전체(171, 172, 175a, 175b)로 덮이지 않고 노출된 불순물 반도체(164a 164b) 부분을 제거함으로써 저항성 접촉 부재(163a, 165a, 163b, 165b)를 완성하는 한편, 그 아래의 제1 및 제2 상부 반도체(155a, 155b) 일부분을 노출한다.
- [0130] 다음, 도 11에 도시한 바와 같이, 제1 입력 전극(173a) 및 제1 출력 전극(175a)을 마스크로 하여 제1 상부 반도체(155a)를 식각하여 한 쌍의 제1 상부 반도체(156a, 157a)로 분리하고 그 아래의 제1 하부 반도체(154a)를 노출한다.
- [0131] 이와 같이 제1 입력 전극(173a)과 제1 출력 전극(175b) 사이의 제1 상부 반도체(155a)를 식각함으로써 제1 하부 반도체(154a)에 스위칭 박막 트랜지스터(Qs)의 채널을 형성하는 한편, 제2 입력 전극(173b)과 제2 출력 전극(175b) 사이의 제2 상부 반도체(155b)는 그대로 남아서 구동 박막 트랜지스터(Qd)의 채널을 형성한다.
- [0132] 다음, 도 12 및 도 13에 도시한 바와 같이, 기판 전면에 화학 기상 증착 방법으로 상부 게이트 절연막(180)을 적층하고 사진 식각하여 복수의 접촉 구멍(181, 182, 185a, 185b)을 형성한다.
- [0133] 다음, 도 14 및 도 15에 도시한 바와 같이, 알루미늄 합금으로 만들어진 도전층을 적층하고 사진 식각하여 유지 전극(127)을 포함하는 제2 제어 전극(124b) 및 보조 부재(128)를 형성한다.
- [0134] 다음, 도 16 및 도 17에 도시한 바와 같이, 상부 게이트 절연막(180) 및 제2 제어 전극(124b) 위에 ITO를 증착한 후 사진 식각하여 복수의 화소 전극(191), 복수의 보호 부재(193) 및 복수의 접촉 보조 부재(81, 82)를 형성한다.
- [0135] 다음, 도 18 및 도 19에 도시한 바와 같이, 화소 전극(191), 보호 부재(193) 및 보호막(180) 위에 감광성 유기막을 도포한 후 노광 및 현상하여 복수의 개구부(365)를 가지는 격벽(361)을 형성한다.
- [0136] 이어서, 개구부(365)에 정공 수송층(도시하지 않음) 및 발광층(도시하지 않음)을 포함한 발광 부재(370)를 형성한다. 발광 부재(370)는 잉크젯 인쇄(inkjet printing) 방법 등의 용액 방법(solution process) 또는 증착 방법으로 형성할 수 있으며, 그 중 잉크젯 헤드(inkjet head)(도시하지 않음)를 이동시키며 개구부(365)에 용액을 적하하는 잉크젯 인쇄 방법이 바람직하며, 이 경우 각 층의 형성 후 건조 단계가 뒤따른다.
- [0137] 다음, 도 2 및 도 3에 도시한 바와 같이, 격벽(361) 및 발광 부재(370) 위에 공통 전극(270)을 형성한다.
- [0138] 이와 같이, 본 실시예에서는 스위칭 박막 트랜지스터와 구동 박막 트랜지스터의 특성을 동시에 개선하기 위하여 반도체층을 두 층으로 형성하는 한편, 스위칭 박막 트랜지스터는 바텀 게이트(bottom gate) 구조로 형성하고 구동 박막 트랜지스터는 탑 게이트(top gate) 구조로 형성한다.
- [0139] 그러나 이에 한정되지 않고 스위칭 박막 트랜지스터를 탑 게이트 구조로 형성하고 구동 박막 트랜지스터를 바텀 게이트 구조로 형성할 수도 있다.
- [0140] 어느 경우든, 스위칭 박막 트랜지스터와 구동 박막 트랜지스터가 다른 구조로 형성되는 경우에도 공통되는 층을 통합하여 마스크 수를 줄임으로써 공정을 단순화할 수 있다.

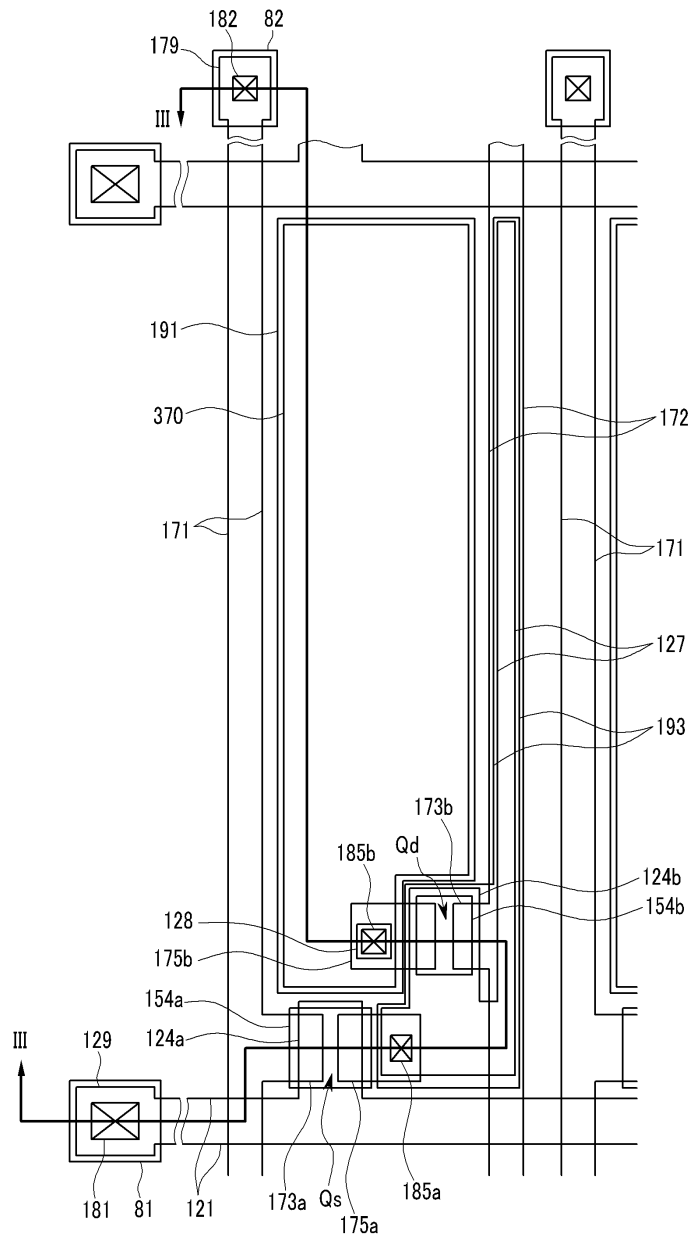
- [0028] Qs: 스위칭 트랜지스터 Qd: 구동 트랜지스터
- [0029] LD: 유기 발광 다이오드 Vss: 공통 전압
- [0030] Cst: 유지 축전기

도면

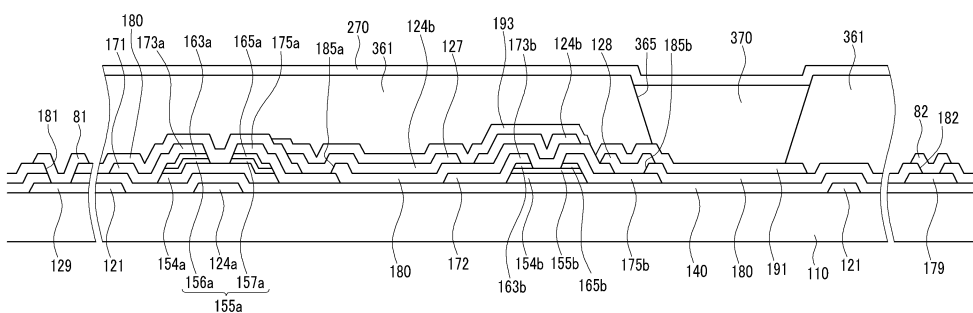
도면1



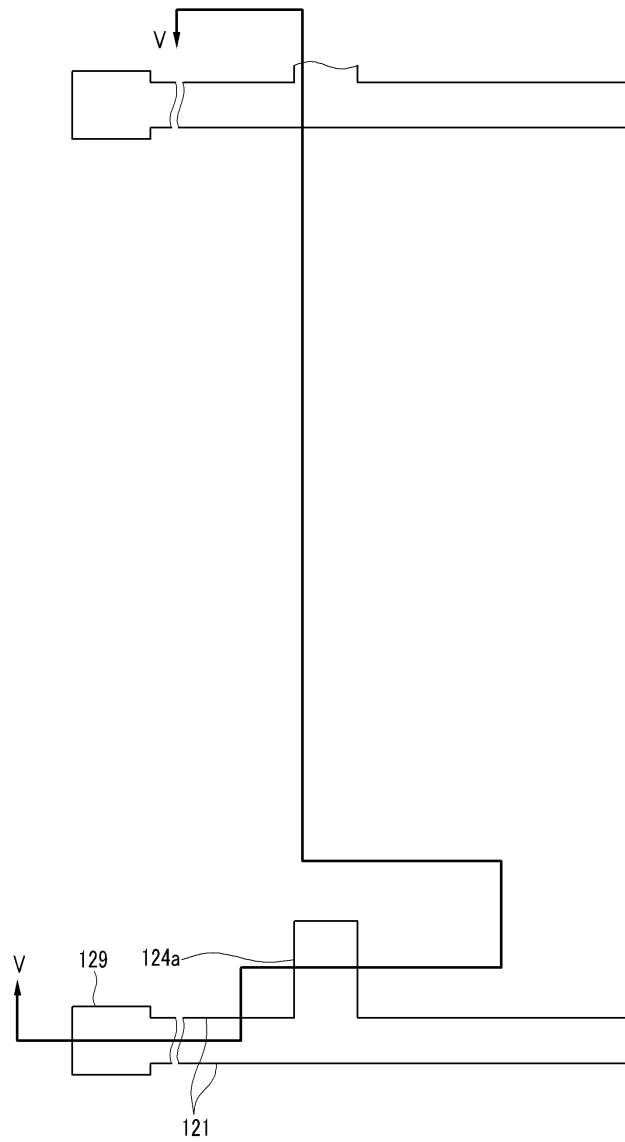
도면2



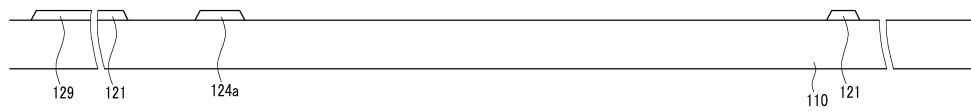
도면3



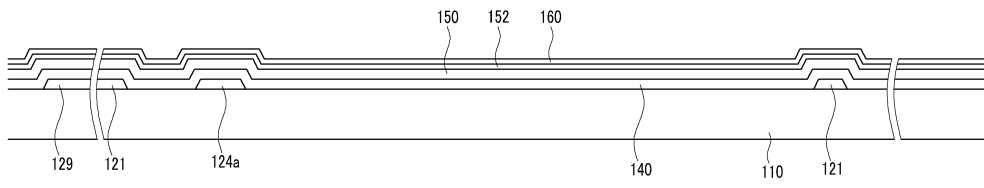
도면4



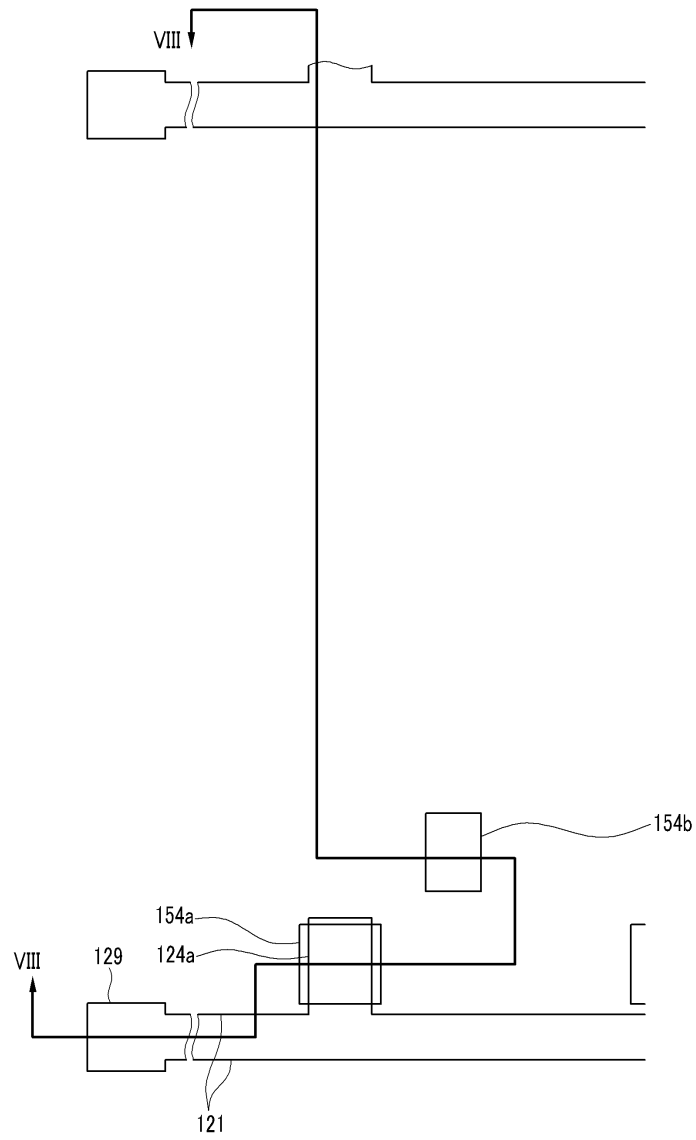
도면5



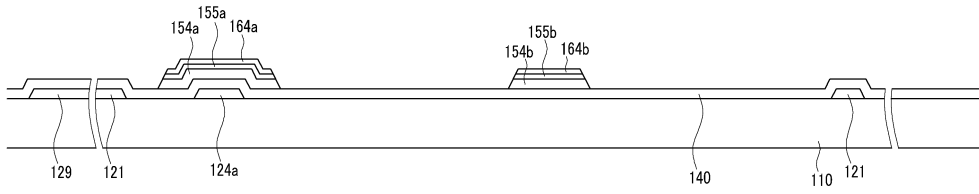
도면6



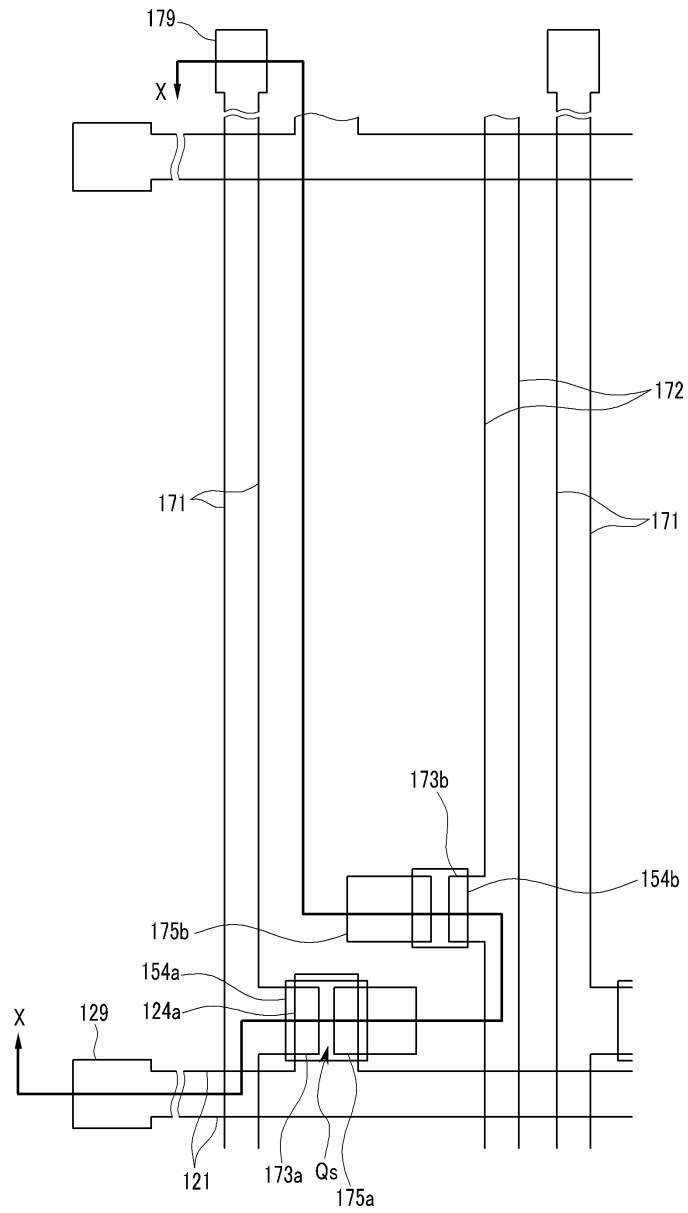
도면7



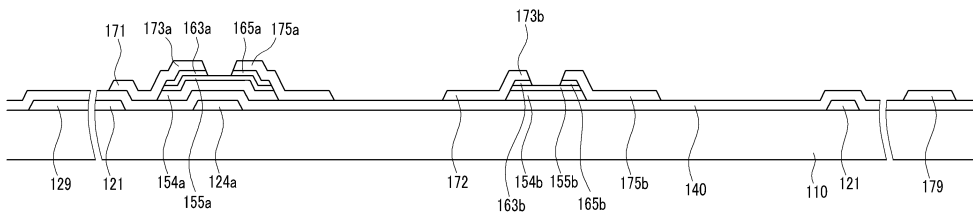
도면8



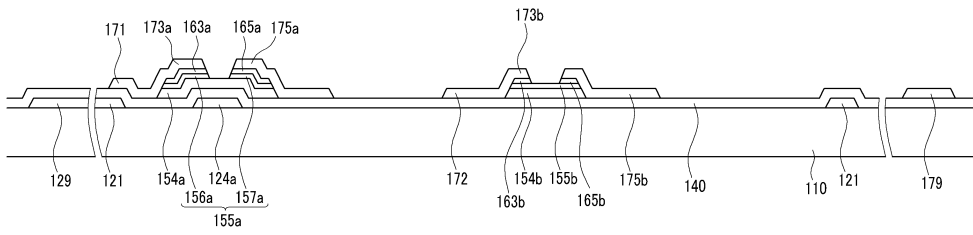
도면9



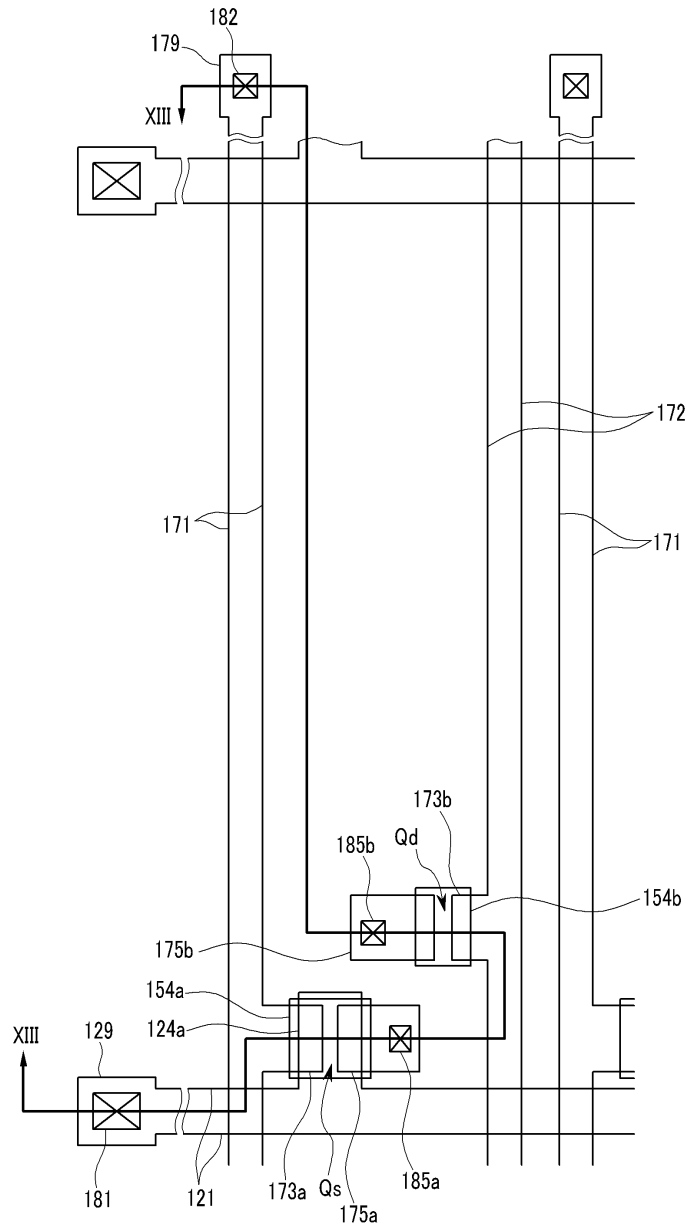
도면10



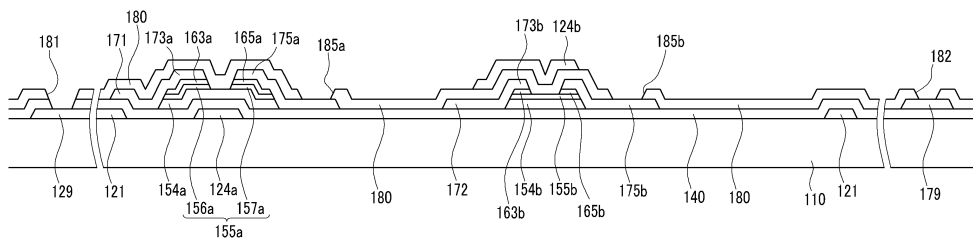
도면11



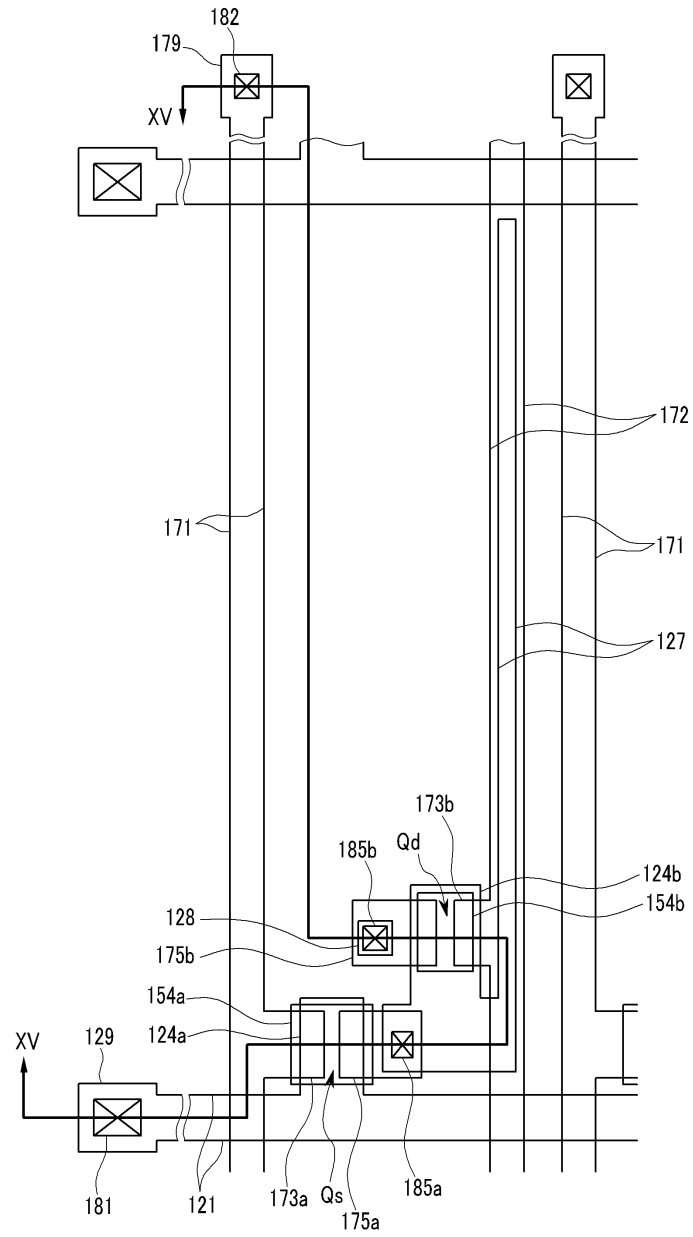
도면12



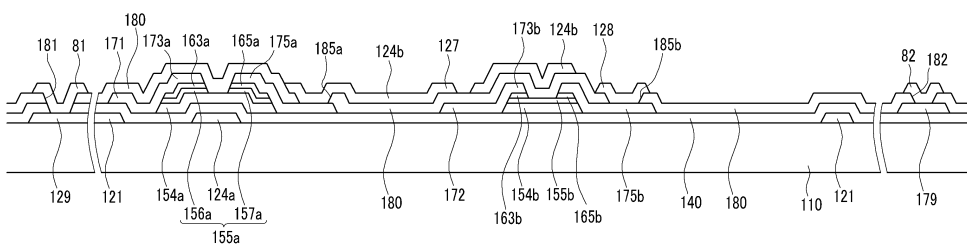
도면13



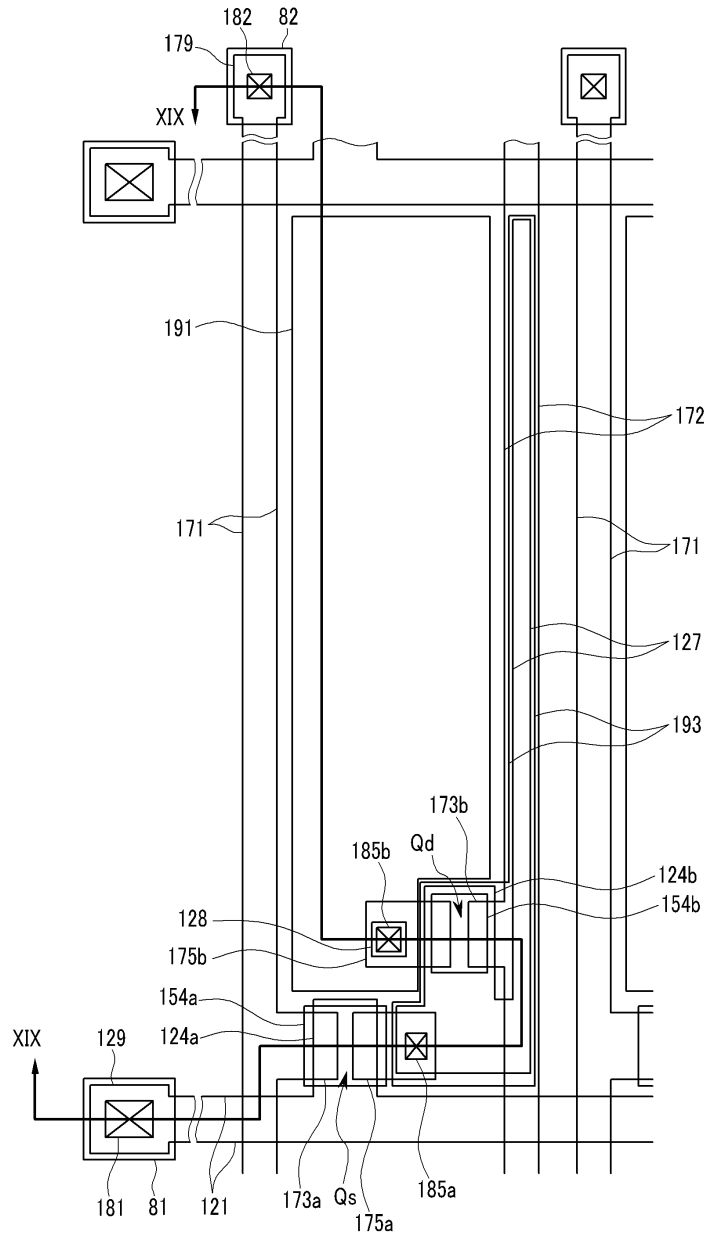
도면14



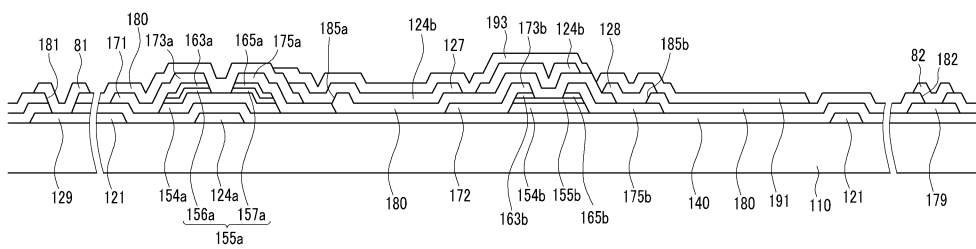
도면15



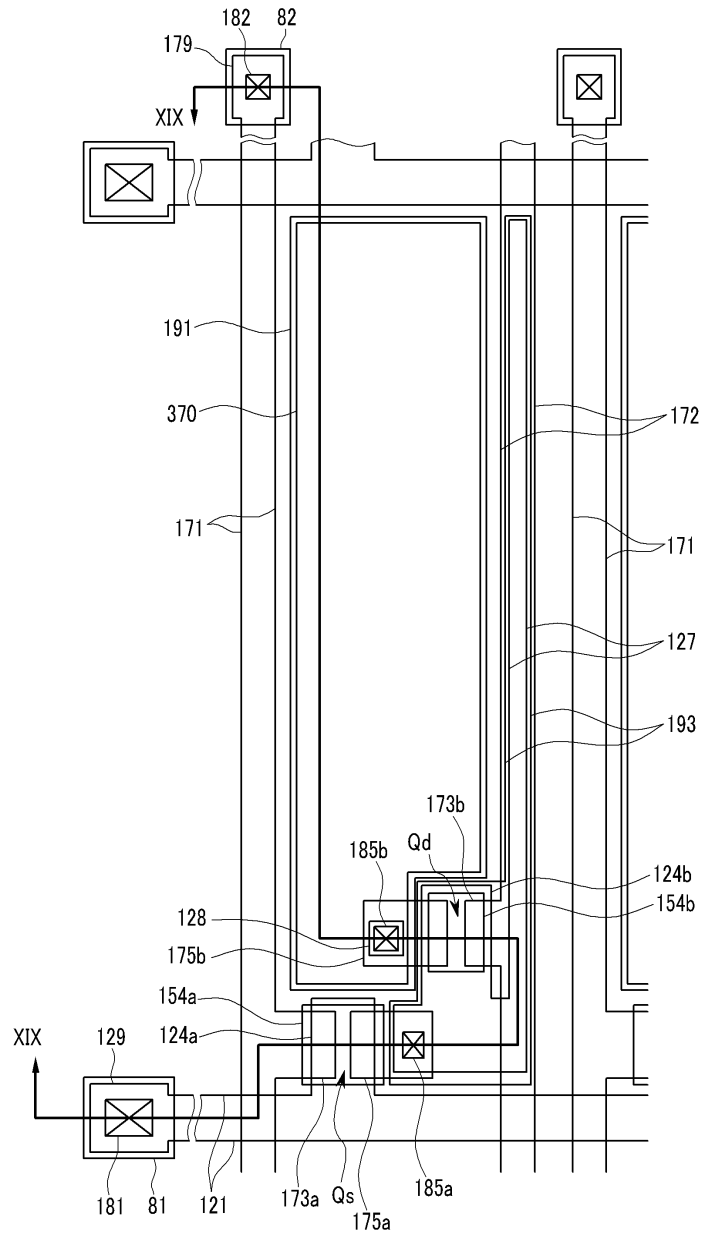
도면16



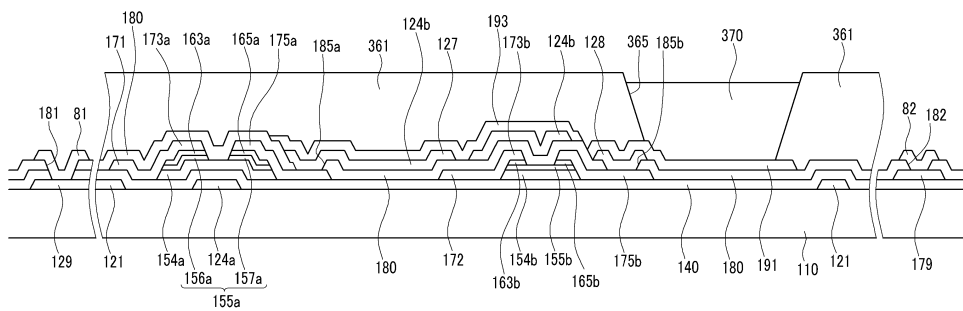
도면17



도면18



도면19



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	KR101209041B1	公开(公告)日	2012-12-06
申请号	KR1020050113407	申请日	2005-11-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HUH JONG MOO 허중무 PARK SEUNG KYU 박승규		
发明人	허중무 박승규		
IPC分类号	H05B33/10 H05B33/26		
CPC分类号	H01L27/1229 H01L27/124 H01L27/3244 H01L29/04 H01L29/78696		
其他公开文献	KR1020070055087A		
外部链接	Espacenet		

摘要(译)

在一个实施例中，提供了一种有机发光二极管 (OLED) 显示器。 OLED 显示器包括基板，形成在基板上的第一信号线，与第一信号线交叉的第二信号线，连接到第一和第二信号线的第一薄膜晶体管，连接到第一薄膜晶体的第二薄膜晶体管薄膜晶体管，连接到第二薄膜晶体管的第一电极，至少部分地与第一电极相对设置的第二电极，以及形成在第一电极和第二电极之间的发光构件，其中至少一个第一薄电极薄膜晶体管和第二薄膜晶体管包括具有不同结晶度的多个半导体层。

