



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월17일
 (11) 등록번호 10-1073565
 (24) 등록일자 2011년10월07일

(51) Int. Cl.
H01L 51/50 (2006.01) *G09G 3/20* (2006.01)
H01L 51/52 (2006.01)
 (21) 출원번호 10-2010-0011511
 (22) 출원일자 2010년02월08일
 심사청구일자 2010년02월08일
 (65) 공개번호 10-2011-0092068
 (43) 공개일자 2011년08월17일
 (56) 선행기술조사문헌
 KR1020050069313 A*
 KR1020050066630 A
 KR1020040007823 A
 KR100766949 B1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성모바일디스플레이주식회사
 경기도 용인시 기흥구 농서동 산24번지
 (72) 발명자
김은아
 경기도 용인시 기흥구 농서동 산 24번지
 (74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 25 항

심사관 : 박성용

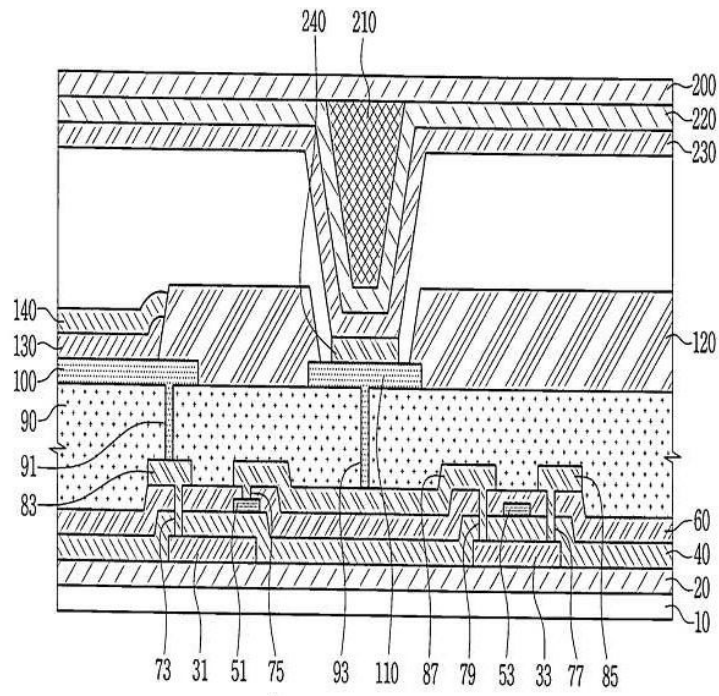
(54) 유기 발광 표시장치 및 이의 제조방법

(57) 요약

본 발명은 유기 발광 표시장치 및 이의 제조방법에 관한 것으로, 개구율을 향상시킬 수 있는 유기 발광 표시장치 및 이의 제조방법에 관한 것이다.

본 발명은 제1 및 제2 기판 사이에 다수의 화소들을 포함하며, 상기 각 화소는 2개 이상의 박막 트랜지스터들, 유기 발광 소자 및 캐패시터를 포함하는 유기 발광 표시장치에 있어서, 상기 박막 트랜지스터들 및 상기 유기 발광 소자는 상기 제1 기판 상에 형성되고, 상기 캐패시터는 상기 제2 기판 상에 형성되고, 상기 박막 트랜지스터들과 상기 캐패시터가 전기적으로 연결되는 유기 발광 표시장치 및 이의 제조방법을 제공한다.

대표도



특허청구의 범위

청구항 1

제1 기관 및 제2 기관 사이에 위치하는 다수의 화소들을 포함하며, 상기 다수의 화소들 각각은 2개 이상의 박막 트랜지스터들과 유기 발광 소자 및 캐패시터를 포함하는 유기 발광 표시장치에 있어서,

상기 제1 기관과 상기 제2 기관은 발광 영역을 포함하고,

상기 유기 발광 소자는 상기 제1 기관 상의 발광 영역에 형성되며, 상기 발광 영역 이외의 영역에서 상기 박막 트랜지스터들은 상기 제1 기관 상에 형성됨과 아울러 상기 캐패시터는 상기 제2 기관 상에 형성되고, 상기 박막 트랜지스터들과 상기 캐패시터가 전기적으로 연결되는 유기 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 기관 상에 상기 박막 트랜지스터들과 전기적으로 연결되는 캐패시터 제1 하부 전극이 형성되고,

상기 캐패시터 제1 하부 전극이 상기 캐패시터와 전기적으로 연결되는 유기 발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 캐패시터 제1 하부 전극은 상기 박막 트랜지스터들 중 어느 하나의 박막 트랜지스터의 게이트 전극 및 박막 트랜지스터들 중 다른 하나의 박막 트랜지스터의 드레인 전극과 전기적으로 연결되는 유기 발광 표시장치.

청구항 4

제 2 항에 있어서,

상기 캐패시터는 상기 제2 기관 상에 형성되는 스페이서;

상기 스페이서 상에 형성되는 캐패시터 상부 전극; 및

상기 캐패시터 상부 전극 상에 형성되는 유전막을 포함하는 유기 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 캐패시터 제1 하부 전극은 상기 유전막과 접촉되는 유기 발광 표시장치.

청구항 6

제 4 항에 있어서,

상기 캐패시터는 상기 유전막 상에 형성되는 캐패시터 제2 하부 전극을 더 포함하는 유기 발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 캐패시터 제2 하부 전극은 상기 캐패시터 제1 하부 전극과 접촉되는 유기 발광 표시장치.

청구항 8

제 2 항에 있어서,

상기 제1 기관 상에 각각 형성되는 제1 및 제2 반도체층;

상기 제1 및 제2 반도체층을 포함하는 상기 제1 기관 상에 형성되는 게이트 절연막;

상기 게이트 절연막 상에 상기 제1 및 제2 반도체층과 일부 중첩되도록 각각 형성되는 제1 및 제2 게이트 전극;

상기 제1 및 제2 게이트 전극을 포함하는 상기 제1 기관 상에 형성되는 층간 절연막;

상기 층간 절연막 상에 형성되는 제1 소스 및 드레인 전극, 제2 소스 전극 및 콘택홀에 의해 노출되는 상기 제1 게이트 전극과 전기적으로 연결되는 제2 드레인 전극;

상기 제1 소스 및 드레인 전극, 상기 제2 소스 및 드레인 전극을 포함하는 상기 제2 기관 상에 형성되며, 상기 제1 드레인 전극 및 상기 제2 드레인 전극을 노출시키는 제1 및 제2 비아홀을 포함하는 보호막을 포함하고,

상기 캐패시터 제1 하부 전극은 상기 보호막 상에 형성되는 유기 발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 제2 드레인 전극이 연장되어 상기 제1 게이트 전극과 전기적으로 연결되는 유기 발광 표시장치.

청구항 10

제 8 항에 있어서,

상기 보호막 상에 형성되는 화소 전극;

상기 보호막 상에 형성되며, 상기 화소 전극 및 상기 캐패시터 제1 하부 전극을 노출시키는 제1 및 제2 개구부를 포함하는 화소 정의막;

상기 노출되는 화소 전극 상에 형성되는 유기막; 및

상기 유기막 상에 형성되는 대향 전극을 포함하는 유기 발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 캐패시터 제1 하부 전극은 상기 제2 비아홀을 통해 상기 제1 게이트 전극 및 상기 제2 드레인 전극과 전기적으로 연결되는 유기 발광 표시장치.

청구항 12

제 10 항에 있어서,

상기 캐패시터 제1 하부 전극과 상기 화소 전극은 동일한 층에 형성되는 유기 발광 표시장치.

청구항 13

제 10 항에 있어서,

상기 캐패시터 제1 하부 전극과 상기 화소 전극은 동일한 재질로 형성되는 유기 발광 표시장치.

청구항 14

제1 기판 상의 발광 영역에 유기 발광 소자를 형성함과 아울러 상기 발광 영역 이외의 영역에 2개 이상의 박막 트랜지스터들을 형성하는 소자 기판 형성 단계;

제2 기판 중 상기 발광 영역 이외의 영역과 마주하는 부위에 캐패시터를 형성하는 캐패시터 기판 형성 단계; 및
상기 제1 기판과 상기 제2 기판을 합착하여 상기 2개 이상의 박막 트랜지스터들과 상기 캐패시터를 전기적으로 연결하는 제1 및 제2 기판 합착 단계를 포함하는 유기 발광 표시장치의 제조방법.

청구항 15

제 14 항에 있어서,

상기 소자 기판 형성 단계는 상기 제1 기판 상에 상기 박막 트랜지스터들과 전기적으로 연결되는 캐패시터 제1 하부 전극을 형성하는 단계를 포함하는 유기 발광 표시장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 캐패시터 제1 하부 전극이 상기 캐패시터와 전기적으로 연결되는 유기 발광 표시장치의 제조방법.

청구항 17

제 14 항에 있어서,

상기 캐패시터 기판 형성 단계는,

상기 제2 기판 상에 스페이서를 형성하는 단계;

상기 스페이서 상에 캐패시터 상부 전극을 형성하는 단계; 및

상기 캐패시터 상부 전극 상에 유전막을 형성하는 단계를 포함하는 유기 발광 표시장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 제1 및 제2 기판 합착 단계 이후, 상기 캐패시터 제1 하부 전극과 상기 유전막이 접촉되는 유기 발광 표시장치의 제조방법.

청구항 19

제 17 항에 있어서,

상기 유전막을 형성한 이후, 상기 유전막 상에 캐패시터 제2 하부 전극을 형성하는 단계를 더 포함하는 유기 발광 표시장치의 제조방법.

청구항 20

제 19 항에 있어서,

상기 제1 및 제2 기판 합착 단계 이후, 상기 캐패시터 제1 하부 전극과 상기 캐패시터 제2 하부 전극이 접촉되는 유기 발광 표시장치의 제조방법.

청구항 21

제 15 항에 있어서,

상기 캐패시터 제1 하부 전극을 형성하는 단계 이전에,

상기 제1 기판 상에 제1 및 제2 반도체층을 형성하는 단계;

상기 제1 및 제2 반도체층을 포함하는 상기 제1 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 제1 및 제2 반도체층과 일부 중첩되도록 제1 및 제2 게이트 전극을 형성하는 단계;

상기 제1 및 제2 게이트 전극을 포함하는 상기 제1 기판 상에 층간 절연막을 형성하는 단계;

상기 게이트 절연막 및 상기 층간 절연막의 일부를 식각하여 제1 내지 제5 콘택홀을 형성하는 단계;

상기 층간 절연막 상에 제1 소스 및 드레인 전극, 제2 소스 전극 및 상기 콘택홀들 중 하나에 의해 노출되는 상기 제1 게이트 전극과 전기적으로 연결되는 제2 드레인 전극을 형성하는 단계;

상기 제1 소스 및 드레인 전극과 상기 제2 소스 및 드레인 전극을 포함하는 상기 제1 기판 상에 보호막을 형성하는 단계; 및

상기 보호막의 일부를 식각하여 제1 및 제2 비아홀을 형성하는 단계를 더 포함하고,

상기 보호막 상에 상기 캐패시터 제1 하부 전극이 형성되는 유기 발광 표시장치의 제조방법.

청구항 22

제 21 항에 있어서,

상기 제2 드레인 전극이 연장되어 상기 제1 게이트 전극과 전기적으로 연결되는 유기 발광 표시장치의 제조방법.

청구항 23

제 21 항에 있어서,

상기 보호막 상에 화소 전극을 형성하는 단계;

상기 보호막 상에 상기 화소 전극과 상기 캐패시터 제1 하부 전극을 노출시키는 제1 및 제2 개구부를 포함하는 화소 정의막을 형성하는 단계;

상기 노출되는 화소 전극 상에 유기막을 형성하는 단계; 및

상기 유기막 상에 대향 전극을 형성하는 단계를 더 포함하는 유기 발광 표시장치의 제조방법.

청구항 24

제 23 항에 있어서,

상기 화소 전극과 상기 캐패시터 제1 하부 전극은 동일한 공정에서 형성되는 유기 발광 표시장치의 제조방법.

청구항 25

제 23 항에 있어서,

상기 화소 전극과 상기 캐패시터 제1 하부 전극은 동일한 재질로 형성되는 유기 발광 표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시장치 및 이의 제조방법에 관한 것으로, 개구율을 향상시킬 수 있는 유기 발광 표시장치 및 이의 제조방법에 관한 것이다.

배경기술

[0002] 평판표시장치(Flat Panel Display Device) 중에서 유기 발광 표시장치(Organic Light Emitting Display Device)는 유기 화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시장치이다.

[0003] 유기 발광 표시장치는 LCD에서 사용되는 백라이트가 필요하지 않아 경량박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.

[0004] 유기 발광 표시장치는 애노드와 캐소드 사이에 유기 발광층을 포함하고 있어, 애노드로부터 공급받는 정공과 캐소드로부터 공급받는 전자가 유기 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 다시 여기자가 바닥 상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.

[0005] 종래의 유기 발광 표시장치는 기판 상에 박막 트랜지스터들 및 박막 트랜지스터들과 전기적으로 연결되는 유기 발광 소자를 형성한 다음, 기판과 봉지 기판을 합착하여 제조되었다.

[0006] 상기와 같이 제조된 유기 발광 표시장치는 전면 발광형(Top-Emission) 또는 배면 발광형(Bottom Emission) 중 어느 하나로 동작하며, 배면 발광형은 전면 발광형에 비해 소자가 안정적이거나, 개구율이 낮은 문제점이 있다.

[0007] 이는 배면 발광형에서는 트랜지스터, 캐패시터 및 배선을 제외한 영역을 발광 영역으로 사용하는데, 이 중 캐패시터는 일정 용량 이상이 되어야 한 프레임의 신호 데이터를 유지할 수 있고, 보상이 되므로 큰 면적을 차지하는 캐패시터의 크기를 줄이는 것이 어려웠다.

[0008] 또한, 캐패시터를 얇게 하는 경우, 쇼트 불량률 및 공정 산포가 증가하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0009] 상기와 같은 종래 기술의 문제점을 해결하기 위한 본 발명은 개구율을 향상시킬 수 있는 유기 발광 표시장치를 제공하는 것을 목적으로 한다.

[0010] 또한, 본 발명은 개구율을 향상시킬 수 있는 유기 발광 표시장치의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0011] 상기와 같은 목적을 달성하기 위한 본 발명은 제1 및 제2 기판 사이에 다수의 화소들을 포함하며, 상기 각 화소는 2개 이상의 박막 트랜지스터들, 유기 발광 소자 및 캐패시터를 포함하는 유기 발광 표시장치에 있어서, 상기

박막 트랜지스터들 및 상기 유기 발광 소자는 상기 제1 기판 상에 형성되고, 상기 캐패시터는 상기 제2 기판 상에 형성되고, 상기 박막 트랜지스터들과 상기 캐패시터가 전기적으로 연결되는 유기 발광 표시장치를 제공한다.

- [0012] 상기 제1 기판 상에 상기 박막 트랜지스터들과 전기적으로 연결되는 캐패시터 제1 하부 전극이 형성되고, 상기 캐패시터 제1 하부 전극이 상기 캐패시터와 전기적으로 연결되는 것을 특징으로 한다.
- [0013] 상기 캐패시터는 상기 제2 기판 상에 형성되는 스페이서, 상기 스페이서 상에 형성되는 캐패시터 상부 전극 및 상기 캐패시터 상부 전극 상에 형성되는 유전막을 포함하는 것을 특징으로 한다.
- [0014] 상기 캐패시터는 상기 유전막 상에 형성되는 캐패시터 제2 하부 전극을 더 포함하는 것을 특징으로 한다.
- [0015] 또한, 본 발명은 제1 기판 상에 2개 이상의 박막 트랜지스터들 및 유기 발광 소자를 형성하는 소자 기판 형성 단계, 제2 기판 상에 캐패시터를 형성하는 캐패시터 기판 형성 단계 및 상기 제1 기판과 상기 제2 기판을 합착하여, 상기 2개 이상의 박막 트랜지스터들과 상기 캐패시터를 전기적으로 연결하는 제1 및 제2 기판 합착 단계를 포함하는 유기 발광 표시장치의 제조방법을 제공한다.

발명의 효과

- [0016] 따라서, 캐패시터를 박막 트랜지스터들 및 유기 발광 소자가 형성되는 기판에 형성하지 않음으로써, 종래 캐패시터를 형성하던 영역까지 발광 영역으로 형성할 수 있으므로, 개구율을 향상시킬 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시 예에 따른 유기 발광 표시장치의 일 예를 개략적으로 나타낸 사시도이다.
- 도 2는 도 1의 단위 화소 영역을 확대하여 나타낸 회로도이다.
- 도 3은 도 1의 단위 화소 영역의 적층 구조를 나타낸 단면도이다.
- 도 4a 내지 8b는 제1 기판에 박막 트랜지스터들과 유기 발광 소자를 형성하는 방법을 설명하기 위한 평면도 및 단면도이다.
- 도 9a 내지 10b는 제2 기판에 캐패시터를 형성하는 방법을 설명하기 위한 평면도 및 단면도이다.
- 도 11은 박막 트랜지스터들과 캐패시터의 연결 관계를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 본 발명에 따른 유기 발광 표시장치 및 이의 제조 방법을 첨부된 도면을 참조하여 설명하기로 하며, 이하에서 개시되는 유기 발광 표시장치의 구조는 본 발명을 설명하기 위한 실시예에 불과하며, 본 발명이 본 실시예에 한정되는 것은 아니며, 유기 발광 표시장치의 구조는 다양하게 변경될 수 있다.
- [0019] 도 1은 본 발명의 실시 예에 따른 유기 발광 표시장치의 일 예를 개략적으로 나타낸 사시도이고, 도 2는 도 1의 단위 화소 영역을 확대하여 나타낸 회로도이며, 도 3은 도 1의 단위 화소 영역의 적층 구조를 나타낸 단면도이다.
- [0020] 도 1 내지 3을 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시장치는 서로 대면하는 제1 및 제2 기판(10, 200) 사이에 매트릭스 형태로 배열되는 다수의 신호 라인들(D1-Dm, S1-Sn, ELVDD, ELVSS)과 상기 신호 라인들(D1-Dm, S1-Sn, ELVDD, ELVSS)의 교차 영역에 형성되는 화소들(P11-Pnm)로 구성된다.
- [0021] 상기 신호 라인들은 데이터 신호를 인가하는 데이터 라인들(D1-Dm), 유기 발광 표시장치가 구동하는 동안 항상 전원이 인가되는 전원인가 라인들(ELVDD, ELVSS) 및 각 화소들(P11-Pnm)을 선택하는 스캔 신호가 인가되는 게이트 라인들(S1-Sn)로 구성된다.
- [0022] 단위 화소(P)는 두 개의 박막 트랜지스터(Thin Film Transistor : TFT), 캐패시터(Cst) 및 유기 발광 소자(OLED)를 포함하며, 두 개의 박막 트랜지스터는 역할에 따라 하나는 스위칭 TFT(Switching TFT : ST)이고, 다른

하나는 구동 TFT(Driving TFT : DT)로써 정의된다.

- [0023] 상기 스위칭 TFT(ST)는 상기 게이트 라인(Sn)으로부터의 스캔 신호에 응답하여 턴 온 또는 턴 오프되며, 턴 온 이 되면, 데이터 라인(Dm)으로부터의 데이터 신호를 전달한다. 상기 캐패시터(Cst)는 제 1 전원 라인(ELVDD)과 연결되는 상부 전극 및 스위칭 TFT(ST)의 드레인 전극과 구동 TFT의 게이트 전극과 연결되는 하부 전극을 포함하고, 상기 스위칭 TFT(ST)를 통해 수신되는 데이터 신호를 저장하여 상기 구동 TFT(DT)의 게이트-소스 전압(Vgs)을 일정 시간 동안 유지하는 역할을 한다.
- [0024] 상기 구동 TFT(DT)의 게이트 전극에는 상기 스위칭 TFT(ST)의 드레인 전극이 연결되며, 상기 구동 TFT(DT)의 소스 전극에는 제 1 전원 라인(ELVDD)이 연결되고, 드레인 전극에는 상기 유기 발광 소자(OLED)의 애노드 전극이 연결된다.
- [0025] 따라서, 상기 구동 TFT(DT)는 상기 스위칭 TFT(ST)를 통하여 전달된 데이터 신호에 상응하는 구동 전류를 발생시켜 상기 유기 발광 소자(OLED)로 상기 구동 전류를 출력한다.
- [0026] 상기 유기 발광 소자(OLED)는 애노드, 캐소드 및 애노드와 캐소드 사이에 위치하는 발광층을 포함하며, 상기 애노드(anode)는 구동 TFT(DT)의 드레인 전극과 연결되고, 상기 캐소드(cathode)는 제 2 전원 라인(ELVSS)에 연결되어, 상기 구동 전류에 따라 발광 동작을 수행한다.
- [0027] 이때, 상기 박막 트랜지스터들(DT, ST) 및 상기 유기 발광 소자(OLED)는 제1 기판(10)에 형성되고, 상기 캐패시터(Cst)는 제2 기판(200)에 형성된다.
- [0028] 본 실시예에 따르면, 유기 발광 표시장치를 제조하는 방법은 제1 기판(10)에 제1 및 제2 박막 트랜지스터들과 유기 발광 소자를 형성하는 소자 기판 형성 단계, 제2 기판(200)에 캐패시터를 형성하는 캐패시터 기판 형성 단계 및 상기 제1 기판(10)과 상기 제2 기판(200)을 합착하여, 상기 제1 및 제2 박막 트랜지스터와 상기 캐패시터를 전기적으로 연결하는 제1 및 제2 기판 합착 단계를 포함한다.
- [0029] 우선, 도 4a 내지 8b를 참조하여, 제1 기판에 제1 및 제2 박막 트랜지스터들과 유기 발광 소자를 형성하는 방법을 설명한다. 이때, 'a도'는 각 공정이 진행된 후의 평면도이고, 'b도'는 'a도'의 A-A', B-B' 및 C-C' 선을 따라 절취한 단면도이다. 다만, 'a도'에서 제1 기판 전면에 형성되는 막이나, 형성된 후 패터닝되는 막은 편의를 위하여 도시되지 않을 수도 있으나, 이는 'b도'를 참조하면 충분히 이해할 수 있을 것이다. 또한, 이하 설명에서 사용되는 '트랜지스터 영역', '캐패시터 영역', '발광 영역'은 그 위치가 정해져 있는 것이 아니며, 트랜지스터, 캐패시터, 유기 발광 소자가 형성되는 임의의 위치를 정의한 것이다.
- [0030] 도 4a 및 4b를 참조하면, 제1 기판(10) 상의 전면에 버퍼층(20)을 형성하고, 상기 버퍼층(20) 상에 비정질 실리콘층(미도시)을 형성한다. 이때, 상기 제1 기판(10)은 유리, 석영, 사파이어 등의 투명 절연기판일 수 있으며, 상기 버퍼층(20)은 실리콘 산화물 또는 실리콘 질화물을 PECVD 방법으로 증착하여 형성될 수 있다.
- [0031] 상기 버퍼층(20)은 후속 공정인 상기 비정질 실리콘층(미도시)을 결정화하는 과정에서 상기 제1 기판(10)으로부터 확산되는 불순물에 의해 상기 비정질 실리콘층(미도시)이 오염되는 것을 방지한다.
- [0032] 이후, 상기 비정질 실리콘층(미도시)을 통상의 결정화 방법인 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal Induced Crystallization) 또는 MILC(Metal Induced Lateral Crystallization) 등의 방법을 사용하여 결정화하고, 식각 공정으로 패터닝하여 단위 화소 내의 트랜지스터 영역에 제1 및 제2 반도체층(31, 33)을 각각 형성한다. 경우에 따라서, 본 결정화 공정은 생략되어, 상기 제1 및 제2 반도체층(31, 33)은 비정질 실리콘층으로 형성될 수 있으며, 하나의 반도체층은 결정화되고, 다른 하나의 반도체층은 결정화가 이루어지지 않을 수도 있다.
- [0033] 그리고 나서, 상기 제1 및 제2 반도체층(31, 33)을 포함하는 상기 제1 기판(10) 전면에 게이트 절연막(40)을 형성한다. 상기 게이트 절연막(40)은 실리콘 산화물, 실리콘 질화물 또는 그 적층 구조로 형성될 수 있다.
- [0034] 다음으로, 도 5a 및 5b를 참조하면, 상기 게이트 절연막(40) 상에 게이트 전극 물질(미도시)을 도포한 후, 식각 공정으로 패터닝하여 제1 및 제2 게이트 전극(51, 53)을 트랜지스터 영역에 형성한다.
- [0035] 이때, 스캔 신호가 입력되는 스캔 라인(50)도 함께 형성되며, 상기 제2 게이트 전극(53)은 스캔 라인(50)으로부터 연장되어 형성되어, 스캔 라인(50)에 입력되는 스캔 신호는 상기 제2 게이트 전극(53)에 입력된다.
- [0036] 상기 제1 및 제2 게이트 전극(51, 53)은 상기 제1 및 제2 반도체층(31, 33)과 일부 중첩되며, 상기 제1 및 제2 게이트 전극(51, 53)과 중첩되는 제1 및 제2 반도체층(31, 33)의 영역은 채널 영역으로 정의된다.

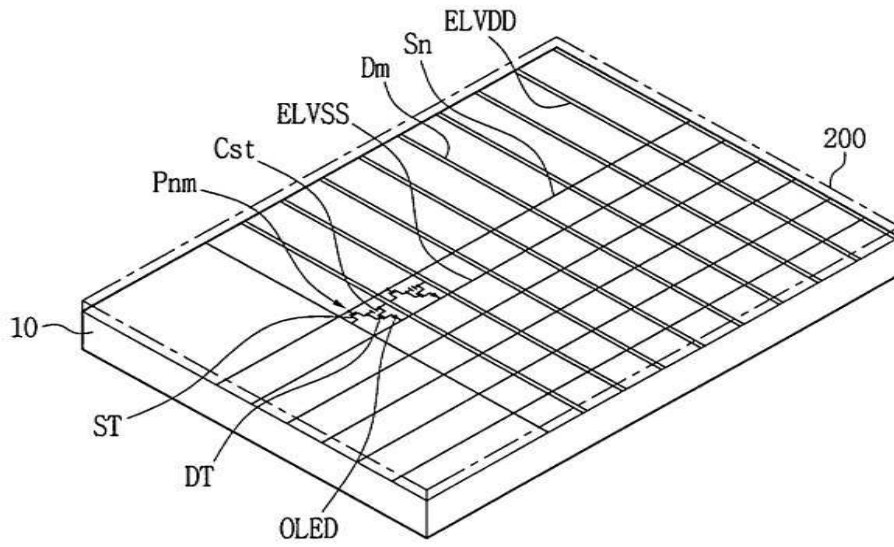
- [0037] 상기 제1 및 제2 게이트 전극(51, 53)은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층으로 형성될 수 있다.
- [0038] 다음으로, 도 6a 및 6b를 참조하면, 상기 제1 및 제2 게이트 전극(51, 53)을 포함하는 상기 제1 기판(10) 상부에 층간 절연막(60)을 형성하며, 상기 층간 절연막(60)은 실리콘 질화막 또는 실리콘 산화막으로 형성될 수 있다.
- [0039] 이후, 게이트 절연막(40) 및 층간 절연막(60)의 일부를 식각하여, 제1 내지 제5 콘택홀들(71, 73, 75, 77, 79)을 형성한다.
- [0040] 상기 제1 및 제2 콘택홀(71, 73)에 의해 상기 제1 반도체층(31)의 제1 소스 및 드레인 영역이 노출되고, 상기 제3 콘택홀(75)에 의해 상기 제1 게이트 전극(51)이 노출되며, 상기 제4 및 제5 콘택홀(77, 79)에 의해 상기 제2 반도체층(33)의 제2 소스 및 드레인 영역이 노출된다.
- [0041] 이후, 상기 층간 절연막(60) 상에 금속막(미도시)을 형성한 후, 식각 공정으로 패터닝하여 제1 소스 및 드레인 전극(81, 83), 제2 소스 및 드레인 전극(85, 87)을 형성한다.
- [0042] 상기 제1 소스 및 드레인 전극(81, 83)은 제1 및 제2 콘택홀(71, 73)을 통하여 상기 제1 반도체층(31)의 제1 소스 및 드레인 영역과 접속되고, 상기 제2 소스 및 드레인 전극(85, 87)은 제4 및 제5 콘택홀(77, 79)을 통하여 상기 제2 반도체층(33)의 제2 소스 및 드레인 영역과 접속된다.
- [0043] 이때, 상기 제2 드레인 전극(87)은 연장되어, 상기 제3 콘택홀(75)을 통하여 노출되는 상기 제1 게이트 전극(51)과 전기적으로 연결된다.
- [0044] 이때, 데이터 신호가 인가되는 데이터 라인(80a) 및 전원 전압이 인가되는 전원 전압 라인(80b)도 함께 형성되며, 상기 제2 소스 전극(85)은 상기 데이터 라인(80a)이 연장되어 형성되며, 상기 제1 소스 전극(81)은 상기 전원 전압 라인(80b)이 연장되어 형성된다. 따라서, 상기 제1 소스 전극(81)에는 전원 전압이 인가되고, 상기 제2 소스 전극(85)에는 데이터 신호가 인가된다.
- [0045] 상기 금속막(미도시)은 Mo, W, MoW, AlNd, Ti, Cu, Cu 합금, Ag 및 Ag 합금 등으로 이루어진 군에서 선택되는 하나의 물질로 단일층을 형성하거나, 배선 저항을 줄이기 위하여 저저항물질인 Mo, Cu, Al 또는 Ag의 2층 구조 또는 그 이상의 다중막 구조로 이루어진 군에서 선택되는 하나의 적층 구조를 형성할 수 있다.
- [0046] 다음으로, 도 7a 및 7b를 참조하면, 상기 제1 기판(10) 전면에 일정 두께의 보호막(90)을 형성하며, 상기 보호막(90)은 유기막, 무기막의 단일막 또는 무기막과 유기막의 적층 구조로 형성될 수 있다.
- [0047] 이후, 식각 공정으로 상기 보호막(90)의 일부를 식각하여, 제1 및 제2 비아홀들(91, 93)을 형성한다. 이때, 상기 제1 비아홀(91)에 의해 상기 제1 드레인 전극(83)의 일부가 노출되고, 상기 제2 비아홀(93)에 의해 상기 제2 드레인 전극(87)의 일부가 노출된다.
- [0048] 이후, 상기 복수의 비아홀들(91, 93)을 포함하는 상기 보호막(90) 상에 금속막(미도시)을 형성한 후, 식각 공정으로 패터닝하여, 발광 영역에 화소 전극(100)을, 캐패시터 영역에 캐패시터 제1 하부 전극(110)을 형성한다.
- [0049] 상기 화소 전극(100)은 상기 제1 비아홀(91)을 통해 제1 드레인 전극(83)과 접속되고, 상기 캐패시터 제1 하부 전극(110)은 상기 제2 비아홀(91)을 통해 상기 제2 드레인 전극(87) 및 상기 제1 게이트 전극(51)과 전기적으로 연결된다.
- [0050] 이때, 상기 화소 전극(100)은 배면 발광형의 경우에는 투명 전극으로 형성될 수 있으며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나로 형성될 수 있다.
- [0051] 한편, 상기 화소 전극(100)은 전면 발광형의 경우에는 반사형 전극으로 형성될 수 있으며, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 반사막을 형성한 후, 그 위에 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질로 투명전극을 형성하여 적층할 수 있으며, 또한, 상기 반사막의 하부에 투명 전극이 더 형성될 수 있다. 다만, 본 발명에서 상기 화소 전극의 구성을 한정하는 것은 아니다.
- [0052] 상기 캐패시터 제1 하부 전극(110)은 후술할 제2 기판(200)에 형성되는 캐패시터와 접속되어 제1 및 제2 박막 트랜지스터들을 캐패시터와 전기적으로 연결시키는 부위로서, 그 위치가 특별히 한정되는 것은 아니나, 발광 영

역의 범위를 줄이지 않도록 위치하는 것이 바람직하다.

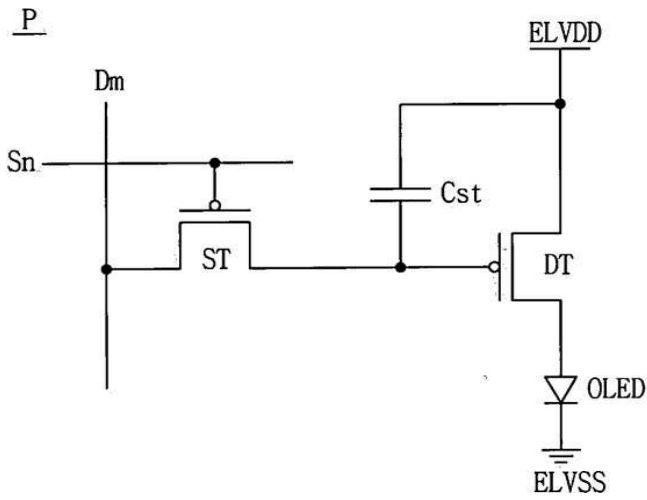
- [0053] 한편, 상기 캐패시터 제1 하부 전극(110)은 상기 화소 전극(100)과 동일한 공정에서 동일한 재질로 형성하는 것이 재료 및 공정 측면에서 유리하나, 본 발명에서 상기 캐패시터 제1 하부 전극의 재질 및 공정을 한정하는 것은 아니다.
- [0054] 다음으로, 도 8a 및 8b를 참조하면, 화소 전극(100) 및 캐패시터 제1 하부 전극(110)의 일부를 노출시키도록 제1 및 제2 개구부(120a, 120b)을 포함하는 화소 정의막(120)을 상기 보호막(90) 상에 형성한다.
- [0055] 상기 화소 정의막(120)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), SOG(spin on glass) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택되는 1종의 물질로 형성될 수 있다.
- [0056] 이후, 상기 제1 개구부(120a) 상에 유기막(130)을 형성하고, 상기 유기막(130) 상에 대향 전극(140)을 형성한다.
- [0057] 상기 유기막(130)은 저분자 증착법 또는 열전사법에 의해 형성될 수 있으며, 유기 발광층과 전자 주입층, 전자 수송층, 정공 주입층, 정공 수송층, 및 정공 억제층으로부터 선택되는 적어도 하나 이상을 더 포함하여 형성될 수 있다.
- [0058] 상기 대향 전극(140)은 배면 발광형인 경우, 반사형으로 구성되며, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 이들의 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질로 형성할 수 있다.
- [0059] 한편, 상기 대향 전극(140)은 전면 발광형인 경우, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 하나의 물질을 5 내지 30nm의 두께로 얇게 형성하여 구성할 수 있으며, 일 함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질을 이용하여 막을 형성한 후, 저저항 특성을 갖는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등을 이용한 막을 추가적으로 적층하여 형성할 수 있다.
- [0060] 이상에서는 제1 기판(10) 상에 박막 트랜지스터들과 유기 발광 소자를 형성하는 방법을 설명하였고, 이하에서는 제2 기판(200) 상에 캐패시터를 형성하는 방법을 설명한다.
- [0061] 먼저, 도 9a 및 9b를 참조하면, 상기 캐패시터 제1 하부 전극(110)이 형성된 상기 제1 기판(10)의 캐패시터 영역과 대응되도록 상기 제2 기판(200)의 캐패시터 영역에 스페이서(210)를 형성한다. 이때, 상기 스페이서(210)의 높이가 너무 크면, 상기 제1 기판(10)과 제2 기판(200) 사이의 공간이 넓어져, 유기 발광 표시장치의 전체 두께가 증가하게 되므로, 공정 범위 내에서 적절하게 선택된다. 다만, 상기 제2 기판(200)의 캐패시터 영역의 위치가 한정되는 것은 아니며, 캐패시터가 형성되는 임의의 영역을 의미한다.
- [0062] 한편, 상기 스페이서(210)의 끝단은 평평하도록 형성되는 것이 후속 공정에서 캐패시터를 형성하는 데 용이하다. 다만, 상기 스페이서(210)는 캐패시터의 기능과 무관하며, 캐패시터와 박막 트랜지스터의 전기적 접촉을 용이하게 하기 위한 것으로, 상기 스페이서(210)는 그 기능이 필요하지 않는 경우, 형성되지 않을 수도 있다.
- [0063] 다음으로, 도 10a 및 10b를 참조하면, 상기 스페이서(210)가 형성된 제2 기판(200)에 캐패시터 상부 전극(220)을 형성하며, 상기 캐패시터 상부 전극(220)은 전원 전압이 인가된다. 이때, 상기 캐패시터 상부 전극(220)은 제2 기판(200) 전면에 금속층을 형성하거나, 전면에 형성된 금속층의 일부를 패터닝하여 형성될 수 있다. 배면 발광의 경우에는, 상기 캐패시터 상부 전극(220)이 상기 제2 기판(200)의 전면에 형성되거나 패터닝되어 형성되어도 무방하나, 전면 발광의 경우에는, 발광 영역의 범위를 줄이기 않도록 패터닝되어 형성되는 것이 바람직하다.
- [0064] 이후, 상기 캐패시터 상부 전극(220) 상에 캐패시터의 유전막(230)을 형성하며, 상기 유전막(230)은 실리콘 산화막 및 실리콘 질화막으로부터 선택되는 절연막 또는 고유전율의 무기 절연막으로 형성될 수 있다.
- [0065] 상기 유전막(230)은 상기 캐패시터 상부 전극(220) 전면에 형성될 수 있고, 캐패시터 영역의 상기 캐패시터 상부 전극(220) 상에 형성될 수 있다.
- [0066] 이후, 상기 유전막(230) 상의 캐패시터 영역에 캐패시터 제2 하부 전극(240)이 형성되며, 상기 캐패시터 제2 하부 전극(240)은 상기 유전막(230)이 형성된 제2 기판(200) 전면에 금속막을 증착한 후, 패터닝함으로써 형성될 수 있다.

도면

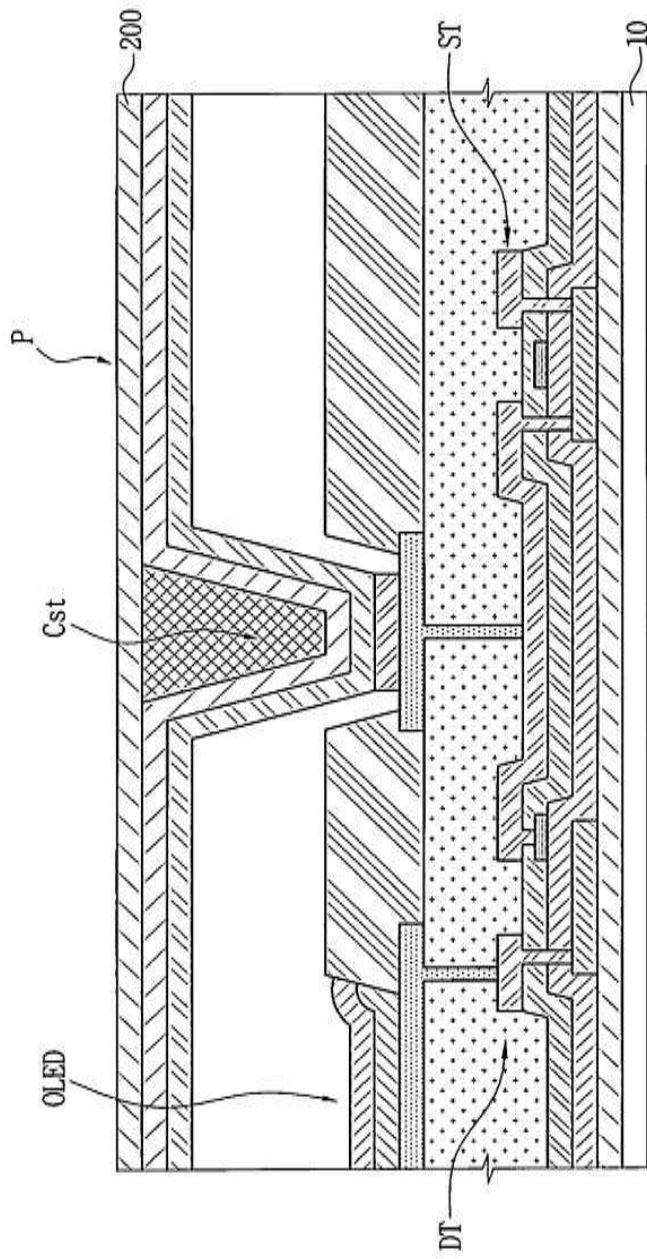
도면1



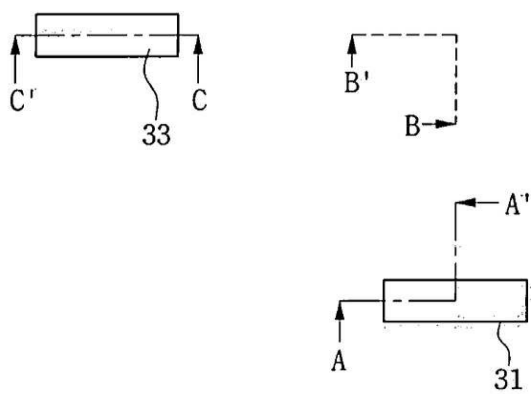
도면2



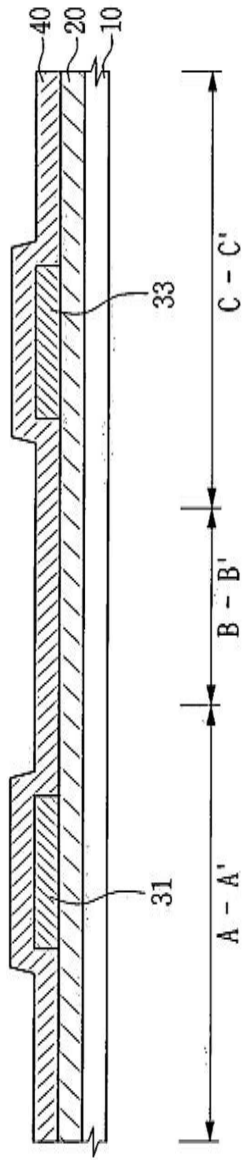
도면3



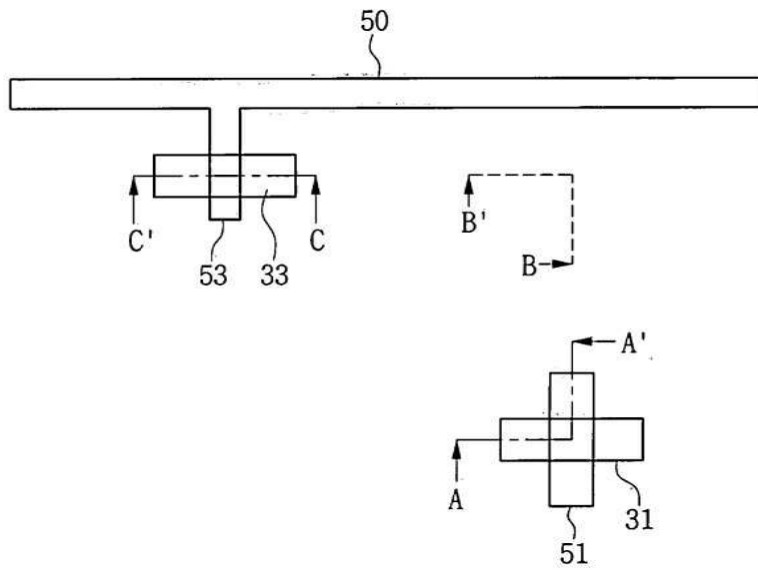
도면4a



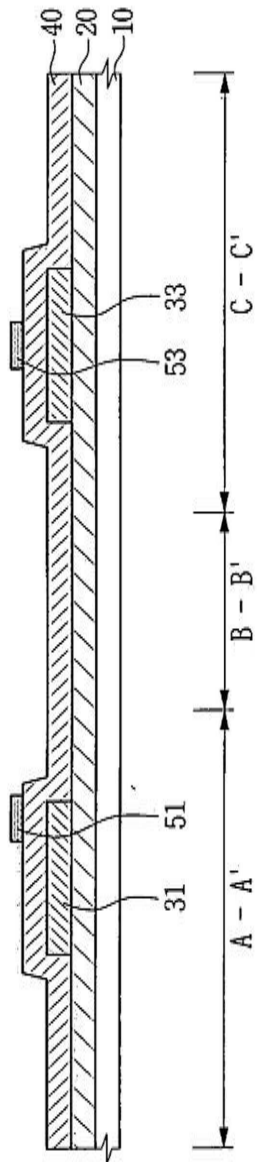
도면4b



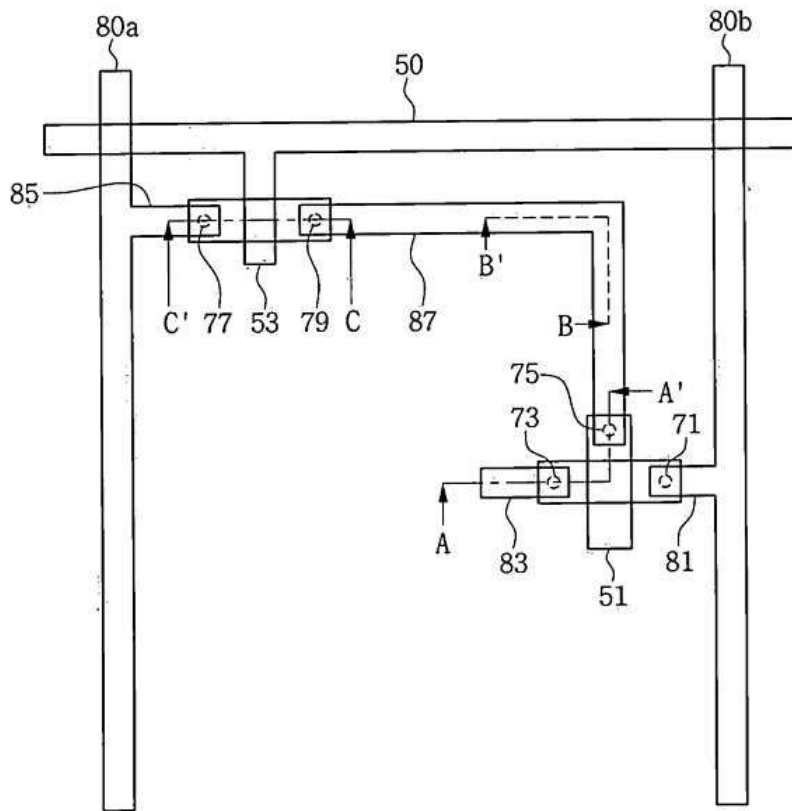
도면5a



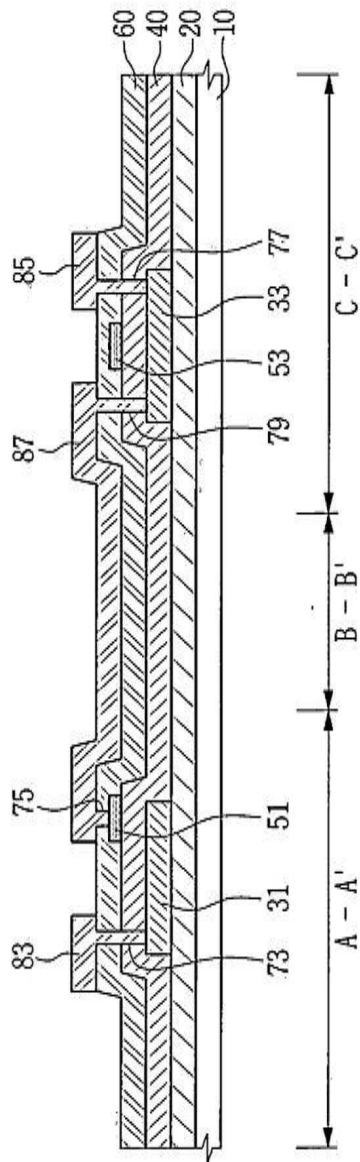
도면5b



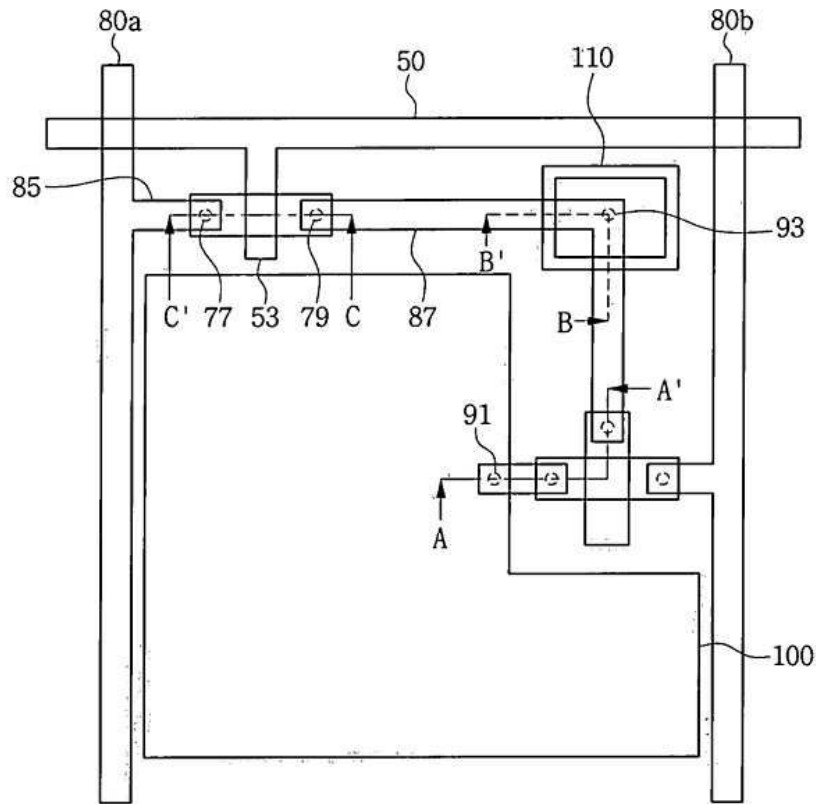
도면6a



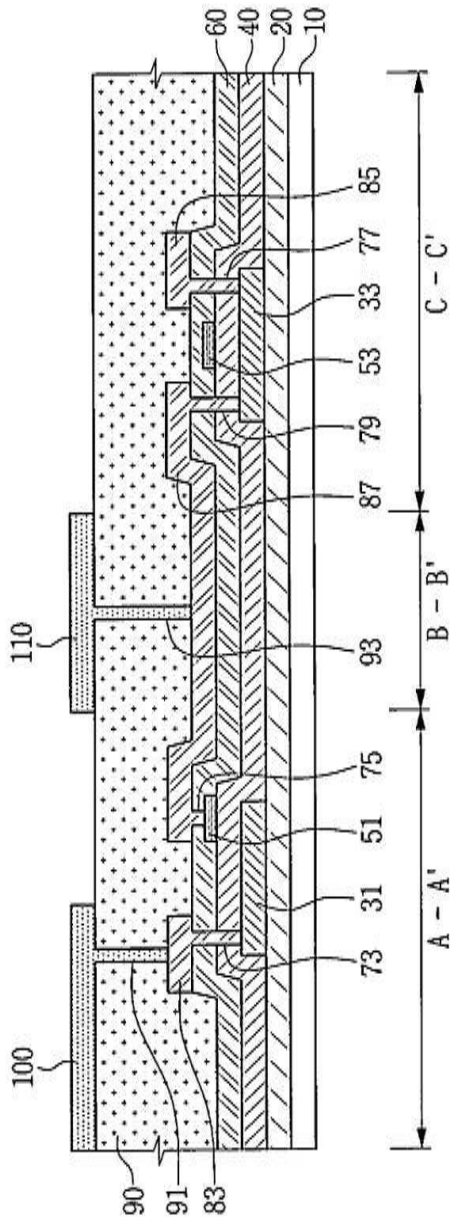
도면6b



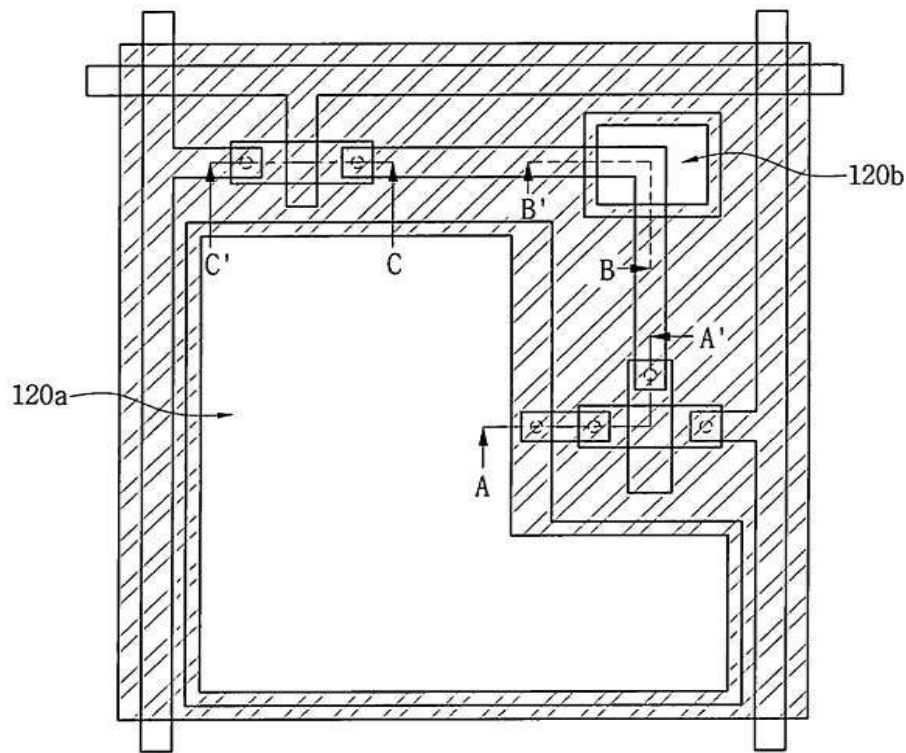
도면7a



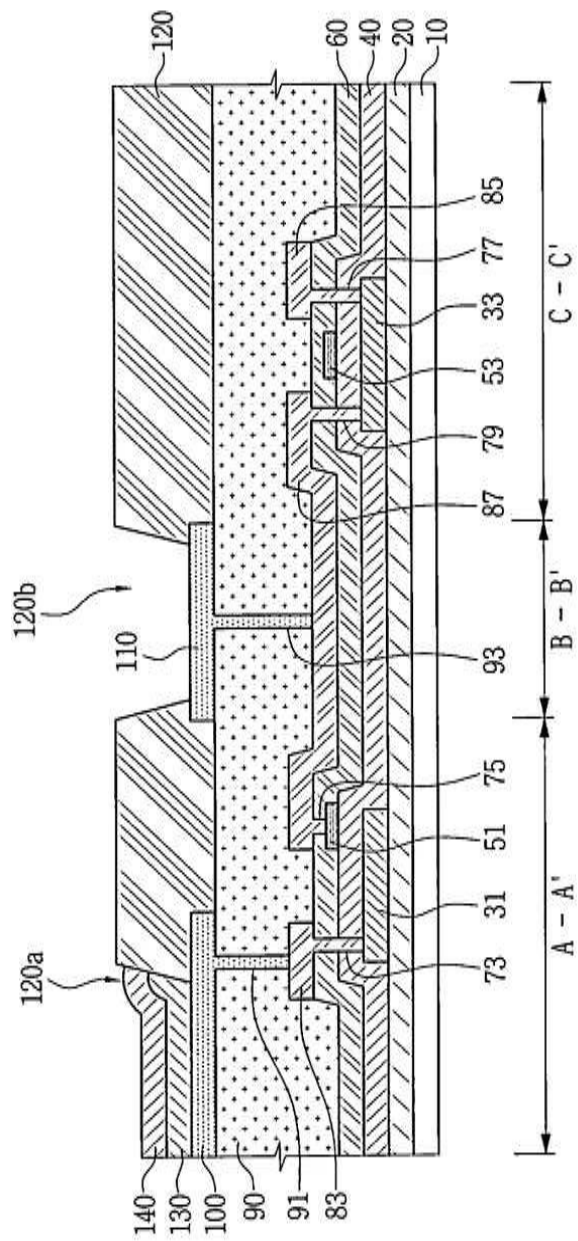
도면7b



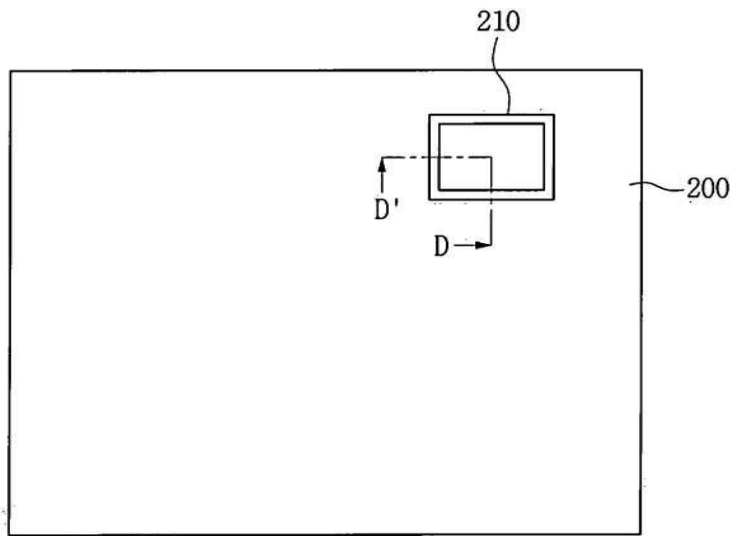
도면8a



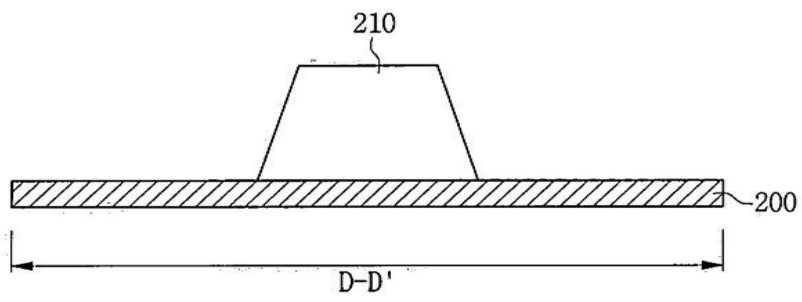
도면8b



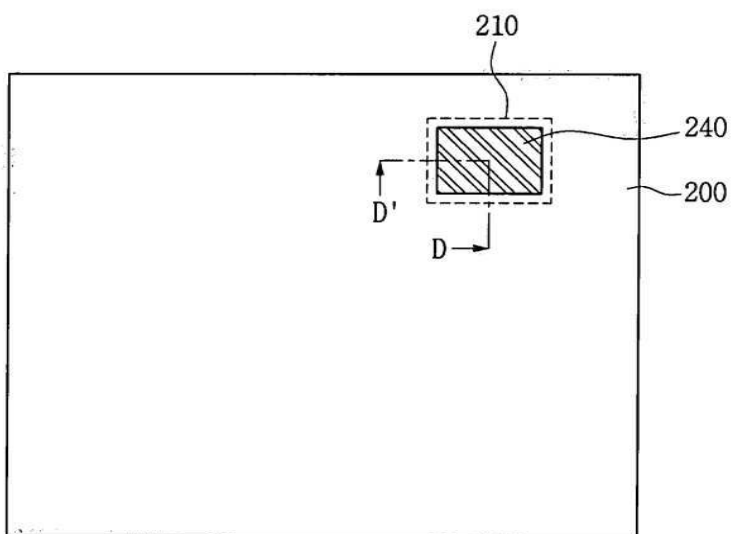
도면9a



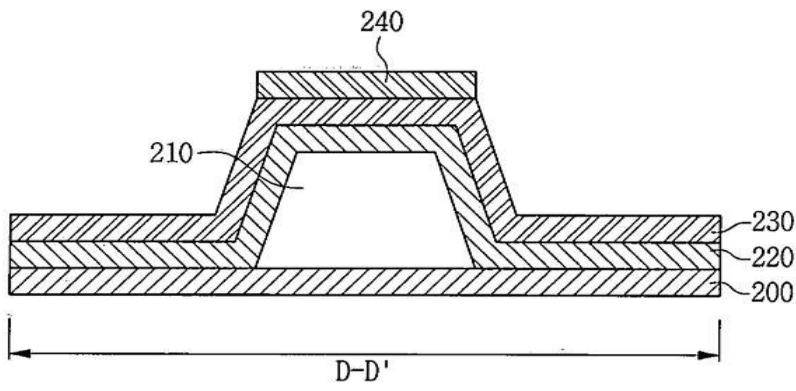
도면9b



도면10a



도면10b



도면11

