



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월17일  
(11) 등록번호 10-0858617  
(24) 등록일자 2008년09월08일

(51) Int. Cl.

H05B 33/02 (2006.01)

(21) 출원번호 10-2007-0045553

(22) 출원일자 2007년05월10일

심사청구일자 2007년05월10일

(56) 선행기술조사문헌

KR1020070035373 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

정재경

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙 연구소

모연곤

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 주식 회사

(뒷면에 계속)

(74) 대리인

신영무

전체 청구항 수 : 총 10 항

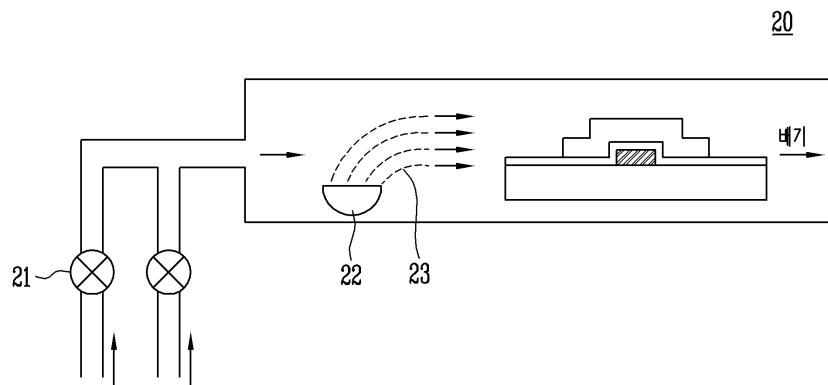
심사관 : 하정균

(54) 박막 트랜지스터 및 이를 이용한 유기 전계 발광표시장치

(57) 요약

본 발명은 P 타입 반도체층을 포함하는 박막 트랜지스터 및 이를 이용한 유기 전계 발광표시장치에 관한 것으로, 본 발명의 박막 트랜지스터는 기판, 상기 기판 상에 반도체층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막 트랜지스터에 있어서, 상기 반도체층은 아연 산화물 반도체에 인(P) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층은 인(P) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된다.

대표도 - 도4c



(72) 발명자

**박진성**

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙  
연구소

**신현수**

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙  
연구소

**이헌정**

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙  
연구소

**정종환**

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙  
연구소

**특허청구의 범위**

**청구항 1**

기관; 및

상기 기관 상에 반도체층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막 트랜지스터에 있어서,

상기 반도체층은 아연 산화물 반도체에 인(P) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층은 인(P) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된 것을 특징으로 하는 박막 트랜지스터.

**청구항 2**

제1 항에 있어서,

상기 반도체층은 ZnO, ZnGaO, ZnInO,  $\text{In}_2\text{O}_3$ , ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나에 인(P) 원소가 확산된 것을 것을 특징으로 하는 박막 트랜지스터.

**청구항 3**

기관 상에 게이트 전극을 형성하여 패터닝하는 단계;

상기 게이트 전극 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 아연 산화물 반도체로 이루어진 반도체층을 형성하는 단계;

상기 반도체층 상에 인(P) 화합물을 확산시켜, 상기 아연 산화물 반도체층에 인(P) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된 P 타입 반도체층으로 형성하는 단계; 및

상기 P 타입 반도체층 상에 소스/드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

**청구항 4**

기관 상에 소스/드레인 영역 및 채널영역을 포함하는 아연 산화물 반도체로 이루어진 반도체층을 형성하는 단계;

상기 반도체층 상에 인(P) 화합물을 확산시켜, 상기 아연 산화물 반도체층에 인(P) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된 P 타입 반도체층으로 형성하는 단계;

상기 반도체층 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 상기 반도체층의 채널영역과 대응되는 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 층간 절연막을 형성하는 단계; 및

상기 게이트 절연층 및 상기 층간 절연층에 형성된 콘택 홀을 통해 상기 반도체층과 전기적으로 연결된 소스/드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

**청구항 5**

제3 항 또는 제4 항에 있어서,

상기 인(P) 화합물은  $\text{Zn}_3\text{P}_2$ 로 형성된 군 중 하나인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 6**

제3 항 또는 제4 항에 있어서,

상기 인(P) 화합물은 분말 형태인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 7**

제3 항 또는 제4 항에 있어서,

상기 아연 산화물 반도체로 이루어진 반도체층은 ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

#### 청구항 8

제3 항 또는 제4 항에 있어서,

상기 반도체층 상에 인(P) 화합물을 확산시키는 단계에 있어서,

상기 반도체층 상부에 상기 반도체층과 대응되는 영역에 개구부가 형성된 마스크를 배치하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

#### 청구항 9

기관;

상기 기관 상에 반도체층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막 트랜지스터; 및

상기 박막 트랜지스터 상에 형성되어, 상기 박막 트랜지스터와 전기적으로 연결된 유기 전계 발광소자를 포함하며,

상기 반도체층은 아연 산화물 반도체에 인(P) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층은 인(P) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된 것을 특징으로 하는 유기 전계 발광표시장치.

#### 청구항 10

제9 항에 있어서,

상기 P 타입 반도체로 이루어진 반도체층은 ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나에 인(P) 원소가 확산된 것을 특징으로 하는 유기 전계 발광표시장치.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 박막 트랜지스터 및 이를 이용한 유기 전계 발광표시장치에 관한 기술로서, 보다 상세하게는 P 타입 반도체층을 포함하는 박막 트랜지스터 및 이를 이용한 유기 전계 발광표시장치에 관한 것이다.
- <22> 종래 유기전계발광표시장치에 사용되는 박막 트랜지스터는 비정질실리콘(Amorphous silicon) 또는 다결정실리콘(Poly silicon)을 이용한 반도체층이 주로 사용되었다.
- <23> 그러나, 비정질실리콘으로 반도체층을 형성할 경우 낮은 이동도(mobility)로 인해 높은 동작속도가 요구되는 표시패널의 구동회로로 사용하기에 어려운 문제점이 있고, 다결정실리콘(Poly silicon)은 이동도(mobility)는 높으나 문턱전압이 불균일한 문제점이 있어 별도의 보상회로를 구비하여야 한다는 문제점이 있다. 또한, 이러한 재료의 비정질 또는 다결정 실리콘을 반도체층으로 형성하는 박막 트랜지스터는 빛의 조사에 따라 누설전류가 발생하여 박막 트랜지스터의 특성이 떨어지는 문제점이 있다.
- <24> 따라서, 최근 이러한 문제점을 해결하기 위한 산화물 반도체가 연구되고 있다. 예컨대, 일본공개공보 제2004-273614호에서 소개하는 종래기술에는 ZnO 또는 Zn를 포함하는 산화물 반도체를 반도체층으로 이용하는 박막 트랜지스터가 개시되어 있다.
- <25> 이하에서, 종래기술에 따른 박막 트랜지스터를 설명하도록 한다.
- <26> 도 1은 종래기술에 따른 ZnO를 반도체층으로 구비한 박막 트랜지스터의 단면도이다.

- <27> 도 1을 참조하면, 박막 트랜지스터(100)는 절연성 기판(110) 상에 형성된 소스 전극(120a) 및 드레인 전극(120b), 소스 및 드레인 전극(120a, 120b)에 접촉되도록 배치되는 ZnO로 형성된 반도체층(130), ZnO로 형성된 반도체층(130) 상에 적층되는 게이트 절연막(140) 및 게이트 전극(150)을 포함한다.
- <28> 이때, ZnO 또는 ZnO를 포함하는 산화물 반도체는 밴드갭(band gap)이 3.4로서 가시광 영역의 빛 에너지보다 커서, 가시광을 흡수하지 않으므로 박막 트랜지스터는 가시광흡수에 따른 누설전류가 증대되지 않는 효과를 가진다고 기재되어 있다.
- <29> 그러나, ZnO 또는 ZnO를 포함하는 산화물 반도체층은 산소결손(Oxygen vacancy), 아연 침입(Zn interstitial) 및 수소 결합(Hydrogen incorporation)에 의해 N 타입 반도체층으로 나타나는데 비해, 유기 전계 발광표시장치는 P 타입 반도체층을 이용하여 구현하는 것이 일반화되어 있다. 한편, N 타입 반도체층을 이용하여 유기 전계 발광표시장치를 형성할 경우, 유기 전계 발광소자의 열화에 따른 데이터 전압의 변동을 해결하기 위해, 유기 전계 발광소자를 인버티드(Inverted) 구조를 채용하여 유기 전계 발광표시장치를 형성하는 방법이 제안되었다. 인버티드 유기 전계 발광소자는 기판 상에 형성된 박막 트랜지스터 상에, 박막 트랜지스터와 전기적으로 연결된 캐소드 전극, 발광층, 애노드 전극이 순차적으로 형성되는 것을 말한다.
- <30> 그러나, 이 또한 캐소드 전극과 발광층의 접촉 특성 저하 및 발광층 상에 형성되는 애노드 전극에 의한 발광층의 결함을 유발시킬 수 있다. 즉, 은 합금(Ag alloy)계열로 이루어진 캐소드 전극과 유기물로 형성된 발광층의 접촉 특성 저하 및 발광층 상에 형성되는 애노드 전극 예를 들어, ITO 또는 IZO로 형성된 애노드 전극을 스퍼터링 방법을 이용하여 형성할 때, 발광층이 손상되는 문제점을 갖는다.

**발명이 이루고자 하는 기술적 과제**

- <31> 따라서, 본 발명은 전술한 종래의 문제점들을 해소하기 위해 도출된 발명으로, P 타입 반도체층을 포함하는 박막 트랜지스터 및 이를 이용한 유기 전계 발광표시장치를 제공하는 것을 목적으로 한다.

**발명의 구성 및 작용**

- <32> 전술한 목적을 달성하기 위한, 본 발명의 일 측면에 따르면, 본 발명의 박막 트랜지스터는 기판, 상기 기판 상에 반도체층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막 트랜지스터에 있어서, 상기 반도체층은 아연 산화물 반도체에 인(P) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층은 인(P) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된다.
- <33> 바람직하게, 상기 반도체층은 ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나에 인(P) 원소가 확산될 수 있다.
- <34> 본 발명의 다른 일 측면에 따르면, 본 발명의 박막 트랜지스터의 제조방법은 기판 상에 게이트 전극을 형성하여 패터닝하는 단계; 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 아연 산화물 반도체로 이루어진 반도체층을 형성하는 단계; 상기 반도체층 상에 인(P) 화합물을 확산시켜, 상기 아연 산화물 반도체층을 P 타입 반도체층으로 형성하는 단계; 및 상기 P 타입 반도체층 상에 소스/드레인 전극을 형성하는 단계를 포함한다.
- <35> 본 발명의 또 다른 일 측면에 따르면, 본 발명의 박막 트랜지스터의 제조방법은 기판 상에 소스/드레인 영역 및 채널영역을 포함하는 아연 산화물 반도체로 이루어진 반도체층을 형성하는 단계; 상기 반도체층 상에 인(P) 화합물을 확산시켜, 상기 아연 산화물 반도체층을 P 타입 반도체층으로 형성하는 단계; 상기 반도체층 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 상기 반도체층의 채널영역과 대응되는 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 중간 절연막을 형성하는 단계; 및 상기 게이트 절연층 및 상기 중간 절연층에 형성된 콘택 홀을 통해 상기 반도체층과 전기적으로 연결된 소스/드레인 전극을 형성하는 단계를 포함한다.
- <36> 바람직하게, 상기 인(P) 화합물은 Zn<sub>3</sub>P<sub>2</sub>로 형성된 군 중 하나일 수 있으며, 상기 인(P) 화합물은 분말 형태일 수 있으며, 상기 아연 산화물 반도체로 이루어진 반도체층은 ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나일 수 있다. 상기 반도체층 상에 인(P) 화합물을 확산시키는 단계에 있어서, 상기 반도체층 상부에 상기 반도체층과 대응되는 영역에 개구부가 형성된 마스크를 배치하는 단계를 더 포함할 수 있다.

- <37> 본 발명의 또 다른 일 측면에 따르면, 본 발명의 유기 전계 발광표시장치는 기판, 상기 기판 상에 반도체층, 게이트 전극 및 소스/드레인 전극을 포함하는 박막 트랜지스터, 및 상기 박막 트랜지스터 상에 형성되어, 상기 박막 트랜지스터와 전기적으로 연결된 유기 전계 발광소자를 포함하며, 상기 반도체층은 아연 산화물 반도체에 인(P) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층은 인(P) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된다.
- <38> 바람직하게, 상기 P 타입 반도체로 이루어진 반도체층은 ZnO, ZnGaO, ZnInO,  $\text{In}_2\text{O}_3$ , ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나에 인(P) 원소가 확산될 수 있다.
- <39> 이하에서는, 본 발명의 실시예들을 도시한 도면을 참조하여, 본 발명에 따른 박막 트랜지스터 및 이를 이용한 유기 전계 발광표시장치를 보다 구체적으로 설명한다.
- <40> 도 2는 본 발명의 제1 실시예에 따른 박막 트랜지스터의 단면도이다. 도 3은 본 발명의 반도체층 내부에 분포된 불순물을 나타내는 그래프이다.
- <41> 도 2 및 도 3을 참조하면, 본 발명의 박막 트랜지스터(200)는 기판(210) 상에 형성되는 게이트 전극(220), 게이트 전극(220)을 포함하는 기판(210) 상에 형성되는 게이트 절연막(230), 게이트 절연막(230) 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체층(240b) 및 반도체층(240b) 상에 패터닝되어 형성되는 소스 전극(250a) 및 드레인 전극(250b)을 포함하며, 상기 반도체층(240b)은 아연 산화물 반도체에 인(P:245) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층(240b)은 인(P:245) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된다.
- <42> 반도체층(240b)은 P 타입 반도체로 이루어진다. 반도체층(240b)은 N 타입 산화물 반도체로 형성된 반도체층 즉, ZnO, ZnGaO, ZnInO,  $\text{In}_2\text{O}_3$ , ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나로 형성된 반도체층에 인(P) 원소를 포함하여 P 타입 반도체로 형성한다.
- <43> 예를 들어, 아연 산화물 박막(ZnO)은 일반적으로 산소 결손(Oxygen vacancy)을 나타내는데, 인(P) 원소를 아연 산화물 박막(ZnO)의 산화물 자리(O)로 치환하여 P 타입 반도체층(240b)으로 형성하는 것이다.
- <44> 이때, 반도체층(240b)에 확산된 인(P) 원소의 도핑농도는  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 로 이루어진다. 이는 N 타입 산화물 반도체층을 P 타입 반도체층으로 형성하기 위한 도핑농도로, 인(P) 원소의 도핑농도가  $1 \times 10^{14} \text{ cm}^{-3}$  이하이면 반도체층(240b)의 비저항이 급격하게 증가되어 이동도 및 온커런트(on current) 특성이 저하될 수 있으며, 인(P) 원소의 도핑농도가  $1 \times 10^{18} \text{ cm}^{-3}$  이상이면 Ion/off 점멸비가 누설전류의 급증으로 인해 저하될 수 있어, 반도체층(240b)의 도핑농도는  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 인 것이 바람직하다.
- <45> 또한, 확산(diffusion) 공정을 이용하여 불순물 확산시 반도체층(240b) 내부에 분포된 불순물은 도 3과 같이 오차 함수(error function)의 모양을 갖게 된다. 즉, 반도체층(240b)의 표면 농도가 Co로 고정될 경우, 불순물의 평균 확산 거리는 확산계수와 확산시간의 곱에 1/2 승 비례한다.
- <46> 이는 하기 수학적 식 1을 통해 알 수 있다.

**수학적 식 1**

$$a = 2\sqrt{Dt}$$

- <47>
- <48> (a = 확산 거리, D = 확산 계수, t = 확산 시간)
- <49> 이와 같이, 확산공정을 이용하여 N 타입 산화물 반도체층을 P 타입 반도체층(240b)으로 형성함에 따라, 반도체층(240b) 내부에 분포된 불순물 원소의 농도분포 및 접합깊이를 조절할 수 있다.
- <50>
- <51> 도 4a 내지 4e는 본 발명의 제1 실시예에 따른 박막 트랜지스터의 제조 공정 순서도이다.
- <52> 도 4a 내지 4e를 참조하면, 기판(210) 상에 게이트 전극(220)을 형성한 후, 게이트 전극(220)을 포함하는 기판

(210) 전면에 게이트 절연막(230)을 형성한다.

- <53> 게이트 절연막(230) 상에는 N 타입 산화물 반도체 즉, ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO 및 ZnSnO로 이루어지는 군에서 선택되는 하나를 스퍼터링(sputtering), 화학 기상 증착법(CVD:Chemical Vapor Deposition) 또는 ALD(ALD:Atomic Layer Deposition)법을 이용하여 반도체층(240a)을 형성한다.
- <54> 반도체층(240a)이 형성된 기판(210)을 확산반응 시스템(20)에 반입>Loading)시킨다. 확산반응 시스템(20)에 반도체층(240a)이 포함된 기판(210)이 반입되면, 밸브(21)를 개폐시켜 확산반응 시스템(20) 내부에 질소(N<sub>2</sub>) 가스를 주입한다. 이에 따라, 확산반응 시스템(20) 내부의 분위기는 질소(N<sub>2</sub>) 분위기로 유지된다. 또한, 기판(210) 상에는 반도체층(240a)과 대응되는 크기의 개구부를 갖는 마스크(260)가 배치되어, 반도체층(240a) 주위의 게이트 절연층(230) 상에 불순물이 분포되는 것을 방지한다.
- <55> 이후, Zn<sub>3</sub>P<sub>2</sub> 가루(Powder)가 담긴 소스보우트(22)를 450 내지 500℃로 가열하여, Zn<sub>3</sub>P<sub>2</sub> 가루(Powder)를 승화(23)시킨다. 승화(23)된 Zn<sub>3</sub>P<sub>2</sub> 가루가 반도체층(240a)에 증착되면, 온도와 시간을 조절하여 반도체층(240a)에 증착된 불순물 원소(245)를 반도체층(240b) 내부로 확산시킨다. 이에 따라, 불순물 원소(245)는 반도체층(240b) 내부에 수직 또는 측면으로 퍼져 분포하게 된다.
- <56> 또한, Zn<sub>3</sub>P<sub>2</sub> 가루를 이용하여 확산공정시 Zn<sub>3</sub>P<sub>2</sub> 가루에 불순물인 비소(As) 및 카드뮴(Cd)이 존재할 수 있어 반도체층(240b) 내에 비소(As) 및 카드뮴(Cd)이 확산되는 것을 방지하기 위해, Zn<sub>3</sub>P<sub>2</sub>를 고순도로 정제하여, 비소(As) 및 카드뮴(Cd)을 포함하지 않는 반도체층(240b)을 제공한다.
- <57> 이후, 반도체층(240b) 및 게이트 절연층(230) 상에 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, MoW, 몰리브덴(Mo), 구리(Cu) 또는 ITO, IZO 등과 같은 도전성 금속을 증착한 후 패터닝하여 소스 전극(250a) 및 드레인 전극(250b)을 형성한다.
- <58> 도 5는 본 발명의 제1 실시 예에 따른 반도체층 내부에 분포된 불순물을 나타내는 그래프이다.
- <59> 도 5를 참조하면, 확산공정에 의해 형성된 P 타입 반도체층의 확산거리에 따른 불순물 농도를 나타내는 그래프로, 산화 아연 반도체(ZnO)를 확산반응 시스템에 반입시킨 후, 질소 분위기에서 Zn<sub>3</sub>P<sub>2</sub> 가루(Powder)가 담긴 소스보우트를 500℃로 30분간 가열하여, P타입 아연 화합물 반도체층 내부의 조성분포(SIMS)를 나타낸 것이다.
- <60> 그래프에 나타난 바에 따르면, X 축은 불순물의 확산거리(μm), Y 축은 인(P), 비소(As), 카드뮴(Cd)의 농도(atoms/cm<sup>3</sup>, counts/cm<sup>3</sup>)를 나타낸다. 확산이 개시되는 면을 기준으로 기판과 접하는 면 방향으로의 확산거리 및 확산농도를 나타낸다.
- <61> 예를 들어, 확산 거리가 50 μm 일 때, 인(P)은 10<sup>18</sup> atoms/cm<sup>-3</sup>, 비소(As)는 10<sup>17</sup> atoms/cm<sup>-3</sup>, 카드뮴(Cd)은 10<sup>15</sup> counts/cm<sup>-3</sup>을 나타낸다.
- <62> 이와 같은 그래프에 따라, 반도체층에 분포된 불순물을 추측할 수 있다. 즉, 본 그래프에서는 수백 μm 스케일의 확산 거리에 분포된 인(P), 비소(As), 카드뮴(Cd)의 농도를 통해 대략 0.1 μm의 두께를 갖는 반도체층에 분포된 불순물이 일정하게 분포된 것을 추측할 수 있다.
- <63> 도 6은 본 발명의 제1 실시예에 따른 유기 전계 발광표시장치의 단면도이다.
- <64> 도 6을 참조하면, 본 발명의 유기 전계 발광표시장치(300)는 기판(310), 상기 기판(310) 상에 반도체층(340), 게이트 전극(320) 및 소스/드레인 전극(350a,350b)을 포함하는 박막 트랜지스터, 상기 박막 트랜지스터 상에 형성되며, 상기 박막 트랜지스터와 전기적으로 연결된 유기 전계 발광소자(350,360,370)를 포함하며, 상기 반도체층(340)은 아연 산화물 반도체에 인(P:345) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층(340)은 인(P:345) 원소가 1 X 10<sup>14</sup> 내지 1 X 10<sup>18</sup> cm<sup>-3</sup>의 농도로 도핑된다.
- <65> 기판(310) 상에 형성된 박막 트랜지스터는 도 2의 박막 트랜지스터와 동일한 구조를 가지며, 도 4a 내지 도 4e와 같은 방법에 의해 제조될 수 있다.
- <66> 박막 트랜지스터(300)는 기판(310) 상에 형성되는 게이트 전극(320), 게이트 전극(320)을 포함하는 기판(310) 상에 형성되는 게이트 절연막(330), 게이트 절연막(330) 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는

반도체층(340) 및 반도체층(340) 상에 패터닝되어 형성되는 소스 전극(350a) 및 드레인 전극(350b)을 포함한다.

- <67> 한편, 반도체층(340)은 P 타입 반도체로 이루어진다. 반도체층(340)은 N 타입 산화물 반도체로 형성된 반도체층 즉, ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나의 반도체층에 인(P:345) 원소를 확산시켜 반도체층(340)을 P 타입 반도체로 형성한다.
- <68> 예를 들어, 아연 산화물 박막(ZnO)은 일반적으로 산소 결손(Oxygen vacancy)을 나타내는데, 인(P:345) 원소를 아연 산화물 박막(ZnO)의 산화물 자리(O)로 치환하여 P 타입 반도체층(340)으로 형성하는 것이다.
- <69> 이때, 반도체층(340)에 확산된 인(P:345) 원소의 도핑농도는  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 로 이루어진다. 이는 N 타입 산화물 반도체층을 P 타입 반도체층으로 형성하기 위한 도핑농도로, 인(P) 원소의 도핑농도가  $1 \times 10^{14} \text{ cm}^{-3}$  이하이면 반도체층(240b)의 비저항이 급격하게 증가되어 이동도 및 온커런트(on current) 특성이 저하될 수 있으며, 인(P) 원소의 도핑농도가  $1 \times 10^{18} \text{ cm}^{-3}$  이상이면 Ion/off 점멸비가 누설전류의 급증으로 인해 저하될 수 있어, 반도체층(340)의 도핑농도는  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 인 것이 바람직하다.
- <70> 박막 트랜지스터 상에는 박막 트랜지스터와 전기적으로 연결된 유기 전계 발광소자가 형성된다. 유기 전계 발광소자는 화소영역에 따라 패터닝된 애노드 전극(350), 발광층(360) 및 캐소드 전극(370)을 포함한다.
- <71> 애노드 전극(350)은 비어홀을 통해 박막 트랜지스터의 드레인 전극(350b)과 전기적으로 접속된다. 애노드 전극(350)은 화소정의막이 정의하는 화소영역의 형상을 따라 포토리소그래피 공정 등을 통해 패터닝된다.
- <72> 애노드 전극(350) 상에는 발광층(360)이 형성되며, 발광층(360)은 전자주입층, 전자수송층, 정공 주입층, 전자수송층을 포함할 수 있다. 발광층(360) 상에는 캐소드 전극(370)이 형성된다.
- <73> 이러한 유기 전계 발광소자는 애노드 전극(350) 및 캐소드 전극(370)에 소정의 전압이 인가되면, 애노드 전극(350)으로부터 주입된 홀(hole)이 홀 수송층을 경유하여 발광층(360)으로 이동되고, 캐소드 전극(370)으로부터 주입된 전자는 전자 수송층을 경유하여 발광층(360)으로 주입된다. 이때, 발광층(360)에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기 상태에서 기저 상태로 변화됨에 따라, 발광층(360)의 형광성 분자가 발광함으로써 화상이 형성된다.
- <74> 이와 같이, P 타입 아연 화합물 반도체층(340)을 유기 전계 발광표시장치(300)에 적용함에 따라, 동작전압이 낮고 발광효율이 우수한 유기 전계 발광소자를 제공할 수 있다. 또한, P 타입 아연 화합물 반도체층(340)을 NMOS 소자와 결합할 경우 CMOS 소자를 용이하게 형성할 수 있으며, 고성능의 저전력 평판표시장치의 내장 드라이브 회로를 구현할 수 있을 것이다.
- <75> 도 7은 본 발명의 제2 실시예에 따른 박막 트랜지스터의 단면도이다.
- <76> 도 7을 참조하면, 본 발명의 박막 트랜지스터(400)는 기판(410) 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체층(420b), 반도체층(420b) 상에 형성되는 게이트 절연층(430), 반도체층(420b)의 채널 영역과 대응되는 게이트 절연층(430) 상에 형성되는 게이트 전극(440), 게이트 전극(440)을 포함하는 게이트 절연층(430) 전면에 형성되는 층간 절연층(450), 게이트 절연층(430) 및 층간 절연층(450)에 형성된 콘택홀(460)을 통해 반도체층(420b)의 소스 영역 및 드레인 영역과 연결되는 소스 전극(470a) 및 드레인 전극(470b)를 포함하며, 상기 반도체층(420b)은 아연 산화물 반도체에 인(P:425) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층(420b)은 인(P:425) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된다.
- <77> 반도체층(420b)은 P 타입 반도체로 이루어진다. 반도체층(420b)은 N 타입 산화물 반도체로 형성된 반도체층 즉, ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나로 형성된 반도체층에 인(P) 원소를 포함하여 P 타입 반도체로 형성한다.
- <78> 예를 들어, 아연 산화물 박막(ZnO)은 일반적으로 산소 결손(Oxygen vacancy)을 나타내는데, 인(P) 원소를 아연 산화물 박막(ZnO)의 산화물 자리(O)로 치환하여 P 타입 반도체층(420b)으로 형성하는 것이다.
- <79> 이때, 반도체층(420b)에 확산된 인(P) 원소의 도핑농도는  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 로 이루어진다. 이는 N 타입 산화물 반도체층을 P 타입 반도체층(420b)으로 형성하기 위한 도핑농도로, 인(P) 원소의 도핑농도가  $1 \times 10^{14} \text{ cm}^{-3}$  이하이면 반도체층(420b)의 비저항이 급격하게 증가되어 이동도 및 온커런트(on current) 특성이 저하

될 수 있으며, 인(P) 원소의 도핑농도가  $1 \times 10^{18} \text{ cm}^{-3}$  이상이면 Ion/off 점멸비가 누설전류의 급증으로 인해 저하될 수 있어, 반도체층(420b)의 도핑농도는  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 인 것이 바람직하다.

- <80> 반도체층(420b)의 소스/드레인 영역 및 층간 절연층(450) 상에 소스 전극(470a) 및 드레인 전극(470b)이 패터닝되어 형성된다. 소스 전극(470a) 및 드레인 전극(470b)은 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, MoW, 몰리브덴(Mo), 구리(Cu) 또는 ITO, IZO 등과 같은 도전성 금속 산화물로 이루어질 수 있으며, 이들에 제한되지는 않는다.
- <81> 도 8a 내지 8d는 본 발명의 제2 실시예에 따른 박막 트랜지스터의 제조 공정 순서도이다.
- <82> 도 8a 내지 도 8d를 참조하면, 기판(410) 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체층(420b)을 형성한다.
- <83> 반도체층(420a)이 형성된 기판(410)을 확산반응 시스템(40)에 반입>Loading)시킨다. 확산반응 시스템(40)에 반도체층(420a)이 반입되면, 밸브(41)를 개폐시켜 확산반응 시스템(40) 내부에 질소(N<sub>2</sub>) 가스를 주입한다. 이에 따라, 확산반응 시스템(40) 내부의 분위기는 질소(N<sub>2</sub>) 분위기로 유지된다. 또한, 기판(410) 상에는 반도체층(420a)과 대응되는 크기의 개구부를 갖는 마스크(480)가 배치되어, 반도체층(420a) 주위의 기판(410) 상에 불순물이 분포되는 것을 방지한다.
- <84> 이 후, Zn<sub>3</sub>P<sub>2</sub> 가루(Powder)가 담긴 소스보우트(42)를 450 내지 500℃로 가열하여, Zn<sub>3</sub>P<sub>2</sub> 가루(Powder)를 승화(43)시킨다. 승화(43)된 Zn<sub>3</sub>P<sub>2</sub> 가루가 반도체층(420a)에 증착되면, 온도와 시간을 조절하여 반도체층(420a)에 증착된 불순물 원소(425)를 반도체층(420b) 내부로 확산시킨다. 이에 따라, 불순물 원소(425)는 반도체층(420b) 내부에 수직 또는 측면으로 퍼져 분포하게 된다.
- <85> 또한, Zn<sub>3</sub>P<sub>2</sub> 가루를 이용하여 확산공정시 Zn<sub>3</sub>P<sub>2</sub> 가루에 불순물인 비소(As) 및 카드뮴(Cd)이 존재할 수 있어 반도체층(420b) 내에 비소(As) 및 카드뮴(Cd)이 확산되는 것을 방지하기 위해, Zn<sub>3</sub>P<sub>2</sub>를 고순도로 정제하여, 비소(As) 및 카드뮴(Cd)을 포함하지 않는 반도체층(420b)을 제공한다.
- <86> 반도체층(420b)을 포함하는 기판(410) 전면에 게이트 절연층(430)을 형성한다. 반도체층(420b)의 채널 영역과 대응되는 게이트 절연층(430) 상에 게이트 전극(440)을 형성한다. 게이트 전극(440)을 포함하는 게이트 절연층(430) 상에 층간 절연층(450)을 형성한다. 반도체층(420b)의 소스 영역과 소스 전극(470a) 및 반도체층(420b)의 드레인 영역과 드레인 전극(470b)을 연결시키기 위해 게이트 절연층(430) 및 층간 절연층(450)에 콘택홀(460)을 형성한다.
- <87> 층간 절연층(450) 및 콘택홀(460) 상에 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, MoW, 몰리브덴(Mo), 구리(Cu) 또는 ITO, IZO 등과 같은 도전성 금속 산화물을 증착한 후 패터닝하여, 콘택홀(460)을 통해 반도체층(420b)의 소스 및 드레인 영역과 전기적으로 연결된 소스 전극(470a) 및 드레인 전극(470b)을 형성한다.
- <88> 도 9는 본 발명의 제2 실시예에 따른 유기 전계 발광표시장치의 단면도이다.
- <89> 도 9를 참조하면, 본 발명의 유기 전계 발광표시장치(500)는 기판(510), 상기 기판(510) 상에 반도체층(520), 게이트 전극(540) 및 소스/드레인 전극(560a,560b)을 포함하는 박막 트랜지스터, 상기 박막 트랜지스터 상에 형성되며, 상기 박막 트랜지스터와 전기적으로 연결된 유기 전계 발광소자(570,580,590)를 포함하며, 상기 반도체층(520)은 아연 산화물 반도체에 인(P:525) 원소가 확산되어 P 타입 반도체층으로 이루어지며, 상기 반도체층(520)은 인(P:525) 원소가  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑된다.
- <90> 기판(510) 상에 형성된 박막 트랜지스터는 도 7의 박막 트랜지스터와 동일한 구조를 가지며, 도 8a 내지 도 8d와 같은 방법에 의해 제조될 수 있다.
- <91> 박막 트랜지스터는 기판(510) 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체층(520), 반도체층(520) 상에 형성되는 게이트 절연층(530), 반도체층(520)의 채널 영역과 대응되는 게이트 절연층(530) 상에 형성되는 게이트 전극(540), 게이트 전극(540)을 포함하는 게이트 절연층(530) 전면에서 형성되는 층간 절연층(550), 게이트 절연층(530) 및 층간 절연층(550)에 형성된 콘택홀(560)을 통해 반도체층(520)의 소스 영역 및 드레인 영역과 연결되는 소스 전극(560a) 및 드레인 전극(560b)을 포함한다.
- <92> 반도체층(520)은 P 타입 반도체로 이루어진다. 반도체층(520)은 N 타입 산화물 반도체로 형성된 반도체층 즉,

ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO 및 ZnSnO로 구성되는 군에서 선택된 적어도 하나로 형성된 반도체층에 인(P) 원소를 포함하여 반도체층(520)을 P 타입 반도체로 형성한다.

- <93> 예를 들어, 아연 산화물 박막(ZnO)은 일반적으로 산소 결손(Oxygen vacancy)을 나타내는데, 인(P) 원소를 아연 산화물 박막(ZnO)의 산화물 자리(O)로 치환하여 P 타입 반도체층(520)으로 형성하는 것이다.
- <94> 이때, 반도체층(520)에 확산된 인(P) 원소의 도핑농도는  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 로 이루어진다. 이는 N 타입 산화물 반도체층을 P 타입 반도체층으로 형성하기 위한 도핑농도로, 인(P) 원소의 도핑농도가  $1 \times 10^{14} \text{ cm}^{-3}$  이하이면 반도체층(520)의 비저항이 급격하게 증가되어 이동도 및 온커런트(on current) 특성이 저하될 수 있으며, 인(P) 원소의 도핑농도가  $1 \times 10^{18} \text{ cm}^{-3}$  이상이면 Ion/off 점멸비가 누설전류의 급증으로 인해 저하될 수 있어, 반도체층(520)의 도핑농도는  $1 \times 10^{14}$  내지  $1 \times 10^{18} \text{ cm}^{-3}$ 인 것이 바람직하다.
- <95> 반도체층(520)의 소스/드레인 영역 및 층간 절연층(550) 상에는 소스 전극(560a) 및 드레인 전극(560b)이 패터닝되어 형성된다. 소스 전극(560a) 및 드레인 전극(560b)은 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, MoW, 몰리브덴(Mo), 구리(Cu) 또는 ITO, IZO 등과 같은 도전성 금속 산화물로 이루어질 수 있으며, 이들에 제한되지는 않는다.
- <96> 박막 트랜지스터 상에는 박막 트랜지스터와 전기적으로 연결된 유기 전계 발광소자가 형성된다. 유기 전계 발광소자는 화소영역에 따라 패터닝된 애노드 전극(570), 발광층(580) 및 캐소드 전극(590)을 포함한다.
- <97> 애노드 전극(570)은 비어홀을 통해 박막 트랜지스터의 드레인 전극(560b)과 전기적으로 접속된다. 애노드 전극(570)은 화소정의막이 정의하는 화소영역의 형상을 따라 포토리소그래피 공정 등을 통해 패터닝된다.
- <98> 애노드 전극(570) 상에는 발광층(580)이 형성되며, 발광층(580)은 전자주입층, 전자수송층, 정공 주입층, 전자수송층을 포함할 수 있다. 발광층(580) 상에는 캐소드 전극(590)이 형성된다.
- <99> 이러한 유기 전계 발광소자는 애노드 전극(570) 및 캐소드 전극(590)에 소정의 전압이 인가되면, 애노드 전극(570)으로부터 주입된 홀(hole)이 홀 수송층을 경유하여 발광층(580)으로 이동되고, 캐소드 전극(590)으로부터 주입된 전자는 전자 수송층을 경유하여 발광층(580)으로 주입된다. 이때, 발광층(580)에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기 상태에서 기저 상태로 변화됨에 따라, 발광층(580)의 형광성 분자가 발광함으로써 화상이 형성된다.
- <100> 이와 같이, P 타입 아연 화합물 반도체층(520)을 유기 전계 발광표시장치(500)에 적용함에 따라, 동작전압이 낮고 발광효율이 우수한 유기 전계 발광소자를 제공할 수 있다. 또한, P 타입 아연 화합물 반도체층(520)을 NMOS 소자와 결합할 경우 CMOS 소자를 용이하게 형성할 수 있으며, 고성능의 저전력 평판표시장치의 내장 드라이브 회로를 구현할 수 있을 것이다.
- <101> 본 발명은 상기 실시예들을 기준으로 주로 설명되어졌으나, 발명의 요지와 범위를 벗어나지 않고 많은 다른 가능한 수정과 변형이 이루어질 수 있다. 예컨대, 전술한 실시예에서 박막 트랜지스터는 탑게이트(코플라나)구조와 바텀게이트(역스태거드)구조 및 그의 제조방법을 설명하였으나, 스테거드 구조에서도 동일하게 N 타입 산화물 반도체로 형성할 수 있음을 당업자는 인식할 것이다.
- <102> 이상 본 발명을 상세히 설명하였으나 본 발명은 이에 한정되지 않으며, 본 발명이 속하는 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형할 수 있는 물론이다.

**발명의 효과**

- <103> 이상과 같이, 본 발명에 의하면, N 타입 산화물 반도체층에 불순물 원소 인(P)을 확산시켜 P 타입 반도체층으로 형성함으로써, P 타입 박막 트랜지스터를 이용하여 유기 전계 발광표시장치를 형성할 수 있다.

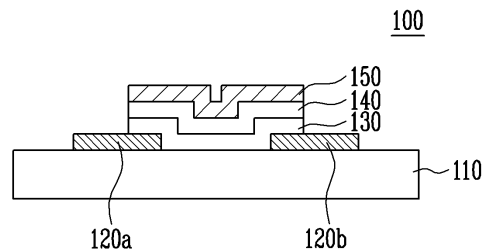
**도면의 간단한 설명**

- <1> 도 1은 종래기술에 따른 ZnO를 반도체층으로 구비한 박막 트랜지스터의 단면도.
- <2> 도 2는 본 발명의 제1 실시예에 따른 박막 트랜지스터의 단면도.
- <3> 도 3은 본 발명의 반도체층 내부에 분포된 불순물을 나타내는 그래프.

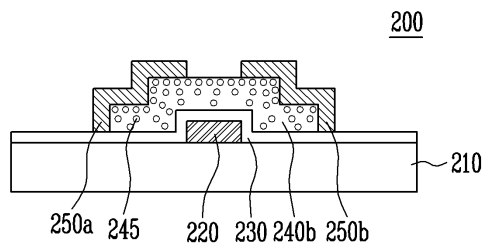
- <4> 도 4a 내지 4e는 본 발명의 제1 실시예에 따른 박막 트랜지스터의 제조 공정 순서도.
- <5> 도 5는 본 발명의 제1 실시예에 따른 반도체층 내부에 분포된 불순물을 나타내는 그래프.
- <6> 도 6은 본 발명의 제1 실시예에 따른 유기 전계 발광표시장치의 단면도.
- <7> 도 7은 본 발명의 제2 실시예에 따른 박막 트랜지스터의 단면도.
- <8> 도 8a 내지 8d는 본 발명의 제2 실시예에 따른 박막 트랜지스터의 제조 공정 순서도.
- <9> 도 9는 본 발명의 제2 실시예에 따른 유기 전계 발광표시장치의 단면도.
- <10> ♣ 도면의 주요 부분에 대한 부호의 설명 ♣
- <11> 20 : 확산반응 시스템
- <12> 21 : 밸브
- <13> 22 : 소우스보트
- <14> 23 : 승화
- <15> 210 : 기판
- <16> 220 : 게이트 전극
- <17> 230 : 게이트 절연층
- <18> 240 : 반도체층
- <19> 245 : 불순물
- <20> 250a, 250b : 소스 전극, 드레인 전극

도면

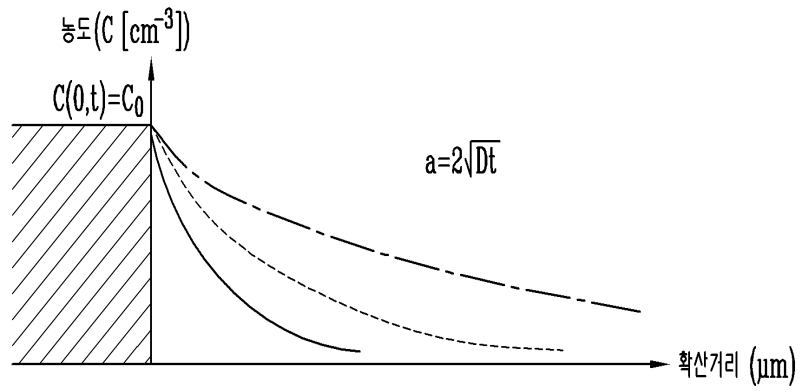
도면1



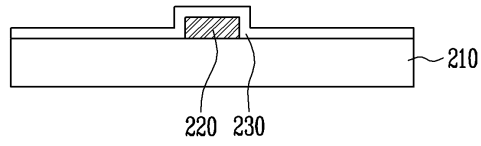
도면2



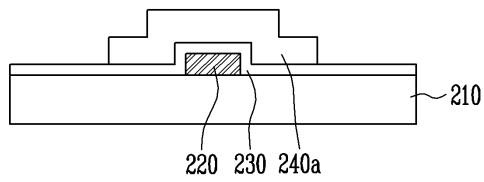
도면3



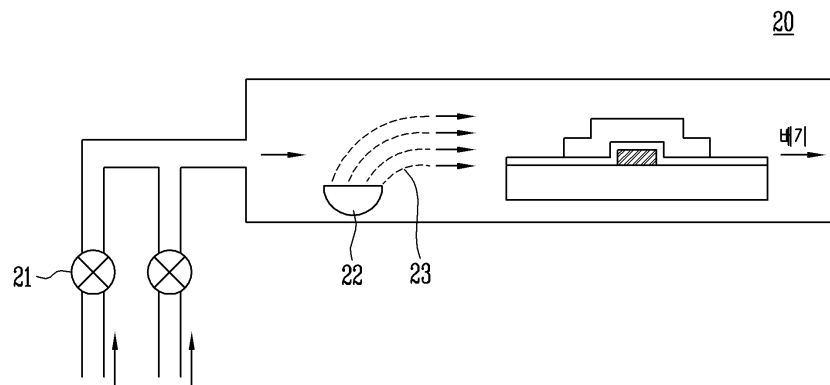
도면4a



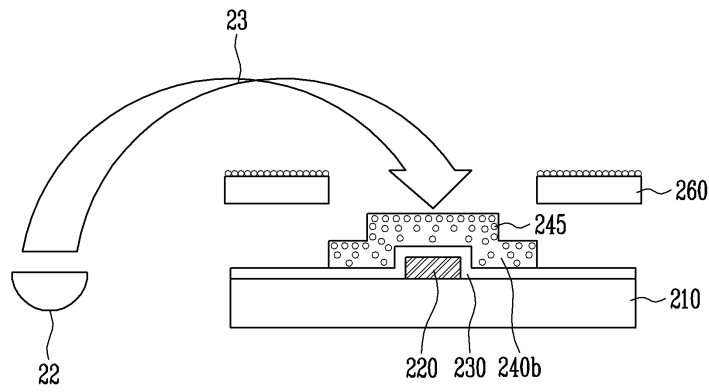
도면4b



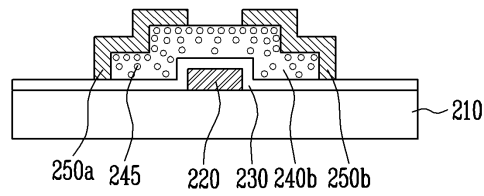
도면4c



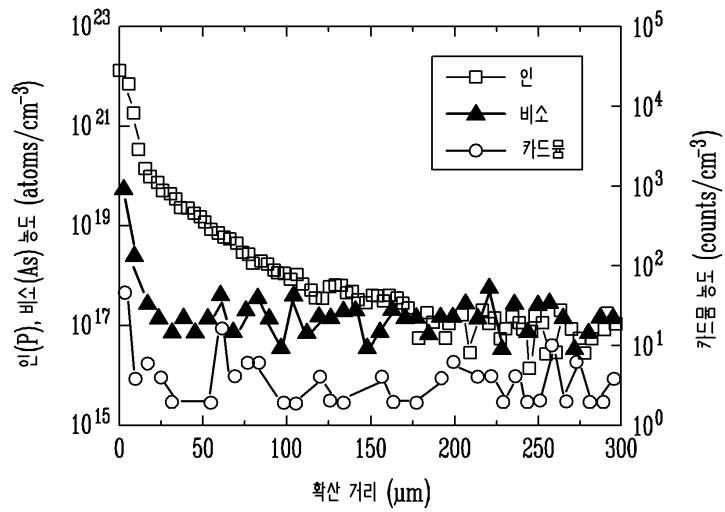
도면4d



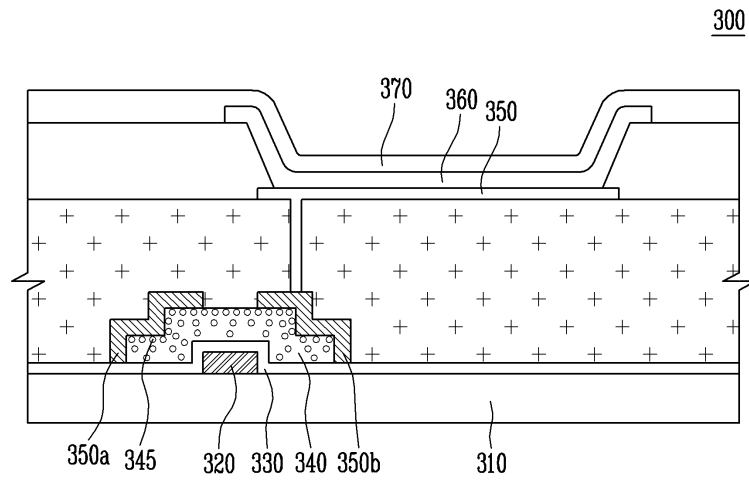
도면4e



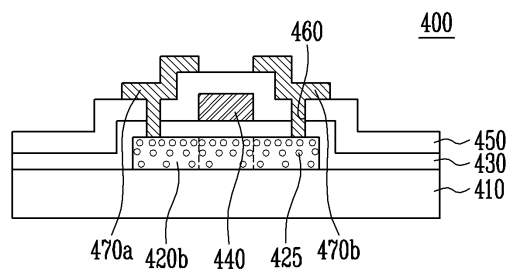
도면5



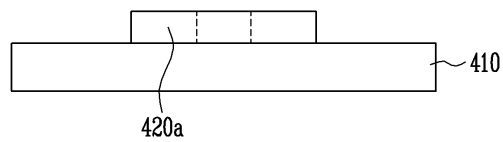
도면6



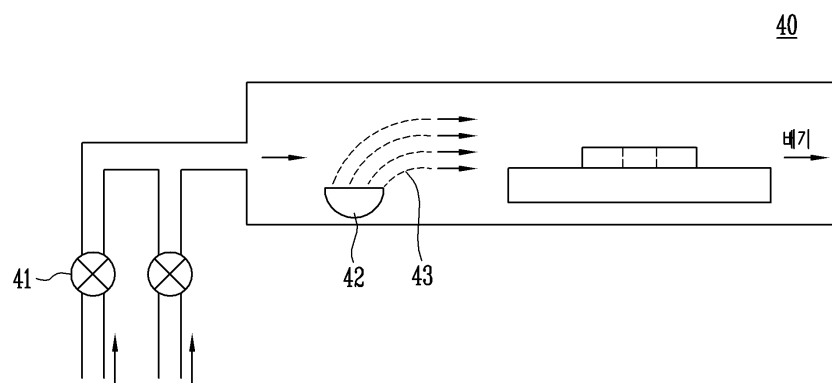
도면7



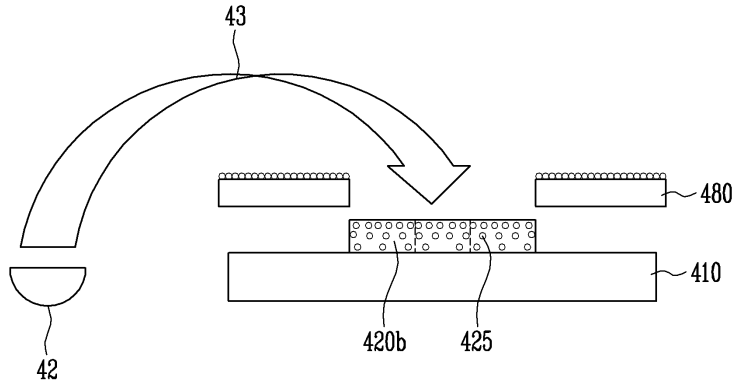
도면8a



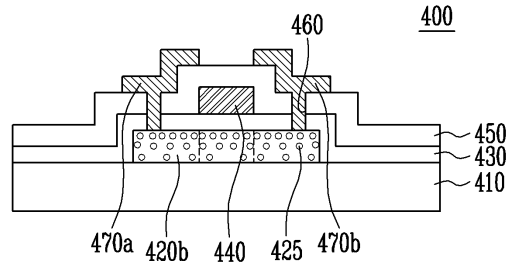
도면8b



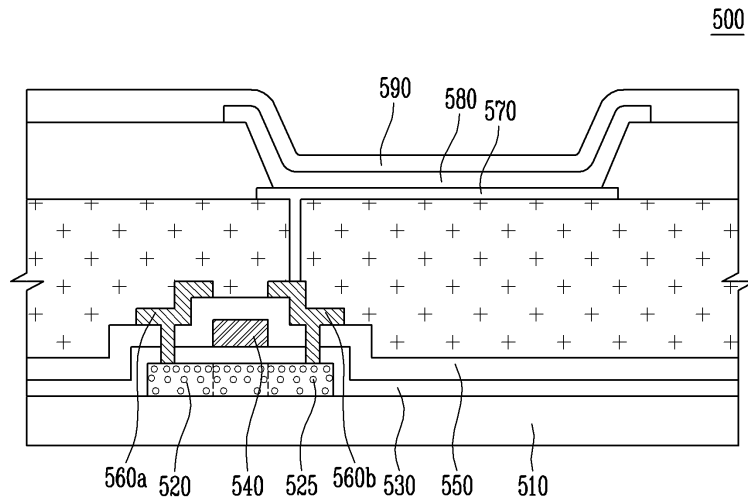
도면8c



도면8d



도면9



专利名称(译)	薄膜晶体管和使用其的有机发光显示器		
公开(公告)号	<a href="#">KR100858617B1</a>	公开(公告)日	2008-09-17
申请号	KR1020070045553	申请日	2007-05-10
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	JAEKYEONG JEONG 정재경 YEONGON MO 모연곤 JINSEONG PARK 박진성 HYUNSOO SHIN 신현수 HUNJUNG LEE 이현정 JONGHAN JEONG 정종한		
发明人	정재경 모연곤 박진성 신현수 이현정 정종한		
IPC分类号	H05B33/02		
CPC分类号	H01L29/7869 H01L27/3244 H01L29/66969		
代理人(译)	Sinyoungmu		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供薄膜晶体管 and 具有该薄膜晶体管的有机发光显示装置，以通过将P型锌化合物半导体层施加到有机发光显示装置来降低工作电压并提高发光效率。组织：A薄膜晶体管（200）包括设置在基板上的基板（210）和半导体层（240b），栅电极（220），源电极（250a）和漏电极（250b）。通过将磷（245）扩散到氧化锌半导体，由P型半导体层形成半导体层。磷以 $1 \times 10^{14}$ 至 $1 \times 10^{18} \text{cm}^{-3}$ 的浓度掺杂在半导体层上。通过将磷扩散到选自ZnO, ZnGaO, ZnInO, In<sub>2</sub>O<sub>3</sub>, ZnInGaO, ZnSnO和ZnSnO中的至少一种来形成半导体层。©KIPO 2008

