

특허청구의 범위

청구항 1

주사선들, 제어선들 및 데이터선들과 접속되는 화소들을 포함하는 화소부와;

상기 제어선들을 통해 각 화소에 제어신호를 제공하는 제어선 구동부와;

상기 화소부의 각 화소들에 제 1전원을 인가하는 제 1전원 구동부와;

상기 화소부의 각 화소들에 제 2전원을 인가하는 제 2전원 구동부가 포함되며,

상기 제 1전원 및/또는 제 2전원은 한 프레임의 기간 동안 서로 다른 레벨의 전압값으로 상기 화소부의 각 화소들에 인가되고,

상기 제어신호 및 상기 제 1,2전원은 상기 화소부에 포함되는 화소들 전체에 대하여 동시에 일괄적으로 제공됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 2

제 1항에 있어서,

상기 주사선들을 통해 각 화소에 주사신호를 제공하는 주사 구동부와;

상기 데이터선들을 통해 각 화소에 데이터 신호를 제공하는 데이터 구동부와;

상기 제어선 구동부, 전원 구동부, 주사 구동부 및 데이터 구동부를 제어하는 타이밍 제어부가 더 포함됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 3

제 1항에 있어서,

상기 제 1전원 구동부는 상기 제 1전원을 한 프레임의 구간 동안 각 구간 별로 서로 다른 3가지 레벨의 전압값으로 인가하고, 제 2전원 구동부는 상기 제 2전원을 고정된 레벨의 전압값으로 한 프레임 구간 전체에 인가함을 특징으로 하는 유기 전계발광 표시장치.

청구항 4

제 1항에 있어서,

상기 제 1전원 구동부 및 제 2전원 구동부는 각각 상기 제 1, 2전원을 한 프레임의 구간 동안 각 구간 별로 서로 다른 2가지 레벨의 전압값으로 인가함을 특징으로 하는 유기 전계발광 표시장치.

청구항 5

제 1항에 있어서,

상기 제 1전원 구동부는 상기 제 1전원을 고정된 레벨의 전압값으로 한 프레임 구간 전체에 인가하고, 상기 제 2전원 구동부는 상기 제 2전원을 한 프레임의 구간 동안 각 구간 별로 서로 다른 3가지 레벨의 전압값으로 인가함을 특징으로 하는 유기 전계발광 표시장치.

청구항 6

제 2항에 있어서,

상기 주사신호는 한 프레임의 기간 중 일부 구간에 대해 각 주사선 별로 순차적으로 인가되고, 상기 일부 구간 이외의 구간에서는 전체 주사선에 대해 동시에 인가됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 7

제 6항에 있어서,

상기 순차적으로 인가되는 주사신호의 폭은 2 수평시간(2H)으로 인가하며, 이에 인접하여 인가되는 주사신호가

서로 1수평시간(1H)만큼 중첩되도록 인가됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 8

제 6항에 있어서,

상기 데이터 신호는 상기 순차적으로 인가되는 주사신호에 대응하여 각 주사선 별로 연결된 화소에 순차적으로 인가되며, 상기 일부 구간 이외의 구간에서는 각 데이터선을 통해 전체 화소에 동시에 인가됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 9

제 1항에 있어서,

상기 각 화소는,

게이트 전극이 상기 주사선에 접속되고, 제 1전극이 상기 데이터선에 접속되며, 제 2전극이 제 1노드에 접속된 제 1트랜지스터와;

게이트 전극이 제 2노드에 접속되고, 제 1전극이 제 1전원에 접속되며, 제 2전극이 유기발광소자의 애노드 전극에 접속되는 제 2트랜지스터와;

상기 제 1노드 및 제 2트랜지스터의 제 1전극 사이에 접속되는 제 1커패시터와;

상기 제 1노드 및 제 2노드 사이에 접속되는 제 2커패시터와;

게이트 전극이 제어선에 접속되고, 제 1전극은 상기 제 2트랜지스터의 게이트 전극에 접속되며, 제 2전극은 상기 제 2트랜지스터의 제 2전극에 접속되는 제 3트랜지스터와;

애노드 전극이 상기 제 2트랜지스터의 제 2전극에 접속되고, 캐소드 전극이 제 2전원에 접속되는 유기발광소자가 포함되어 구성됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 10

제 9항에 있어서,

상기 제 1 내지 제 3트랜지스터는 PMOS로 구현됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 11

제 9항에 있어서,

상기 제 1전원과 제어신호가 하이 레벨로 화소부에 포함된 각 화소들에 모두 인가될 때 상기 각 화소들은 각 화소별로 기 저장된 데이터 신호에 대응되는 휘도로 동시에 발광함을 특징으로 하는 유기 전계발광 표시장치.

청구항 12

제 1항에 있어서,

상기 각 화소는,

게이트 전극이 상기 주사선에 접속되고, 제 1전극이 상기 데이터선에 접속되며, 제 2전극이 제 1노드에 접속된 제 1트랜지스터와;

게이트 전극이 제 2노드에 접속되고, 제 1전극이 제 2전원에 접속되며, 제 2전극이 유기발광소자의 캐소드 전극에 접속되는 제 2트랜지스터와;

상기 제 1노드 및 제 2트랜지스터의 제 1전극 사이에 접속되는 제 1커패시터와;

상기 제 1노드 및 제 2노드 사이에 접속되는 제 2커패시터와;

게이트 전극이 제어선에 접속되고, 제 1전극은 상기 제 2트랜지스터의 게이트 전극에 접속되며, 제 2전극은 상기 제 2트랜지스터의 제 2전극에 접속되는 제 3트랜지스터와;

캐소드 전극이 상기 제 2트랜지스터의 제 2전극에 접속되고, 애노드 전극이 제 1전원에 접속되는 유기발광소자

가 포함되어 구성됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 13

제 12항에 있어서,

상기 제 1 내지 제 3트랜지스터는 NMOS로 구현됨을 특징으로 하는 유기 전계발광 표시장치.

청구항 14

화소부를 구성하는 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제 2전원, 주사신호, 제어신호, 데이터신호를 일괄적으로 동시에 인가하여 상기 각 화소에 구비된 화소회로의 각 노드 전압을 초기화하는 제 1단계와;

상기 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제2전원, 주사신호, 제어신호, 데이터신호를 일괄적으로 동시에 인가하여 각 화소에 포함된 유기발광소자의 애노드 전극의 전압을 캐소드 전압의 전압 이하로 하강시키는 제 2단계와;

상기 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제2전원, 주사신호, 제어신호, 데이터신호를 일괄적으로 동시에 인가하여 상기 각 화소에 구비된 구동 트랜지스터의 문턱전압을 저장하는 제 3단계와;

상기 화소부의 각 주사선에 연결된 각각의 화소에 대해 순차적으로 주사신호가 인가되고, 상기 순차적으로 인가되는 주사신호에 대응하여 각 주사선 별로 연결된 화소에 데이터 신호가 인가되는 제 4단계와;

상기 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제 2전원, 주사신호, 제어신호를 일괄적으로 동시에 인가하여 상기 각 화소에 저장된 데이터 전압에 대응되는 휘도로 각각의 화소 전체가 동시에 발광되는 제 5단계와;

상기 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제 2전원, 주사신호, 제어신호를 일괄적으로 동시에 인가하여 상기 각 화소에 구비된 유기발광소자의 애노드 전극 전압을 떨어뜨려 발광을 오프하는 제 6단계가 포함됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 15

제 14항에 있어서,

상기 제 1 내지 제 6단계를 통해 하나의 프레임이 구현됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 16

제 15항에 있어서,

순차적으로 진행되는 프레임에 대하여 n번째 프레임은 좌안 영상을 표시하고, n+1번째 프레임은 우안 영상을 표시함을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 17

제 16항에 있어서,

상기 n번째 프레임의 발광구간과 n+1번째 프레임의 발광구간 사이 구간의 전체 시간을 셔터 안경의 응답 시간과 동기시키도록 구현함을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 18

제 14항에 있어서,

상기 각 화소는,

게이트 전극이 상기 주사선에 접속되고, 제 1전극이 상기 데이터선에 접속되며, 제 2전극이 제 1노드에 접속된 제 1PMOS트랜지스터와;

게이트 전극이 제 2노드에 접속되고, 제 1전극이 제 1전원에 접속되며, 제 2전극이 유기발광소자의 애노드 전극

에 접속되는 제 2PMOS트랜지스터와;

상기 제 1노드 및 제 2트랜지스터의 제 1전극 사이에 접속되는 제 1커패시터와;

상기 제 1노드 및 제 2노드 사이에 접속되는 제 2커패시터와;

게이트 전극이 제어선에 접속되고, 제 1전극은 상기 제 2트랜지스터의 게이트 전극에 접속되며, 제 2전극은 상기 제 2트랜지스터의 제 2전극에 접속되는 제 3PMOS트랜지스터와;

애노드 전극이 상기 제 2트랜지스터의 제 2전극에 접속되고, 캐소드 전극이 제 2전원에 접속되는 유기발광소자가 포함되어 구성됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 19

제 18항에 있어서,

상기 제 1단계에서는, 상기 제 1전원이 중간 레벨로 인가되고, 주사신호가 로우 레벨로 인가되며, 제어신호는 하이 레벨로 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 20

제 18항에 있어서,

상기 제 2단계는 제 2_1 내지 2_3단계로 나뉘며,

상기 제 2_1단계에서는, 상기 제 1전원이 로우 레벨로 인가되고, 주사신호는 하이 레벨 또는 로우 레벨로 인가되고, 제어신호는 하이 레벨로 인가되며,

상기 제 2_2단계에서는, 상기 제 1전원이 로우 레벨로 인가되고, 주사신호는 하이 레벨 또는 로우 레벨로 인가되고, 제어신호(GC(t))는 하이 레벨로 인가되며,

상기 제 2_3단계에서는, 상기 제 1전원이 중간 레벨로 인가되고, 주사신호는 하이 레벨 또는 로우 레벨로 인가되고, 제어신호는 하이 레벨로 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 21

제 20항에 있어서,

상기 제 2_1단계 및 제 2_2단계에서 상기 주사신호가 로우 레벨로 인가되면, 이에 대응되는 데이터 신호는 로우 레벨로 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 22

제 20항에 있어서,

상기 제 2_3단계에서 상기 주사신호가 로우 레벨로 인가되면, 이에 대응되는 데이터 신호는 하이 레벨로 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 23

제 18항에 있어서,

상기 제 3단계는 제 3_1단계 내지 제 3_3단계로 나뉘며,

상기 제 3_1단계에서는, 상기 제 1전원이 중간 레벨로 인가되고, 주사신호는 하이레벨 또는 로우 레벨로 인가되고, 제어신호는 하이 레벨로 인가되며,

상기 제 3_2단계 및 3_3단계에서는, 상기 제 1전원이 중간 레벨로 인가되고, 주사신호는 로우 레벨로 인가되고, 제어신호(GC(t))는 로우 레벨로 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 24

제 23항에 있어서,

상기 제 3_1단계에서 상기 주사신호가 로우 레벨로 인가되면, 이에 대응되는 데이터 신호는 하이 레벨로 인가됨

을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 25

제 18항에 있어서,

상기 제 4단계에서는, 상기 제어신호가 로우 레벨로 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 26

제 18항에 있어서,

상기 제 4단계에서 순차적으로 인가되는 주사신호의 폭은 2 수평시간(2H)으로 인가하며, 이에 인접하여 인가되는 주사신호가 서로 1수평시간(1H)만큼 중첩되도록 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 27

제 18항에 있어서,

상기 제 5단계에서는, 상기 제 1전원이 하이 레벨로 인가되고, 주사신호 및 제어신호는 하이 레벨로 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

청구항 28

제 18항에 있어서,

제 6단계에서는, 상기 제 1전원이 중간 레벨로 인가되고, 주사신호 및 제어신호는 하이 레벨로 인가됨을 특징으로 하는 유기 전계발광 표시장치의 구동방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 유기 전계발광 표시장치에 관한 것으로, 특히 동시 발광 방식으로 구동되는 유기 전계발광 표시장치 및 그 구동방법에 관한 것이다.

배경기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display: LCD), 전계방출 표시장치(Field Emission Display: FED), 플라즈마 표시패널(Plasma Display Panel: PDP) 및 유기 전계발광 표시장치(Organic Light Emitting Display: OLED) 등이 있다.

[0003] 평판 표시장치 중 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004] 통상적으로, 유기전계발광 표시장치(OLED)는 유기발광소자를 구동하는 방식에 따라 패시브 매트릭스형 OLED(PMOLED)와 액티브 매트릭스형 OLED(AMOLED)로 분류된다.

[0005] 상기 AMOLED는 복수개의 게이트라인, 복수개의 데이터 라인 및 복수개의 전원라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수개의 화소를 구비한다. 또한, 상기 각 화소는 통상적으로 유기발광소자, 2개의 트랜지스터, 즉 데이터신호를 전달하기 위한 스위칭 트랜지스터와, 상기 데이터신호에 따라 상기 EL 소자를 구동시키기 위한 구동트랜지스터와, 상기 데이터전압을 유지시키기 위한 하나의 캐패시터로 이루어진다.

[0006] 이와 같은 AMOLED는 소비전력이 적은 이점이 있지만, 유기발광소자를 구동하는 구동 트랜지스터의 게이트와 소오스간의 전압, 즉 구동 트랜지스터의 문턱전압(threshold voltage) 편차에 따라 유기발광소자를 통해 흐르는

전류 세기가 변하여 표시 불균일을 초래하는 문제점이 있다.

- [0007] 즉, 상기 각 화소 내에 구비된 트랜지스터는 제조 공정 변수에 따라 트랜지스터의 특성이 변하게 되므로, AMOLED의 모든 트랜지스터의 특성을 동일하게 되도록 트랜지스터를 제조하는 것이 어려우며, 이에 따라 화소간 문턱전압의 편차가 존재하기 때문이다.
- [0008] 이에 최근 들어 이러한 문제점을 극복하기 위하여 복수의 트랜지스터 및 캐패시터를 포함하는 보상회로가 연구되고 있으며, 이러한 보상회로를 각각의 화소 내에 추가로 더 형성하여 극복하고 있으나, 이 경우 각 화소별로 많은 수의 트랜지스터 및 캐패시터가 실장되어야 하는 문제점이 있다.
- [0009] 보다 구체적으로, 이와 같이 각 화소에 보상회로가 추가되면, 각 화소를 구성하는 트랜지스터 및 캐패시터와, 상기 트랜지스터를 제어하는 신호선들이 추가됨에 의해 하부 발광 방식의 AMOLED의 경우 개구율이 감소되고, 회로의 구성요소가 많아지고 복잡해짐에 따라 불량 발생 확률도 높아지는 단점이 있다.
- [0010] 또한, 최근 들어 화면 뭉개짐(motion blur) 현상을 제거하기 위해 120Hz 이상의 고속 주사 구동이 요구되고 있으나, 이 경우 각 주사 라인당 충전 시간이 대폭적으로 줄어들게 된다. 즉, 상기 보상회로가 각 화소에 구비되어 하나의 주사 라인에 연결된 각 화소 내에 많은 수의 트랜지스터가 형성되는 경우 capacitive load가 크게 되어 결과적으로 이와 같은 고속 주사 구동의 구현이 어려워지는 단점이 있다.

발명의 내용

해결 하고자하는 과제

- [0011] 본 발명은 유기 전계발광 표시장치의 각 화소를 구성하는 유기발광소자 및 이에 연결된 화소회로에 있어서, 상기 화소회로를 3개의 트랜지스터와 2개의 커패시터로 구성하고, 상기 화소를 동시 발광 방식으로 구동함으로써, 간단한 구성으로 각 화소에 구비된 구동 트랜지스터의 문턱전압 보상 및 고속 구동을 가능케 하는 유기 전계발광 표시장치 및 그 구동방법을 제공함에 목적이 있다.

과제 해결수단

- [0012] 상기 목적을 달성하기 위하여 본 발명의 실시예에 의한 유기 전계발광 표시장치는, 주사선들, 제어선들 및 데이터선들과 접속되는 화소들을 포함하는 화소부와; 상기 제어선들을 통해 각 화소에 제어신호를 제공하는 제어선 구동부와; 상기 화소부의 각 화소들에 제 1전원을 인가하는 제 1전원 구동부와; 상기 화소부의 각 화소들에 제 2전원을 인가하는 제 2전원 구동부가 포함되며, 상기 제 1전원 및/또는 제 2전원은 한 프레임의 기간 동안 서로 다른 레벨의 전압값으로 상기 화소부의 각 화소들에 인가되고, 상기 제어신호 및 상기 제 1,2전원은 상기 화소부에 포함되는 화소들 전체에 대하여 동시에 일괄적으로 제공됨을 특징으로 한다.
- [0013] 또한, 상기 주사선들을 통해 각 화소에 주사신호를 제공하는 주사 구동부와; 상기 데이터선들을 통해 각 화소에 데이터 신호를 제공하는 데이터 구동부와; 상기 제어선 구동부, 전원 구동부, 주사 구동부 및 데이터 구동부를 제어하는 타이밍 제어부가 더 포함된다.
- [0014] 또한, 상기 제 1전원 구동부는 상기 제 1전원을 한 프레임의 구간 동안 각 구간 별로 서로 다른 3가지 레벨의 전압값으로 인가하고, 제 2전원 구동부는 상기 제 2전원을 고정된 레벨의 전압값으로 한 프레임 구간 전체에 인가한다.
- [0015] 또는, 상기 제 1전원 구동부 및 제 2전원 구동부는 각각 상기 제 1, 2전원을 한 프레임의 구간 동안 각 구간 별로 서로 다른 2가지 레벨의 전압값으로 인가한다.
- [0016] 또는, 상기 제 1전원 구동부는 상기 제 1전원을 고정된 레벨의 전압값으로 한 프레임 구간 전체에 인가하고, 상기 제 2전원 구동부는 상기 제 2전원을 한 프레임의 구간 동안 각 구간 별로 서로 다른 3가지 레벨의 전압값으로 인가 한다.
- [0017] 또한, 상기 주사신호는 한 프레임의 기간 중 일부 구간에 대해 각 주사선 별로 순차적으로 인가되고, 상기 일부 구간 이외의 구간에서는 전체 주사선에 대해 동시에 인가한다.
- [0018] 또한, 상기 순차적으로 인가되는 주사신호의 폭은 2 수평시간(2H)으로 인가하며, 이에 인접하여 인가되는 주사신호가 서로 1수평시간(1H)만큼 중첩되도록 인가됨을 특징으로 한다.
- [0019] 또한, 상기 데이터 신호는 상기 순차적으로 인가되는 주사신호에 대응하여 각 주사선 별로 연결된 화소에 순차

적으로 인가되며, 상기 일부 구간 이외의 구간에서는 각 데이터선을 통해 전체 화소에 동시에 인가됨을 특징으로 한다.

[0020] 또한, 상기 각 화소는, 게이트 전극이 상기 주사선에 접속되고, 제 1전극이 상기 데이터선에 접속되며, 제 2전극이 제 1노드에 접속된 제 1트랜지스터와; 게이트 전극이 제 2노드에 접속되고, 제 1전극이 제 1전원에 접속되며, 제 2전극이 유기발광소자의 애노드 전극에 접속되는 제 2트랜지스터와; 상기 제 1노드 및 제 2트랜지스터의 제 1전극 사이에 접속되는 제 1커패시터와; 상기 제 1노드 및 제 2노드 사이에 접속되는 제 2커패시터와; 게이트 전극이 제어선에 접속되고, 제 1전극은 상기 제 2트랜지스터의 게이트 전극에 접속되며, 제 2전극은 상기 제 2트랜지스터의 제 2전극에 접속되는 제 3트랜지스터와; 애노드 전극이 상기 제 2트랜지스터의 제 2전극에 접속되고, 캐소드 전극이 제 2전원에 접속되는 유기발광소자가 포함되어 구성되며, 상기 제 1 내지 제 3트랜지스터는 PMOS로 구현됨을 특징으로 한다.

[0021] 또한, 상기 제 1전원과 제어신호가 하이 레벨로 화소부에 포함된 각 화소들에 모두 인가될 때 상기 각 화소들은 각 화소별로 기 저장된 데이터 신호에 대응되는 휘도로 동시에 발광함을 특징으로 한다.

[0022] 또는, 상기 각 화소는, 게이트 전극이 상기 주사선에 접속되고, 제 1전극이 상기 데이터선에 접속되며, 제 2전극이 제 1노드에 접속된 제 1트랜지스터와; 게이트 전극이 제 2노드에 접속되고, 제 1전극이 제 2전원에 접속되며, 제 2전극이 유기발광소자의 캐소드 전극에 접속되는 제 2트랜지스터와; 상기 제 1노드 및 제 2트랜지스터의 제 1전극 사이에 접속되는 제 1커패시터와; 상기 제 1노드 및 제 2노드 사이에 접속되는 제 2커패시터와; 게이트 전극이 제어선에 접속되고, 제 1전극은 상기 제 2트랜지스터의 게이트 전극에 접속되며, 제 2전극은 상기 제 2트랜지스터의 제 2전극에 접속되는 제 3트랜지스터와; 캐소드 전극이 상기 제 2트랜지스터의 제 2전극에 접속되고, 애노드 전극이 제 1전원에 접속되는 유기발광소자가 포함되어 구성되며, 상기 제 1 내지 제 3트랜지스터는 NMOS로 구현됨을 특징으로 한다.

[0023] 또한, 본 발명의 실시예에 의한 유기 전계발광 표시장치의 구동방법은, 화소부를 구성하는 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제 2전원, 주사신호, 제어신호, 데이터신호를 일괄적으로 동시에 인가하여 상기 각 화소에 구비된 화소회로의 각 노드 전압을 초기화하는 제 1단계와; 상기 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제2전원, 주사신호, 제어신호, 데이터신호를 일괄적으로 동시에 인가하여 각 화소에 포함된 유기발광소자의 애노드 전극의 전압을 캐소드 전압의 전압 이하로 하강시키는 제 2단계와; 상기 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제2전원, 주사신호, 제어신호, 데이터신호를 일괄적으로 동시에 인가하여 상기 각 화소에 구비된 구동 트랜지스터의 문턱전압을 저장하는 제 3단계와; 상기 화소부의 각 주사선에 연결된 각각의 화소에 대해 순차적으로 주사신호가 인가되고, 상기 순차적으로 인가되는 주사신호에 대응하여 각 주사선 별로 연결된 화소에 데이터 신호가 인가되는 제 4단계와; 상기 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제 2전원, 주사신호, 제어신호를 일괄적으로 동시에 인가하여 상기 각 화소에 저장된 데이터 전압에 대응되는 휘도로 각각의 화소 전체가 동시에 발광되는 제 5단계와; 상기 화소 전체에 대해 각각 기 설정된 레벨의 전압값을 갖는 제 1전원, 제 2전원, 주사신호, 제어신호를 일괄적으로 동시에 인가하여 상기 각 화소에 구비된 유기발광소자의 애노드 전극 전압을 떨어뜨려 발광을 오프하는 제 6단계가 포함됨을 특징으로 한다.

[0024] 또한, 상기 제 1 내지 제 6단계를 통해 하나의 프레임이 구현되며, 순차적으로 진행되는 프레임에 대하여 n번째 프레임은 좌안 영상을 표시하고, n+1번째 프레임은 우안 영상을 표시함을 특징으로 한다.

[0025] 또한, 상기 n번째 프레임의 발광구간과 n+1번째 프레임의 발광구간 사이 구간의 전체 시간을 서터 안경의 응답 시간과 동기시키도록 구현함을 특징으로 한다.

효 과

[0026] 이와 같은 본 발명에 의하면, 유기 전계발광 표시장치의 각 화소에 구비되는 화소회로를 3개의 트랜지스터와 2개의 커패시터로 구성하고, 상기 화소를 동시 발광 방식으로 구동함으로써, 간단한 구성으로 각 화소에 구비된 구동 트랜지스터의 문턱전압 보상 및 고속 구동이 가능함을 장점으로 한다.

[0027] 또한, 이와 같은 동시 발광 방식을 통해 3D(Dimension) 디스플레이 시 보다 향상된 성능 구현이 가능하다는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- [0028] 이하, 첨부된 도면을 참조하여 본 발명에 의한 실시예를 보다 상세히 설명하도록 한다.
- [0029] 도 1은 본 발명의 실시예에 의한 유기 전계발광 표시장치의 블록도이고, 도 2는 본 발명의 실시예에 의한 동시 발광 방식의 구동 동작을 나타내는 도면이다.
- [0030] 도 1을 참조하면, 본 발명의 실시예에 의한 유기 전계발광 표시장치는 주사선들(S1 내지 Sn), 제어선들(GC1 내지 GCn) 및 데이터선들(D1 내지 Dm)과 접속되는 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 통해 각 화소에 주사신호를 제공하는 주사 구동부(110)와, 제어선들(GC1 내지 GCn)을 통해 각 화소에 제어신호를 제공하는 제어선 구동부(160)와, 데이터선들(D1 내지 Dm)을 통해 각 화소에 데이터 신호를 제공하는 데이터 구동부(120)와, 주사 구동부(110), 데이터 구동부(120) 및 제어선 구동부(160)를 제어하기 위한 타이밍 제어부(150)를 구비한다.
- [0031] 또한, 상기 화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 화소들(140)을 구비한다. 화소들(140)은 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받는다. 이와 같은 화소들(140)은 데이터신호에 대응하여 제 1전원(ELVDD)으로부터 유기발광소자를 경유하여 제 2전원(ELVSS)으로 공급되는 전류량을 제어한다. 그러면, 유기발광소자에서 소정 휘도의 빛이 생성된다.
- [0032] 단, 본 발명의 실시예의 경우 상기 제 1전원(ELVDD) 및/또는 제 2전원(ELVSS)이 한 프레임의 기간 동안 서로 다른 레벨의 전압값으로 상기 화소부의 각 화소들(140)에 인가됨을 특징으로 한다.
- [0033] 이를 위해 상기 제 1전원(ELVDD)의 공급을 제어하는 제 1전원(ELVDD) 구동부(170) 및/또는 상기 제 2전원(ELVSS)의 공급을 제어하는 제 2전원(ELVSS) 구동부(180)이 더 구비되고, 상기 제 1전원(ELVDD) 구동부(170) 및 제 2전원(ELVSS) 구동부(180)은 상기 타이밍 제어부(150)에 의해 제어된다.
- [0034] 보다 구체적으로 설명하면, 종래의 경우 상기 제 1전원(ELVDD)은 고정된 하이 레벨의 전압으로 제공되고, 제 2전원은 고정된 로우 레벨의 전압으로 화소부의 각 화소에 인가된다.
- [0035] 그러나, 본 발명의 실시예에서는 상기 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 인가함에 있어 하기된 3가지 방식으로 구현함을 특징으로 한다.
- [0036] 첫 번째 방식은 상기 제 1전원(ELVDD)이 서로 다른 3가지 레벨의 전압값으로 인가되고, 제 2전원(ELVSS)은 고정된 로우레벨(일 예로 Ground)로 인가된다.
- [0037] 즉, 이 경우 제 2전원(ELVSS) 구동부(180)는 항상 일정한 레벨(GND)의 전압값을 출력하므로 별도의 구동회로로 구현될 필요는 없으며, 이에 대한 회로적 비용은 절감할 수 있으나, 이에 반해 상기 제 1전원(ELVDD)은 3가지 레벨 중 네가티브 전압값(일 예로 -3V)이 필요하기 때문에 제 1전원(ELVDD) 구동부(170)의 회로 구성이 복잡해질 수 있다.
- [0038] 두 번째 방식은 상기 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 모두 각각 2가지 레벨의 전압값으로 각각 인가하도록 구현하는 것으로, 이 경우에는 제 1전원 구동부(170)과 제 2전원 구동부(180)가 모두 구비되어야 한다.
- [0039] 세 번째 방식은 상기 첫 번째 방식과 반대로서, 상기 제 1전원(ELVDD)은 고정된 하이 레벨의 전압값으로 인가되고, 제 2전원(ELVSS)은 서로 다른 3가지 레벨의 전압값으로 인가된다.
- [0040] 즉, 이 경우 제 1전원 구동부(170)은 항상 일정한 레벨의 전압값을 출력하므로 별도의 구동회로로 구현될 필요는 없으며, 이에 대한 회로적 비용은 절감할 수 있으나, 이에 반해 상기 제 2전원(ELVSS)은 3가지 레벨 중 포지티브 전압값이 필요하기 때문에 제 1전원(ELVDD) 구동부(170)의 회로 구성이 복잡해질 수 있다.
- [0041] 상기 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 인가하는 3가지 방식에 대한 구동 타이밍도는 이하 도 4에서 구체적으로 도시하고 있다.
- [0042] 또한, 본 발명의 실시예의 경우 상기 유기 전계발광 표시장치를 구동함에 있어, 순차 발광(Progressive Emission) 방식이 아닌 동시 발광(Simultaneous Emission) 방식으로 구동함을 특징으로 하며, 이는 도 2에 도시된 바와 같이 한 프레임의 기간 중에 데이터가 순차적으로 입력되고, 상기 데이터 입력이 완료된 이후 한 프레임의 데이터가 상기 화소부(130) 전체 즉, 상기 화소부 내의 모든 화소들(140)을 통해 일괄적으로 점등이 수행됨을 말한다.
- [0043] 즉, 종래의 순차 발광 방식의 경우 각 주사 라인 별로 데이터가 순차적으로 입력되고 곧이어 발광도 순차적으로 수행되는 것이나, 본 발명의 실시예에서는 상기 데이터 입력은 순차적으로 수행되지만, 발광은 데이터 입력이

완료된 후 전체적으로 일괄 수행되는 것이다.

- [0044] 보다 구체적으로 도 2을 참조하면, 본 발명의 실시예에 의한 구동 단계는 크게 (a) 초기화 단계 (b) 리셋 단계 (c) 문턱전압 보상 단계 (d) 주사 단계(데이터 입력 단계) (e) 발광 단계 (f) 발광 오프 단계로 나뉘며, 상기 (d) 주사 단계(데이터 입력 단계)는 각 주사 라인 별로 순차적으로 수행되나, 이를 제외한 나머지 (a) 초기화 단계 (b) 리셋 단계 (c) 문턱전압 보상 단계 (e) 발광 단계 (f) 발광 오프 단계는 도시된 바와 같이 화소부 (130) 전체에서 동시에 일괄적으로 수행된다.
- [0045] 여기서, 상기 (a) 초기화 단계는 각 화소에 구비되는 화소회로의 각 노드 전압을 구동 트랜지스터의 문턱전압 입력때와 동일하게 초기화하는 구간이고, (b) 리셋 단계는 화소부(130)의 각 화소(140)에 인가된 데이터 전압이 리셋되는 단계로서 유기발광소자가 발광되지 않도록 유기발광소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 떨어뜨리는 구간이다.
- [0046] 또한, 상기 (c) 문턱전압 보상 단계는 상기 각 화소(140)에 구비된 구동 트랜지스터의 문턱전압을 보상하는 구간이며, (e) 발광 오프 단계는 각 화소에서 발광이 수행된 이후 블랙 삽입(black insertion) 또는 디밍(dimming)을 위해 발광을 꺼주는 구간이다.
- [0047] 이에 따라 상기 (a) 초기화 단계 (b) 리셋 단계 (c) 문턱전압 보상 단계 (e) 발광 단계 (f) 발광 오프 단계에 인가되는 신호 즉, 각 주사선(S1 내지 Sn)에 인가되는 주사 신호, 각 화소들(140)에 인가되는 제 1전원(ELVDD) 및/또는 제 2전원(ELVSS), 각 제어선(GC1 내지 GCn)에 인가되는 제어 신호들은 상기 화소부(130)에 구비된 각 화소들(140)에 대하여 동시에 일괄적으로 각각 정해진 소정의 전압 레벨로 인가된다.
- [0048] 이와 같은 본 발명의 실시예에 의한 "동시 발광 방식"에 의한 경우 각각의 동작 구간((a) 내지 (f) 단계)이 시간적으로 명확히 분리되므로, 각 화소(140)에 구비되는 보상회로의 트랜지스터 및 이를 제어하는 신호선의 수를 줄일 수 있을 뿐 아니라, 셔터(Shutter) 안경식 3D 디스플레이 구현이 용이하다는 장점을 갖게 된다.
- [0049] 상기 셔터 안경식 3D 디스플레이는 사용자가 좌안/우안의 투과율이 0% 및 100%로 스위치되는 "셔터 안경"을 착용하고 화면을 볼 때, 영상표시장치 즉, 유기 전계발광 표시장치의 화소부에서 디스플레이되는 화면이 각 프레임 별로 좌안 영상과, 우안 영상을 번갈아 출력됨으로써, 사용자는 상기 좌안 영상은 좌안으로만 보이고, 상기 우안 영상은 우안으로만 보이게 되어 입체감이 구현되는 방식을 말한다.
- [0050] 도 3은 기존의 순차 발광 방식으로 셔터 안경식 3D를 구현한 예를 설명하는 도면이고, 도 4는 본 발명의 실시예에 의한 동시 발광 방식으로 셔터 안경식 3D를 구현한 예를 설명하는 도면이다.
- [0051] 또한, 도 5는 동시 발광 방식과 순차 발광 방식의 경우 확보할 수 있는 발광 시간 비율을 비교하는 그래프이다.
- [0052] 이와 같은 셔터 안경식 3D 디스플레이를 구현함에 있어 앞서 언급한 종래의 순차 발광 방식으로 화면을 출력하는 경우에는 도 3에 도시된 바와 같이 상기 셔터 안경의 응답 시간(일 예로 2.5ms)이 유한 하기 때문에 상기 좌안/우안 영상간의 크로스토크(cross talk) 현상을 방지하기 위해 상기 응답 시간만큼 발광을 꺼주어야 한다.
- [0053] 즉, 좌안 영상이 출력되는 프레임(n번째 프레임)과 이에 이어서 우안 영상이 출력되는 프레임(n+1번째 프레임) 사이에 상기 응답 시간만큼 비발광 구간을 추가로 생성해야 하므로 발광 시간 확보 즉, 발광 시간 비율(Duty ratio)이 낮아진다는 단점이 있다.
- [0054] 이에 본 발명의 실시예에 의한 "동시 발광 방식"의 경우 도 4를 참조하면, 앞서 설명한 바와 같이 발광 단계가 화소부 전체에서 동시에 일괄적으로 수행되고, 상기 발광 단계 이외의 구간에서는 비 발광이 수행됨에 따라, 좌안 영상이 출력되는 구간과 우안 영상이 출력되는 구간 사이의 비 발광 구간이 자연스럽게 확보된다.
- [0055] 즉, n번째 프레임의 발광구간과 n+1번째 프레임의 발광구간 사이의 구간으로서 발광오프 구간, 리셋 구간, 문턱 전압 보상 구간이 비 발광되는 구간이므로 상기 구간의 전체 시간을 상기 셔터 안경의 응답 시간(일 예로 2.5ms)과 동기시키면 종래의 순차 발광 방식과 달리 별도로 발광 시간 비율(Duty ratio)을 줄이지 않아도 된다.
- [0056] 따라서, 셔터 안경식 3D 디스플레이를 구현함에 있어 상기 "동시 발광 방식"이 종래의 "순차 발광 방식"에 비해 상기 셔터 안경의 응답 시간만큼의 발광시간 비율(duty ratio)을 확보할 수 있으므로 보다 향상된 성능 구현이 가능하게 된다. 이는 도 5의 그래프를 통해 확인할 수 있다.
- [0057] 도 6은 도 1에 도시된 화소의 제 1실시예에 의한 구성을 나타내는 회로도이고, 도 7a 내지 도 7c는 도 6에 도시

된 화소의 구동 타이밍도이다.

- [0058] 도 6을 참조하면, 본 발명의 제 1실시예에 의한 화소(140)는 유기발광 소자(Organic Light Emitting Diode, OLED)와, 유기발광소자(OLED)로 전류를 공급하기 위한 화소회로(142)를 구비한다.
- [0059] 유기발광소자(OLED)의 애노드전극은 화소회로(142)에 접속되고, 캐소드전극은 제 2전원(ELVSS)에 접속된다. 이와 같은 유기발광소자(OLED)는 화소회로(142)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.
- [0060] 단, 본 발명의 실시예의 경우 화소부(130)를 구성하는 각 화소(140)는, 한 프레임의 일부 기간(앞에 언급한 (d) 단계)에 대하여 주사선(S1 내지 Sn)에 순차적으로 주사신호가 공급될 때, 데이터선(D1 내지 Dm)으로 공급되는 데이터신호를 공급받으나, 한 프레임의 나머지 기간((a), (b), (c), (e), (f) 단계)에 대해서는 각 주사선(S1 내지 Sn)에 인가되는 주사 신호, 각 화소들(140)에 인가되는 제 1전원(ELVDD) 및/또는 제 2전원(ELVSS), 각 제어선(GC1 내지 GCn)에 인가되는 제어 신호들이 동시에 일괄적으로 각각 정해진 소정의 전압 레벨로 상기 각 화소(140)에 인가된다.
- [0061] 이에 상기 각 화소(140)에 구비되는 화소회로(142)는 3개의 트랜지스터(M1 내지 M3) 및 2개의 커패시터(C1, C2)를 구비한다.
- [0062] 또한, 본 발명의 실시예의 경우 상기 유기발광소자의 애노드 전극 및 캐소드 전극에 의해 생성되는 기생 커패시터(Coled)의 용량을 고려하여, 상기 제 2커패시터(C2)와 기생 커패시터(Coled)에 의한 커플링 효과를 활용함을 특징으로 한다. 이에 대해서는 이하 도 8를 통해 보다 상세히 설명하도록 한다.
- [0063] 여기서, 제 1트랜지스터(M1)의 게이트 전극은 주사선(S)에 접속되고, 제 1전극은 데이터선(D)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 제 1노드(N1)에 접속된다.
- [0064] 즉, 상기 제 1트랜지스터(M1)의 게이트 전극에는 주사신호(Scan(n))가 입력되고, 제 1전극으로는 데이터신호(Data(t))가 입력된다.
- [0065] 또한, 제 2트랜지스터(M2)의 게이트 전극은 제 2노드(N2)에 접속되고, 제 1전극은 제 1전원(ELVDD(t))에 접속되며, 제 2전극은 유기발광소자의 애노드 전극에 접속된다. 여기서, 상기 제 2트랜지스터(M2)는 구동 트랜지스터로서의 역할을 수행한다.
- [0066] 또한, 상기 제 1노드(N1) 및 제 2트랜지스터(M2)의 제 1전극 즉, 제 1전원(ELVDD(t)) 사이에 제 1커패시터(C1)이 접속되고, 상기 제 1노드(N1) 및 제 2노드(N2) 사이에는 제 2커패시터(C2)가 접속된다.
- [0067] 또한, 제 3트랜지스터(M3)의 게이트 전극은 제어선(GC)에 접속되고, 제 1전극은 상기 제 2트랜지스터(M2)의 게이트 전극과 접속되며, 제 2전극은 상기 유기발광소자의 애노드 전극 즉, 제 2트랜지스터(M3)의 제 2전극과 접속된다.
- [0068] 이에 따라 상기 제 3트랜지스터(M3)의 게이트 전극으로는 제어신호(GC(t))가 입력되며, 상기 제 3트랜지스터가 턴 온되는 경우 상기 제 2트랜지스터(M2)는 다이오드 연결된다.
- [0069] 또한, 상기 유기발광소자의 캐소드 전극은 제 2전원(ELVSS(t))와 연결된다.
- [0070] 도 6에 도시된 실시예의 경우 상기 제 1 내지 제 3트랜지스터(M1 내지 M3)는 모두 PMOS로 구현된다.
- [0071] 앞서 설명한 바와 같이 본 발명의 실시예에 의한 상기 각 화소(140)는 "동시 발광 방식"으로 구동됨을 특징으로 하며, 이는 구체적으로 도 7a 내지 도 7c에 도시된 바와 같이 각 프레임 별로 초기화 구간(Int), 리셋 구간(Reset), 문턱전압 보상 구간(Vth), 주사/ 데이터 입력 구간(Scan), 발광 구간(Emission) 및 발광 오프 구간(Off)으로 구분된다.
- [0072] 이 때, 상기 주사/ 데이터 입력 구간에 대해서는 주사신호가 각 주사선에 대해 순차적으로 입력되고, 이에 대응하여 각 화소에 데이터 신호가 순차적으로 입력되나, 이외의 구간에 대해서는 기 설정된 레벨의 전압값을 갖는 신호 즉, 제 1전원(ELVDD(t)) 및/또는 제 2전원(ELVSS(t)), 주사신호(Scan(n)), 제어신호(GC(t)), 데이터신호(Data(t))가 화소부를 구성하는 전체 각 화소(140)에 일괄적으로 인가된다.
- [0073] 즉, 각 화소(140)에 구비된 구동 트랜지스터의 문턱전압 보상 및 각 화소의 발광 동작은 프레임 별로 화소부 내의 모든 화소(140)에서 동시에 구현됨을 특징으로 한다.
- [0074] 단, 본 발명의 실시예의 경우 상기 제 1전원(ELVDD(t)) 및/또는 제 2전원(ELVSS(t))이 제공됨에 있어서 각각 도

7a 내지 도 7c에 도시된 바와 같이 3가지 방식으로 구현될 수 있다.

- [0075] 먼저 도 7a를 참조하면, 이는 상기 제 1전원(ELVDD)이 서로 다른 3가지 레벨(일 예로 12V, 2V, -3V)의 전압값으로 인가되고, 제 2전원(ELVSS)은 고정된 로우레벨(일 예로 0V)로 인가되며, 데이터 신호의 전압 범위는 0 ~ 6V가 된다.
- [0076] 즉, 이 경우 제 2전원(ELVSS) 구동부(180)는 항상 일정한 레벨(GND)의 전압값을 출력하므로 별도의 구동회로로 구현될 필요는 없으며, 이에 대한 회로적 비용은 절감할 수 있으나, 이에 반해 상기 제 1전원(ELVDD)은 3가지 레벨 중 네가티브 전압값(일 예로 -3V)이 필요하기 때문에 제 1전원(ELVDD) 구동부(170)의 회로 구성이 복잡해질 수 있다.
- [0077] 또한, 상기 도 7a에 도시된 신호 파형으로 구동할 경우 도시된 바와 같이 리셋 구간에서는 주사신호(Scan(n))가 각각 "하이레벨(H), 하이레벨(H), 하이레벨(H)", "하이레벨(H), 로우레벨(L), 하이레벨(H)", "로우레벨(L), 로우레벨(L), 로우레벨(L)"로 인가될 수 있으며, 이는 하기된 도 8b 내지 도 8d를 통해 보다 상세히 설명하도록 한다.
- [0078] 다음으로 도 7b를 참조하면, 상기 제 1전원(ELVDD)이 2가지 레벨(일 예로 12V, 7V)의 전압값으로 인가되고, 상기 제 2전원(ELVSS) 또한 2가지 레벨(일 예로 0V, 10V)의 전압값으로 각각 인가되며, 데이터 신호의 전압 범위는 0 ~ 12V가 된다.
- [0079] 즉, 이 경우 구동 파형이 단순해질 수 있으나, 서로 다른 레벨의 전압값을 출력하기 위해 제 1전원 구동부(170) 및 제 2전원 구동부(180)가 모두 구비되어야 한다.
- [0080] 다음으로 도 7c를 참조하면, 이는 도 7a와 반대의 실시예로서 상기 제 1전원(ELVDD)은 고정된 하이 레벨(일 예로 12V)의 전압값으로 인가되고, 제 2전원(ELVSS)은 서로 다른 3가지 레벨(일 예로 0V, 10V, 15V)의 전압값으로 인가된다.
- [0081] 즉, 이 경우 제 1전원 구동부(170)은 항상 일정한 레벨의 전압값을 출력하므로 별도의 구동회로로 구현될 필요는 없으며, 이에 대한 회로적 비용은 절감할 수 있으나, 이에 반해 상기 제 2전원(ELVSS)은 3가지 레벨 중 포지티브 전압값이 필요하기 때문에 제 2전원(ELVSS) 구동부(180)의 회로 구성이 복잡해질 수 있다.
- [0082] 이하, 도 8a 내지 도 8j를 통해 본 발명의 실시예에 의한 동시 발광 방식의 구동을 보다 구체적으로 설명하도록 한다.
- [0083] 단, 도 8에서는 앞서 설명한 도 7a의 구동 방식 중 리셋 구간에서 주사신호(Scan(n))가 각각 "하이레벨(H), 로우레벨(L), 하이레벨(H)"로 인가되는 것을 그 예로 설명하도록 한다.
- [0084] 도 8a 내지 도 8j는 본 발명의 실시예에 의한 유기 전계발광 표시장치의 구동을 설명하기 위한 도면이다.
- [0085] 단, 설명의 편의를 위해 입력되는 신호의 전압 레벨을 구체적인 수치로 설명하나, 이는 이해를 돕기 위한 임의의 값들이며 실제 설계치에 해당하는 것은 아니다.
- [0086] 또한, 본 발명의 실시예의 경우 제 1커패시터(C1), 제 2커패시터(C2), 유기발광소자의 기생 커패시터(Coled)의 용량 비는 1:1:4임을 가정하여 설명하도록 한다.
- [0087] 먼저 도 8a를 참조하면, 이는 화소부(130)의 각 화소(140) 즉, 도 6에 도시된 화소에 대하여 각 노드(N1, N2)의 전압을 이후 진행되는 문턱전압 보상 구간에서와 동일하게 초기화하는 단계이다.
- [0088] 즉, 상기 초기화 구간에서는 제 1전원(ELVDD(t))이 중간(middle) 레벨(일 예로 2V)로 인가되고, 주사신호(Scan(n))가 로우 레벨(일 예로 -5V)로 인가되며, 제어신호(GC(t))는 하이 레벨(일 예로 6V)로 인가된다.
- [0089] 또한, 상기 단계에서 인가되는 데이터 신호(Data(t))는 초기화 전압(Vsus)으로서 본 발명의 실시예의 경우 5V가 인가됨을 그 예로 설명하고, 또한, 상기 제 2커패시터(C2) 양단 간에 걸리는 전압 차이가 5V임을 가정하여 설명한다.
- [0090] 상기 제 2커패시터(C2) 양단 간의 전압 차이가 5V로 가정함은 이후 문턱전압 보상 구간에 대한 설명(도 8d 내지 도 8f)을 통해 설명된다.
- [0091] 또한, 상기 초기화 단계는 화소부를 구성하는 각 화소에 일괄적으로 적용되는 것이므로, 초기화 단계에서 인가되는 신호들 즉, 제 1전원(ELVDD(t)), 주사신호(Scan(n)), 제어신호(GC(t)) 및 데이터 신호(Data(t))는 각각

설정된 레벨의 전압값으로 상기 모든 화소에 동시에 인가된다.

- [0092] 상기와 같은 신호의 인가에 따라 제 1트랜지스터(M1)는 턴 온되고, 제 2트랜지스터(M2), 제 3트랜지스터(M3)는 턴 오프된다.
- [0093] 따라서, 제 1노드(N1)에는 데이터 라인을 통해 초기화 신호로 인가된 5V가 인가되고, 상기 제 2커패시터(C2)에 5V가 저장되어 있으므로, 제 2노드(N2)의 전압은 0V가 된다.
- [0094] 다음으로 도 8b 내지 도 8d를 참조하면, 이는 화소부(130)의 각 화소(140) 즉, 도 6에 도시된 화소에 인가된 데이터 전압이 리셋되는 구간으로서 유기발광소자가 발광되지 않도록 유기발광소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 떨어뜨리는 단계이다.
- [0095] 본 발명의 실시예의 경우 상기 리셋 구간은 도 8b 내지 도 8d의 3단계로 구분되어 진행된다.
- [0096] 먼저 도 8b를 참조하면, 즉, 상기 제 1리셋 구간에서는 제 1전원(ELVDD(t))이 로우 레벨(일 예로 -3V)로 인가되고, 주사신호(Scan(n))가 하이 레벨(일 예로 6V)로 인가되며, 제어신호(GC(t))는 하이 레벨(일 예로 6V)로 인가된다.
- [0097] 즉, 상기 주사신호(Scan(n))가 하이 레벨로 인가됨에 따라 PMOS인 제 1트랜지스터(M1)는 턴 오프되며, 이에 따라 상기 데이터 신호(Data(t))은 상기 구간에 대해 상기 주사신호의 전압값 보다 낮은 레벨의 전압값으로만 인가되면 된다.
- [0098] 또한, 상기 제 1전원(ELVDD(t))으로 인가되는 로우 레벨의 전압값은 제 2전원의 전압값(일 예로 0V) 이하의 네가티브 전압이 인가되며, 본 발명의 실시예의 경우 이를 -3V로 가정하여 설명한다.
- [0099] 이와 같이 상기 제 1전원(ELVDD(t))이 -3V로 인가되면, 이는 도 8a의 초기화 구간에서 제공된 제 1전원의 전압값 즉, 2V보다 5V 낮은 전압이 인가되는 것이므로, 제 1커패시터(C1) 및 제 2커패시터(C2)의 커플링 효과에 의해 상기 제 1노드(N1)의 전압 또한 초기화 구간에서의 5V보다 5V 낮아지므로 0V가 되고, 제 2노드(N2)의 전압은 초기화 구간에서의 0V보다 5V 낮아진 -5V가 된다.
- [0100] 단, 앞서 도 8a를 통해 간략히 언급한 바와 같이 이 때, 상기 주사신호(Scan(n))는 로우 레벨(일 예로 -5V)로 인가될 수도 있는데, 이 경우에는 상기 제 1트랜지스터(M1)이 턴 온되므로, 상기 제 1노드(N1)의 전압이 0V가 되도록 데이터신호(Data(t))는 0V가 인가된다.
- [0101] 즉, 설계적 제약 조건 상 기생 커플링에 의해 상기 제 1노드 및 제 2노드의 전압이 원하는 만큼 충분히 못 내려갈 경우를 고려하면 위와 같이 상기 주사신호를 로우레벨로 이에 대응한 데이터신호를 0V로 인가할 수 있는 것이다.
- [0102] 이와 같이 상기 제 2노드(N2)가 -5V가 되면, 이에 연결된 제 2트랜지스터(M2)의 게이트 전극에 인가되는 전압이 -5V가 되어 PMOS로 구현된 상기 제 2트랜지스터(M2)는 턴 온된다.
- [0103] 즉, 제 2트랜지스터(M2)의 제 1, 2전극 간 전류 통로가 형성됨에 따라 상기 제 1전극에 접속된 유기발광소자의 애노드 전극에 충전된 전압은 상기 제 1전원의 전압값 즉, -3V까지 점차적으로 떨어지게 된다.
- [0104] 그 다음 도 8c를 참조하면, 상기 제 2리셋 구간에서는 제 1전원(ELVDD(t))이 로우 레벨(일 예로 -3V)로 인가되고, 주사신호(Scan(n))가 로우 레벨(일 예로 -5V)로 인가되며, 제어신호(GC(t))는 하이 레벨(일 예로 6V)로 인가되며, 이 경우 상기 제 1트랜지스터(M1)이 턴 온되므로, 데이터 신호(Data(t))는 0V가 인가된다.
- [0105] 즉, 상기 제 2리셋 구간은 제 1리셋 구간과 비교할 때, 주사신호(Scan(n))가 로우 레벨(일 예로 -5V)로, 이에 대응되는 데이터 신호(Data(t))가 0V로 인가되는 것으로서, 이는 앞서 설명한 바와 같이 설계적 제약 조건 상 기생 커플링에 의해 상기 제 1노드 및 제 2노드의 전압이 원하는 만큼 충분히 못 내려갈 경우를 고려하여 수행하는 것이다.
- [0106] 따라서, 상기 제 2리셋 구간은 제 1리셋 구간과 동일한 파형을 유지하여도 된다. 즉, 제 2리셋 구간에 인가되는 주사신호(Scan(n))는 하이 레벨로 인가되어도 무방하다.
- [0107] 다음 도 8d를 참조하면, 상기 제 3리셋 구간에서는 제 1전원(ELVDD(t))이 중간 레벨(일 예로 2V)로 인가되고, 주사신호(Scan(n))가 하이 레벨(일 예로 6V)로 인가되며, 제어신호(GC(t))는 하이 레벨(일 예로 6V)로 인가된다.
- [0108] 즉, 상기 제 3리셋 구간의 경우 상기 제 1전원을 도 8a에서 설명한 초기화 구간에서와 동일한 전압값이 인가되

도록 복귀하며, 이에 따라 제 1전원의 전압값이 이전 제 2리셋 구간에 비해 5V 상승하므로, 제 1커패시터(C1) 및 제 2커패시터(C2)의 커플링 효과에 의해 상기 제 1노드(N1) 및 제 2노드(N2)의 전압은 각각 5V, 0V로 상승한다.

- [0109] 즉, 상기 각 노드의 전압 및 제 1전원의 전압값은 도 8a의 초기화 구간과 동일하게 된다.
- [0110] 다만, 상기 제 1 내지 제 3리셋 구간을 통해 유기발광소자의 애노드 전극의 전압은 최종적으로 캐소드 전극의 전압값(0V)보다 낮은 전압값인 -3V가 인가된 상태가 되는 것이다.
- [0111] 또한, 상기 제 3리셋 구간의 경우에도 상기 주사신호(Scan(n))는 로우 레벨(일 예로 -5V)로 인가될 수 있는데, 단, 이에 대응되는 데이터 신호(Data(t))는 5V로 인가되어야 하며, 이를 통해 상기 제 1노드(N1)의 전압을 5V로 유지할 수 있다.
- [0112] 이와 같은 도 8b 내지 도 8d를 통해 리셋 단계는 화소부를 구성하는 각 화소에 일괄적으로 적용되는 것이므로, 상기 제 1 내지 제 3리셋 단계에서 인가되는 신호들 즉, 제 1전원(ELVDD(t)), 주사신호(Scan(n)), 제어신호(GC(t)) 및 데이터 신호(Data(t))는 각각의 구간에서 설정된 레벨의 전압값으로 모든 화소에 동시에 인가되어야 한다.
- [0113] 다음으로 도 8e 내지 도 8g를 참조하면, 이는 화소부(130)의 각 화소(140)에 구비된 구동 트랜지스터(M2)의 문턱전압이 커패시터(Cst)에 저장되는 구간으로서 이는 이후 각 화소에 데이터 전압이 충전될 때 구동 트랜지스터의 문턱전압 편차에 의한 불량을 제거하는 역할을 한다.
- [0114] 본 발명의 실시예의 경우 상기 문턱전압 보상 구간은 도 8e 내지 도 8g의 3단계로 구분되어 진행된다.
- [0115] 먼저 도 8e를 참조하면, 즉, 제 1문턱전압 보상 구간은 구동 트랜지스터 즉, 제 2트랜지스터의 문턱전압을 저장하기 위한 사전 조치 구간으로서, 이전 도 5d 구간과 비교할 때, 주사신호(Scan(n))를 로우 레벨(-5V)로 인가하는 점에서 그 차이가 있다. 이 경우 제 1트랜지스터(M1)이 턴 온되므로 제 1트랜지스터의 제 1전극으로 인가되는 데이터 신호(Data(t))는 이전 도 5d의 제 1노드(N1)의 전압과 동일한 5V로 인가된다.
- [0116] 여기서, 상기 제 1문턱전압 보상 구간의 경우 상기 주사신호를 하이 레벨로 인가하여도 무방하나, 즉, 도 8d의 신호 인가 파형을 그대로 유지하여도 문제 없으나, 기생 커플링에 의해 각 노드(N1, N2)의 전압이 설정된 값에서 벗어날 위험을 방지하기 위해 구현되는 것이다.
- [0117] 다음으로 도 8f를 참조하면, 이는 제 2문턱전압 보상 구간으로서 상기 제 2노드(N2)를 풀-다운(pull-down)시키는 단계이다.
- [0118] 이를 위해 상기 제 1전원(ELVDD(t)) 및 주사신호(Scan(n))는 이전 단계와 동일하게 각각 중간 레벨(2V), 로우 레벨(-5V)로 인가되고, 상기 제어신호(GC(t))가 로우 레벨(일 예로 -8V)로 인가된다.
- [0119] 즉, 상기와 같은 신호의 인가에 따라 제 3트랜지스터(M3)가 턴 온되고, 상기 제 3트랜지스터(M3)가 턴 온됨에 의해 제 2트랜지스터(M2)의 게이트 전극 및 제 2전극이 전기적으로 연결되어 결과적으로 상기 제 2트랜지스터(M2)는 다이오드로서 동작하게 된다.
- [0120] 이에 따라 상기 제 2노드(N2) 즉, 제 2트랜지스터(M2)의 게이트 전극에 걸리는 전압은 상기 제 2커패시터(C2)와 유기발광소자의 기생 커패시터(Co1ed)의 커플링 효과에 의해 $Co1ed / (C2 + Co1ed)$ 만큼 떨어지게 되는 것이다.
- [0121] 이 때, 상기 C2와 Co1ed의 용량비가 1:4로 가정하였으므로, 상기 제 2노드(N2)의 전압은 0V에서 유기발광소자의 애노드 전극의 전압인 $-3V * 4/5$ 인 -2.4V로 떨어진다.
- [0122] 또한, 상기 제 2노드(N2)와 상기 유기발광소자의 애노드 전극은 동일한 노드로 연결된 상태이므로, 상기 유기발광소자의 애노드 전극 또한 -2.4V가 된다.
- [0123] 이 후, 도 8g를 참조하면, 이는 제 3문턱전압 보상 구간으로서, 인가되는 신호의 파형은 이전 제 2문턱전압 보상 구간과 동일하다.
- [0124] 단, 앞서 제 2문턱전압 보상 구간에서 설명한 바와 같이 제 2노드(N2)가 -2.4V로 떨어지게 되면, 구동트랜지스터로서의 제 2트랜지스터(M2)는 턴 온되며, 이는 다이오드로서의 역할을 수행하기 때문에 상기 제 1전원(ELVDD(t))과 상기 유기발광소자의 애노드 전극 간의 전압차가 제 2트랜지스터(M2)의 문턱전압의 크기에 대응될 때까지 턴 온되어 전류가 흐르고, 그 이후에는 턴 오프된다.
- [0125] 즉, 일 예로 상기 제 1전원이 2V로 인가되고, 제 2트랜지스터의 문턱전압이 -2V이므로 상기 유기발광소자의 애

노드 전극이 0V가 될 때까지 전류가 흐르된다.

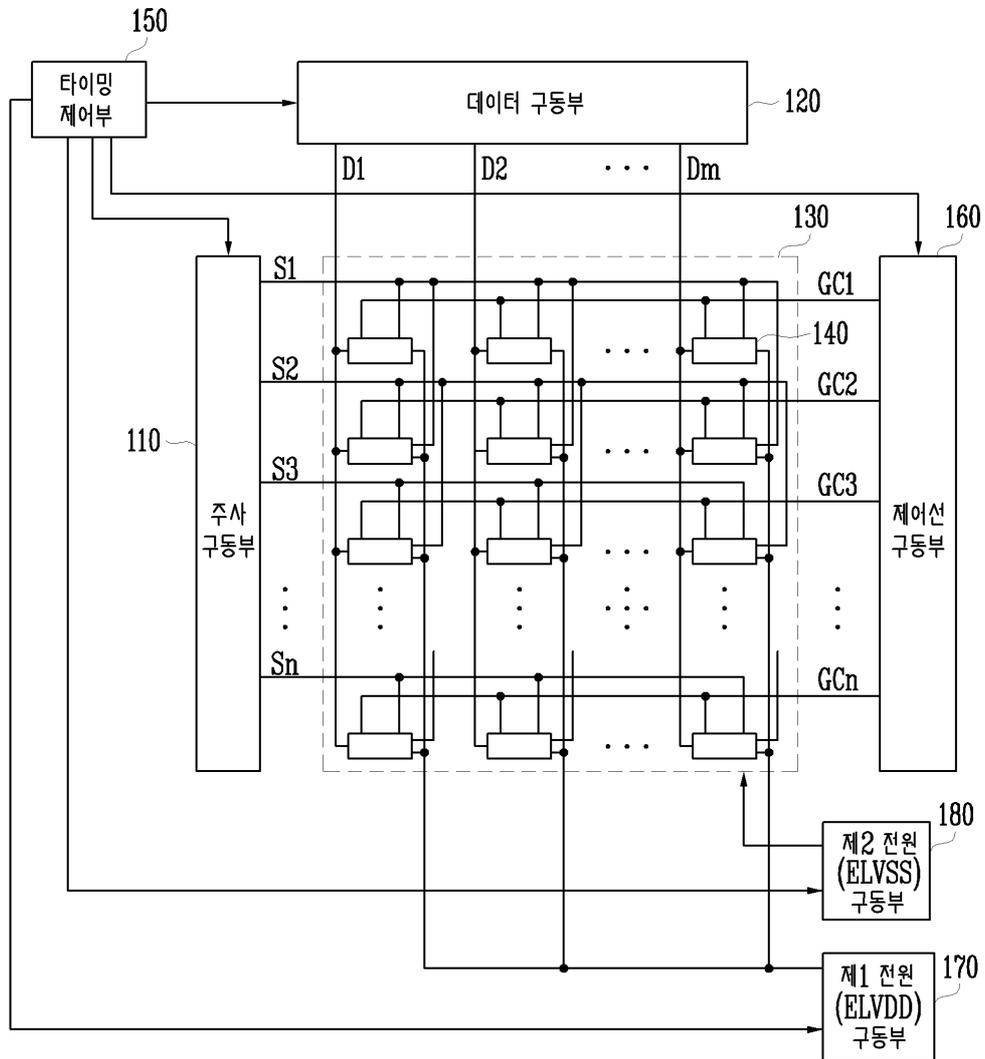
- [0126] 또한, 상기 제 2노드(N2)와 상기 유기발광소자의 애노드 전극의 전위차는 없으므로 상기 애노드 전극이 0V가 되면, 상기 제 2노드(N2)도 0V가 된다.
- [0127] 단, 상기 제 2트랜지스터(M2)의 문턱전압(V_{th})은 실질적으로 그 편차(ΔV_{th})가 존재하기 때문에 실제 문턱전압은 $-2V + \Delta V_{th}$ 가 되며, 이에 따라 상기 제 2노드(N2)의 전압은 ΔV_{th} 가 된다.
- [0128] 또한, 상기 제 1 내지 제 3문턱전압 보상 단계 역시 화소부를 구성하는 각 화소에 일괄적으로 적용되는 것이므로, 문턱전압 보상 단계에서 인가되는 신호들 즉, 제 1전원(ELVDD(t)), 주사신호(Scan(n)), 제어신호(GC(t)) 및 데이터 신호(Data(t))는 각각 설정된 레벨의 전압값으로 상기 모든 화소에 동시에 인가된다.
- [0129] 다음으로 도 8h를 참고하면, 이는 화소부(130)의 각 주사선(S1 내지 Sn)에 연결된 각각의 화소에 대해 순차적으로 주사신호가 인가되고, 이에 따라 각 데이터선(D1 내지 Dm)으로 공급되는 데이터신호가 인가되는 단계이다.
- [0130] 즉, 도 8h에 도시된 주사/ 데이터 입력 구간에 대해서는 주사신호가 각 주사선에 대해 순차적으로 입력되고, 이에 대응하여 각 주사선별로 연결된 화소에 데이터 신호가 순차적으로 입력되며, 상기 구간 동안에 제어신호(GC(t))는 하이 레벨(일 예로 +6V)로 인가된다.
- [0131] 단, 본 발명의 실시예의 경우 도 8h에 도시된 바와 같이 상기 순차적으로 인가되는 주사신호의 폭을 2 수평시간(2H)으로 인가함이 바람직하다. 즉, n-1번째 주사신호(Scan(n-1))의 폭과 이어 순차적으로 인가되는 n번째 주사신호(Scan(n))의 폭은 1H만큼 중첩되도록 인가된다.
- [0132] 이는 화소부의 대면적화에 의한 신호선의 RC 지연(delay)에 따른 충전 부족 현상을 극복하기 위함이다.
- [0133] 또한, 상기 제어신호(GC(t))가 하이 레벨로 인가됨에 따라 PMOS인 제 3트랜지스터(M3)는 턴 오프된다.
- [0134] 도 8h에 도시된 화소의 경우 로우 레벨의 주사신호가 인가되어 제 1트랜지스터(M1)가 턴 온되면, 이에 대해 소정의 전압값을 갖는 데이터 신호(Data)가 제 1트랜지스터의 제 1, 2전극을 경유하여 제 1노드(N1)에 인가된다.
- [0135] 이 때, 상기 인가되는 데이터 신호의 전압값은 일 예로 1V ~ 6V의 범위로 인가되며, 이 경우 상기 1V는 화이트를 나타내는 전압값이고, 상기 6V는 블랙을 나타내는 전압값이다.
- [0136] 여기서, 상기 인가되는 데이터를 6V라고 가정할 경우 상기 제 1노드(N1)의 전압은 이전 초기화 전압(V_{sus})인 5V에서 1V 상승하게 된다. 이에 따라 상기 제 2노드(N2)의 전압 또한 1V 상승하게 되어 제 2노드(N2)의 전압은 $-V_{th}+1V$ 가 된다.
- [0137] 이를 수식으로 나타내면 다음과 같다.
- [0138] 제 2노드(N2)의 전압 = $\Delta V_{th} + (V_{data} - V_{sus}) = \Delta V_{th} + (6V - 1V)$ 가 된다.
- [0139] 단, 상기 구간에서는 상기 제 1전원(ELVDD(t))가 2V로 인가되고 있으므로 상기 제 2트랜지스터(M2)가 턴 오프 상태에 있으며, 이에 따라 유기발광소자와 제 1전원(ELVDD(t))간에 전류 경로가 형성되지 않아 실질적으로는 유기발광소자로는 전류가 흐르지 않는다. 즉, 발광이 수행되지 않는다.
- [0140] 다음으로 도 8i를 참조하면, 이는 화소부(130)의 각 화소(140)에 저장된 데이터 전압에 대응되는 전류가 각 화소에 구비된 유기발광소자로 제공되어 발광이 수행되는 구간이다.
- [0141] 즉, 상기 발광 구간에서는 제 1전원(ELVDD(t))이 하이 레벨(일 예로 12V)로 인가되고, 주사신호(Scan(n)) 및 제어신호(GC(t))는 각각 하이 레벨(일 예로 6V)로 인가된다.
- [0142] 이에 따라, 상기 주사신호(Scan(n))가 하이 레벨로 인가됨에 따라 PMOS인 제 1트랜지스터(M2)는 턴 오프되므로, 상기 데이터 신호는 상기 구간에 대해 어떠한 레벨의 전압으로 제공되어도 무방하다.
- [0143] 또한, 상기 발광 단계 역시 화소부를 구성하는 각 화소에 일괄적으로 적용되는 것이므로, 발광 단계에서 인가되는 신호들 즉, 제 1전원(ELVDD(t)), 주사신호(Scan(n)), 제어신호(GC(t)) 및 데이터 신호(Data(t))는 각각 설정된 레벨의 전압값으로 상기 모든 화소에 동시에 인가된다.
- [0144] 또한, 상기 제어신호(GC(t))가 하이 레벨로 인가됨에 따라 PMOS인 제 3트랜지스터(M3)는 턴 오프되므로 다이오드 연결되었던 제 2트랜지스터(M2)는 구동 트랜지스터의 역할을 수행하게 된다.
- [0145] 이에 상기 제 2트랜지스터(M2)의 게이트 전극 즉, 제 2노드(N2)에 인가된 전압이 $\Delta V_{th}+1V$ 이고, 제 2트랜지스터

(M2)의 제 1전극에 인가되는 제 1전원(ELVDD(t))이 하이 레벨(일 예로 12V)로 인가됨에 따라 PMOS인 제 2트랜지스터(M2)가 턴온된다.

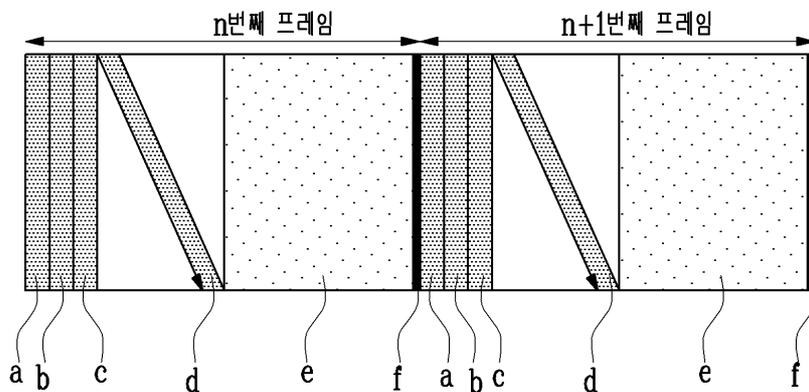
- [0146] 이와 같이 제 2트랜지스터(M2)의 턴온에 의해 상기 제 1전원과 유기발광소자의 캐소드 전극까지의 전류 경로가 형성되며, 이에 따라 상기 제 2트랜지스터(M2)의 Vgs 전압값 즉, 제 2트랜지스터의 게이트 전극과 제 1전극의 전압차에 해당하는 전압에 대응되는 전류가 상기 유기발광소자에 인가되며, 이에 대응되는 밝기로 발광하는 것이다.
- [0147] 즉, 상기 유기발광소자에 흐르는 전류는 $I_{oled} = \beta/2(V_{gs}-V_{th})^2 = \beta/2(V_{data} - V_{sus})^2$ 가 되므로 결과적으로 본 발명의 실시예에 의한 경우 유기발광소자에 흐르는 전류는 제 2트랜지스터(M2)의 문턱전압 편차(ΔV_{th})에 의해 발생하는 문제점을 극복할 수 있게 되는 것이다.
- [0148] 이와 같이 화소부 전체의 발광이 수행된 이후에는 도 8j에 도시된 바와 같이 발광 오프 단계를 수행한다.
- [0149] 즉, 도 8j를 참조하면, 상기 발광 오프 구간에서는 제 1전원(ELVDD(t))이 중간 레벨(일 예로 2V)로 인가되고, 주사신호(Scan(n))는 하이 레벨(일 예로 6V)이 인가되고, 제어신호(GC(t))는 하이 레벨(일 예로 6V)로 인가된다.
- [0150] 즉, 도 8i의 발광 구간과 비교할 때 상기 제 1전원(ELVDD(t))이 하이 레벨에서 중간 레벨(일 예로 2V)로 변경된 것 외에는 동일하다.
- [0151] 이는 발광 동작 이후 블랙 삽입(black insertion) 또는 디밍(dimming)을 위해 발광을 꺼주는 기간으로서, 유기발광소자의 애노드 전극의 전압값은 이전에 유기발광소자가 발광하고 있었으면 수십 us 이내로 발광이 오프되는 전압까지 떨어지게 된다.
- [0152] 이와 같이 도 8a 내지 도 8j 구간을 통해 하나의 프레임이 구현되며, 이는 계속 순환되어 그 다음 프레임을 구현한다. 즉, 도 8j의 발광 오프 구간 이후에는 다시 도 8a의 초기화 구간이 진행되는 되는 것이다.
- [0153] 도 9는 도 1에 도시된 화소의 제 2실시예에 의한 구성을 나타내는 회로도이다.
- [0154] 도 9를 참조하면, 이는 도 6에 도시된 실시예와 비교할 때 화소회로를 구성하는 트랜지스터가 NMOS로 구현되는 점에서 그 차이가 있다.
- [0155] 이 경우 구동 과형은 도 7a 내지 도 7c의 구동 타이밍도와 비교할 때 주사신호(Scan(n)), 제어신호(GC(n)), 제 1전원(ELVDD(t)), 제 2전원(ELVSS(t)), 데이터 기입 구간 이외에 공급되는 데이터신호(Data(t))의 구동 과형과 극성이 반전된 형태로 제공된다.
- [0156] 결과적으로 도 9에 도시된 제 2실시예는 도 6에 도시된 제 1실시예와 비교할 때 트랜지스터가 PMOS가 아닌 NMOS로 구현되는 것으로, 그 구동 동작 및 원리는 제 1실시예와 동일하므로 그 구체적인 설명은 생략하도록 한다.
- [0157] 도 9를 참조하면, 본 발명의 실시예에 의한 화소(240)는 유기발광 소자(Organic Light Emitting Diode, OLED)와, 유기발광소자(OLED)로 전류를 공급하기 위한 화소회로(242)를 구비한다.
- [0158] 유기발광소자(OLED)의 캐소드전극은 화소회로(242)에 접속되고, 애노드전극은 제 1전원(ELVDD(t))에 접속된다. 이와 같은 유기발광소자(OLED)는 화소회로(242)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.
- [0159] 단, 본 발명의 실시예의 경우 화소부를 구성하는 각 화소(240)는, 한 프레임의 일부 기간(앞에 언급한 (d) 단계)에 대하여 주사선(S1 내지 Sn)에 순차적으로 주사신호가 공급될 때, 데이터선(D1 내지 Dm)으로 공급되는 데이터신호를 공급받으나, 한 프레임의 나머지 기간((a), (b), (c), (e), (f) 단계)에 대해서는 각 주사선(S1 내지 Sn)에 인가되는 주사 신호, 각 화소들(240)에 인가되는 제 1전원(ELVDD) 및 또는 제 2전원(ELVSS), 각 제어선(GC1 내지 GCn)에 인가되는 제어 신호들이 동시에 일괄적으로 각각 정해진 소정의 전압 레벨로 상기 각 화소(240)에 인가된다.
- [0160] 이에 상기 각 화소(240)에 구비되는 화소회로(242)는 3개의 트랜지스터(NM1 내지 NM3) 및 2개의 커패시터(C1, C2)를 구비한다.
- [0161] 여기서, 제 1트랜지스터(NM1)의 게이트 전극은 주사선(S)에 접속되고, 제 1전극은 데이터선(D)에 접속된다. 그

도면

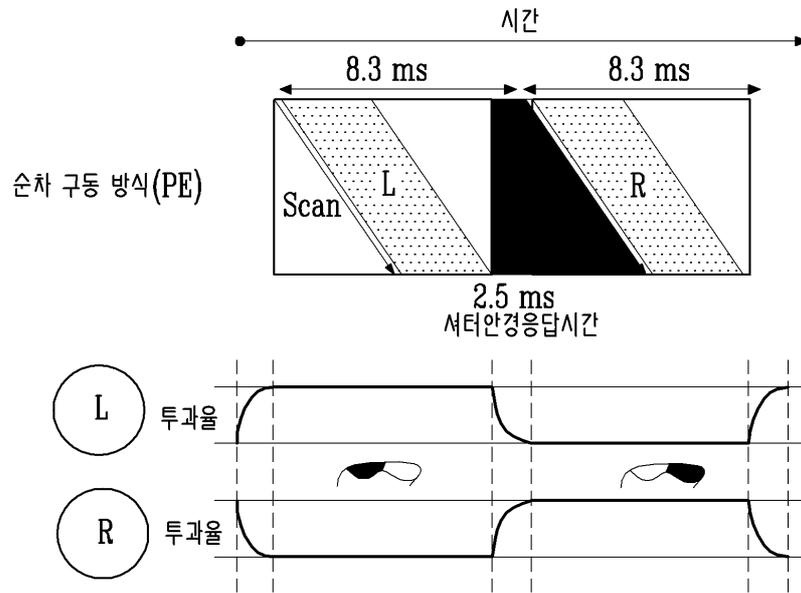
도면1



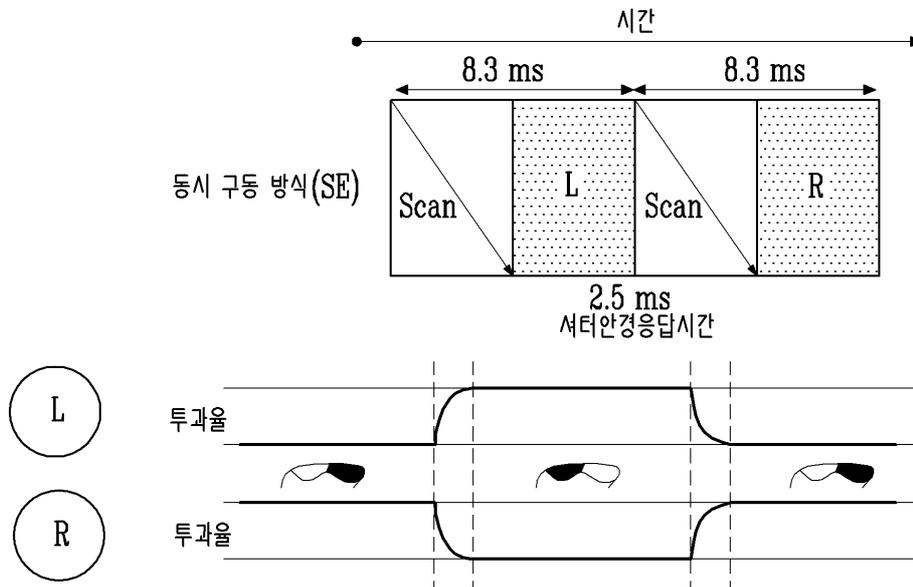
도면2



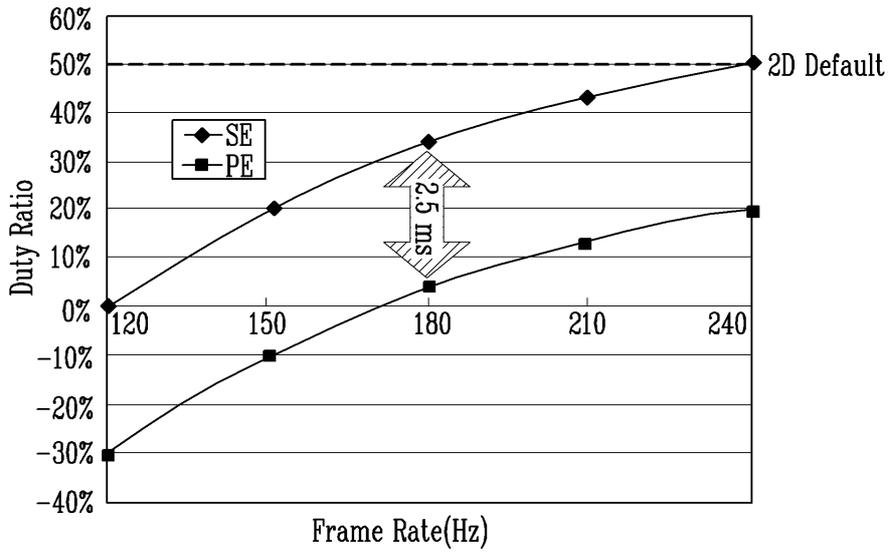
도면3



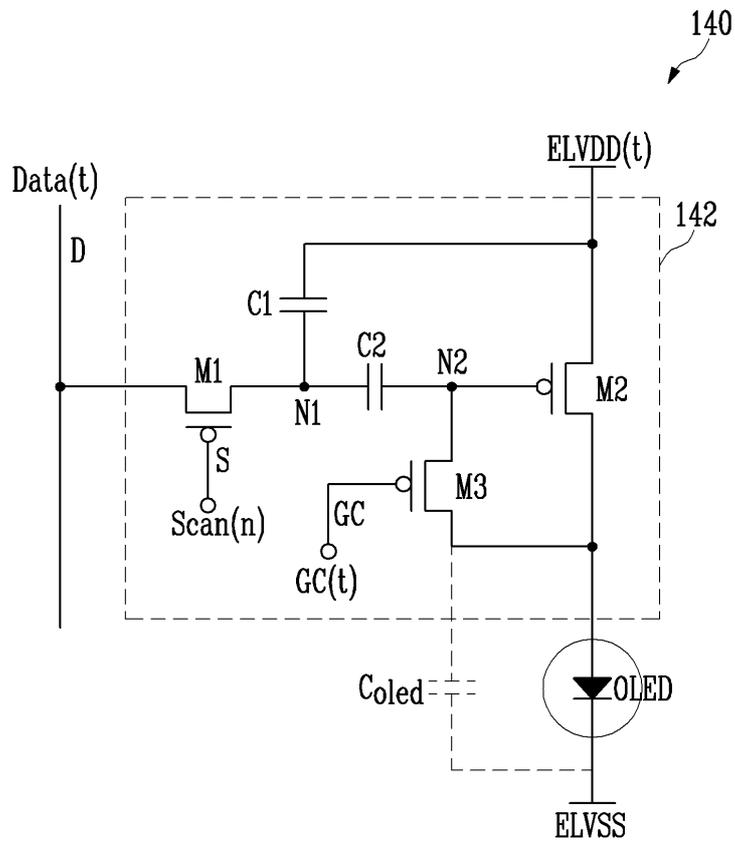
도면4



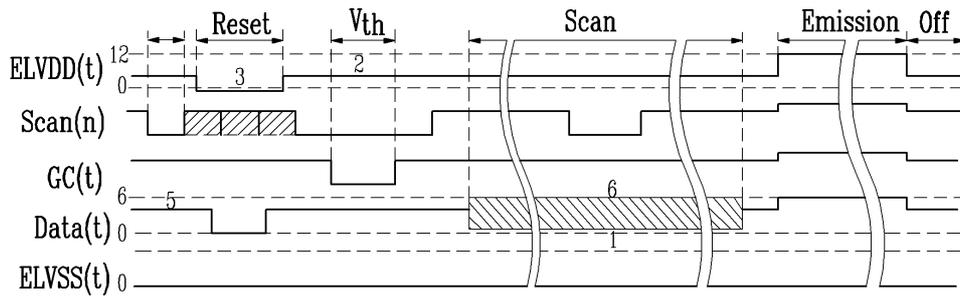
도면5



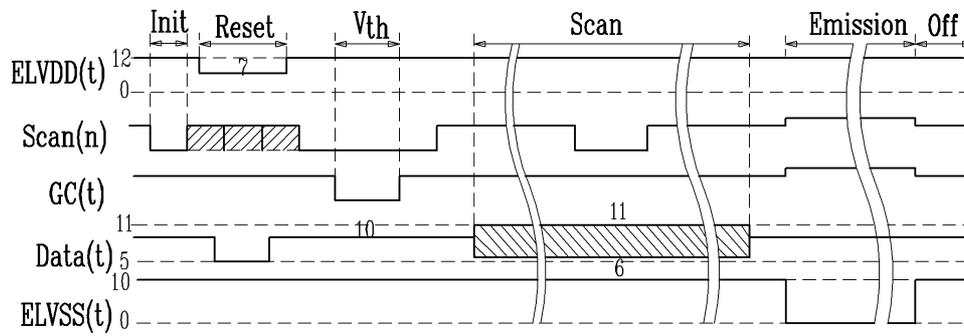
도면6



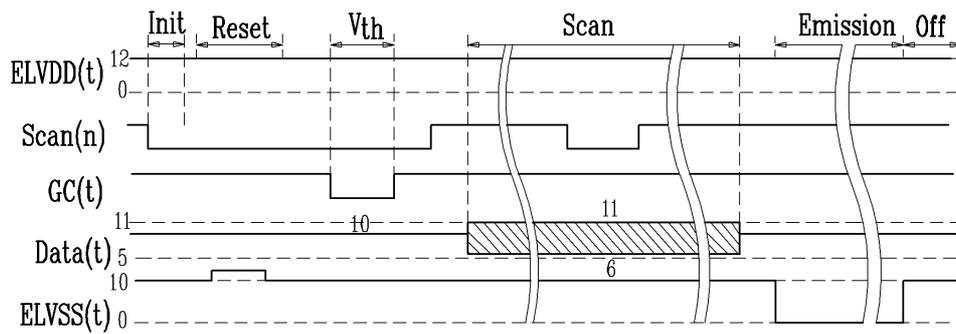
도면7a



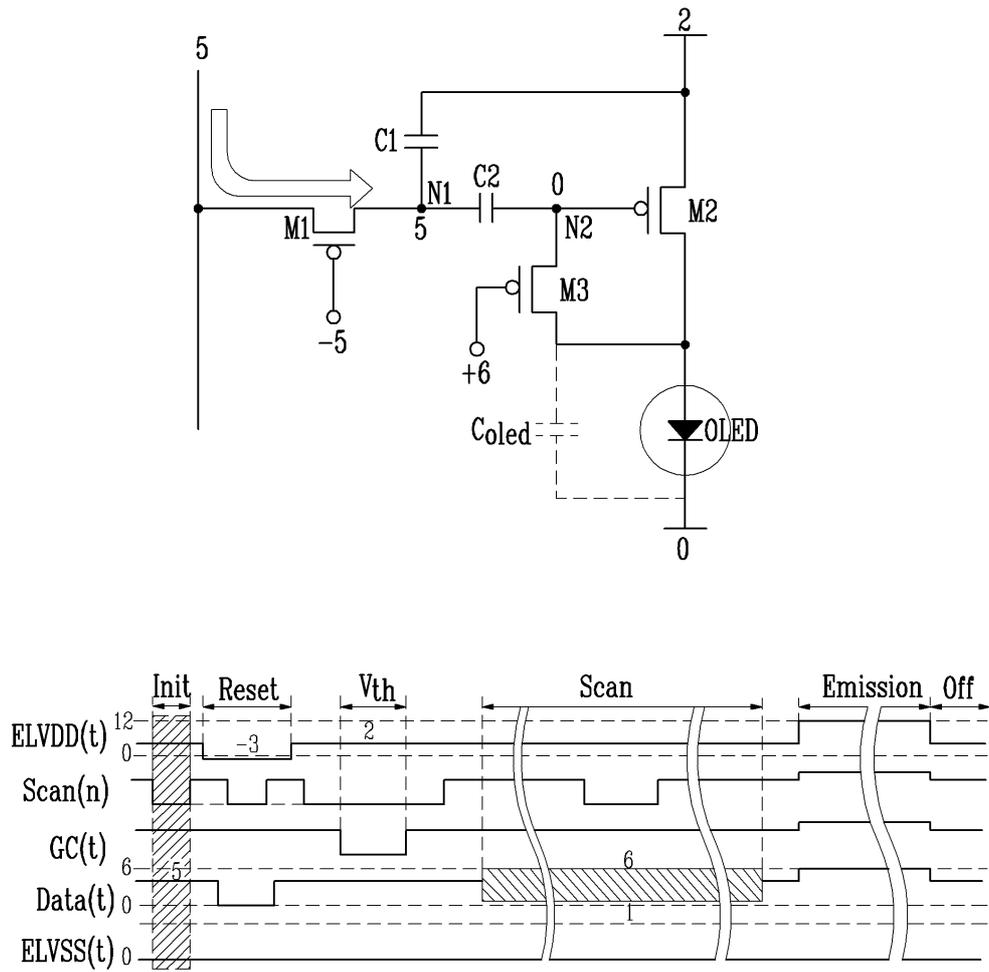
도면7b



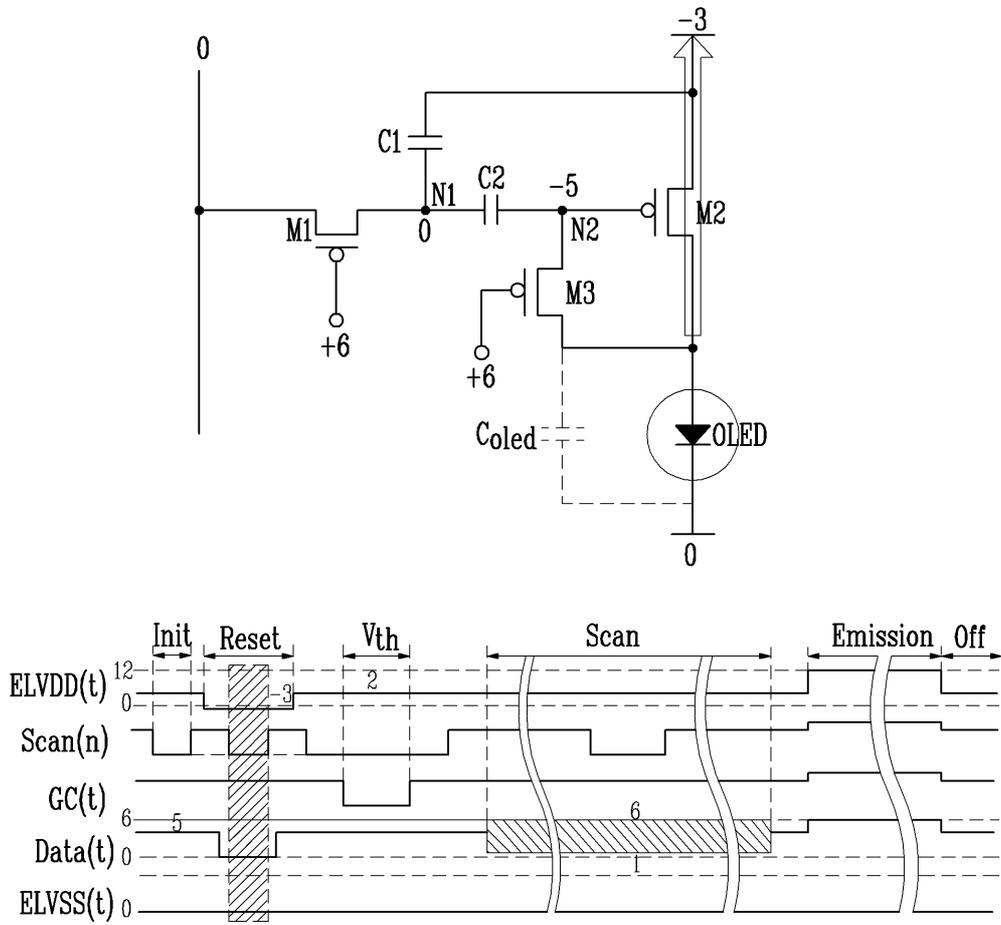
도면7c



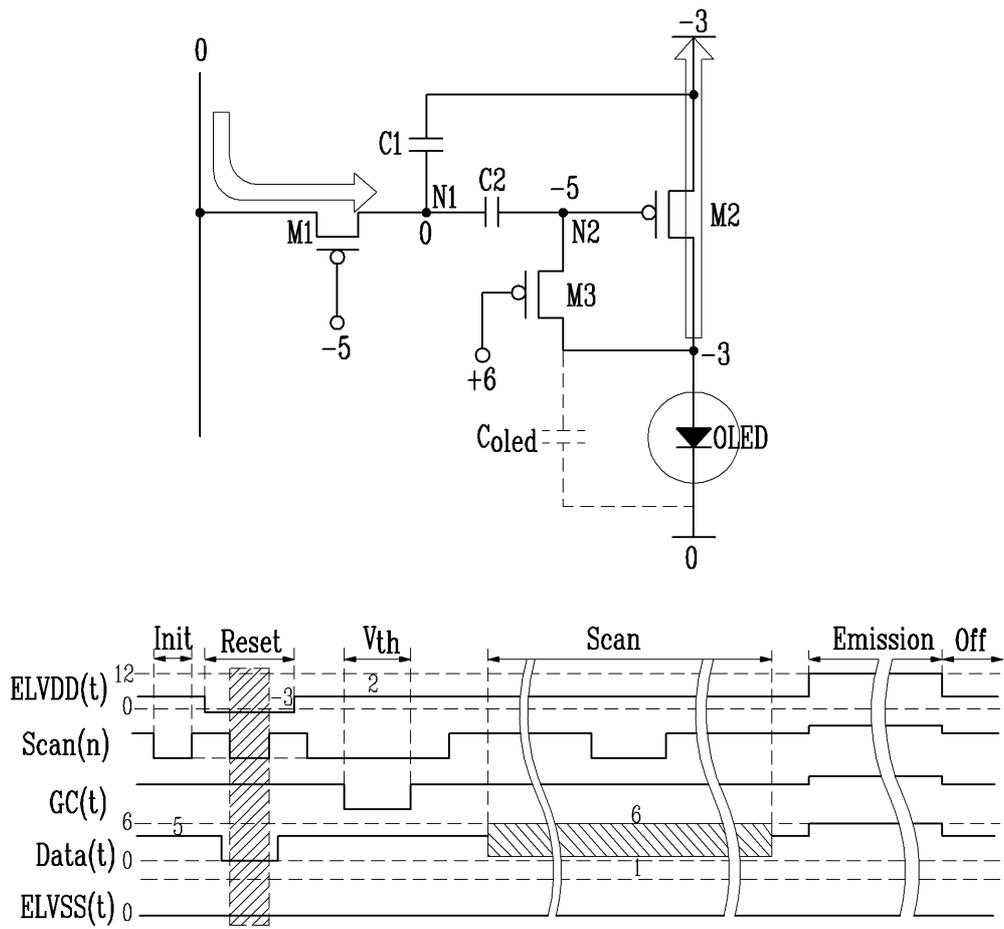
도면8a



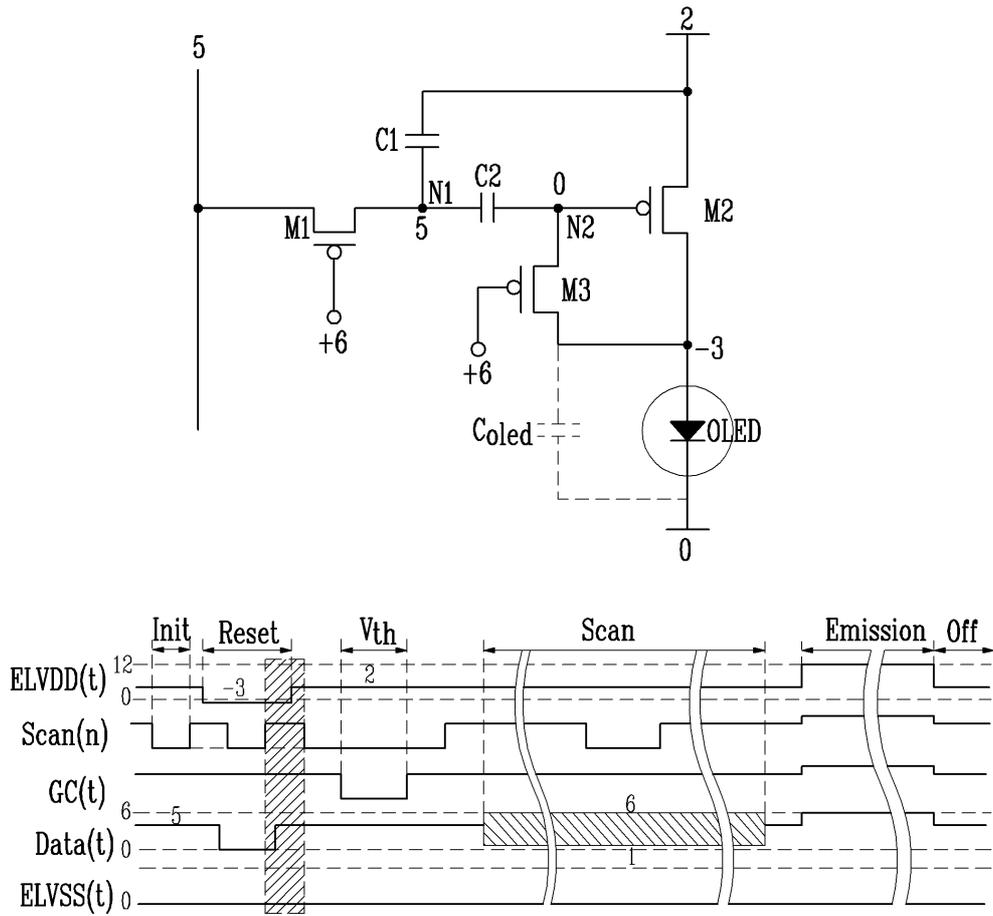
도면8b



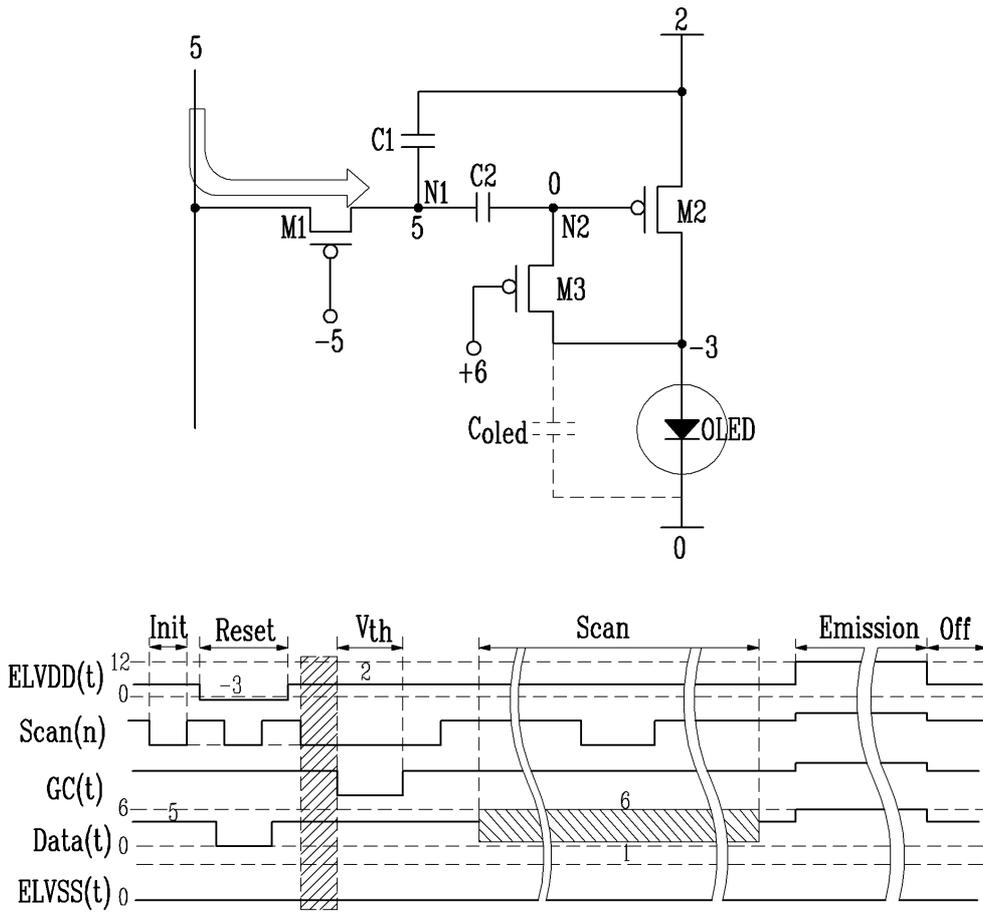
도면8c



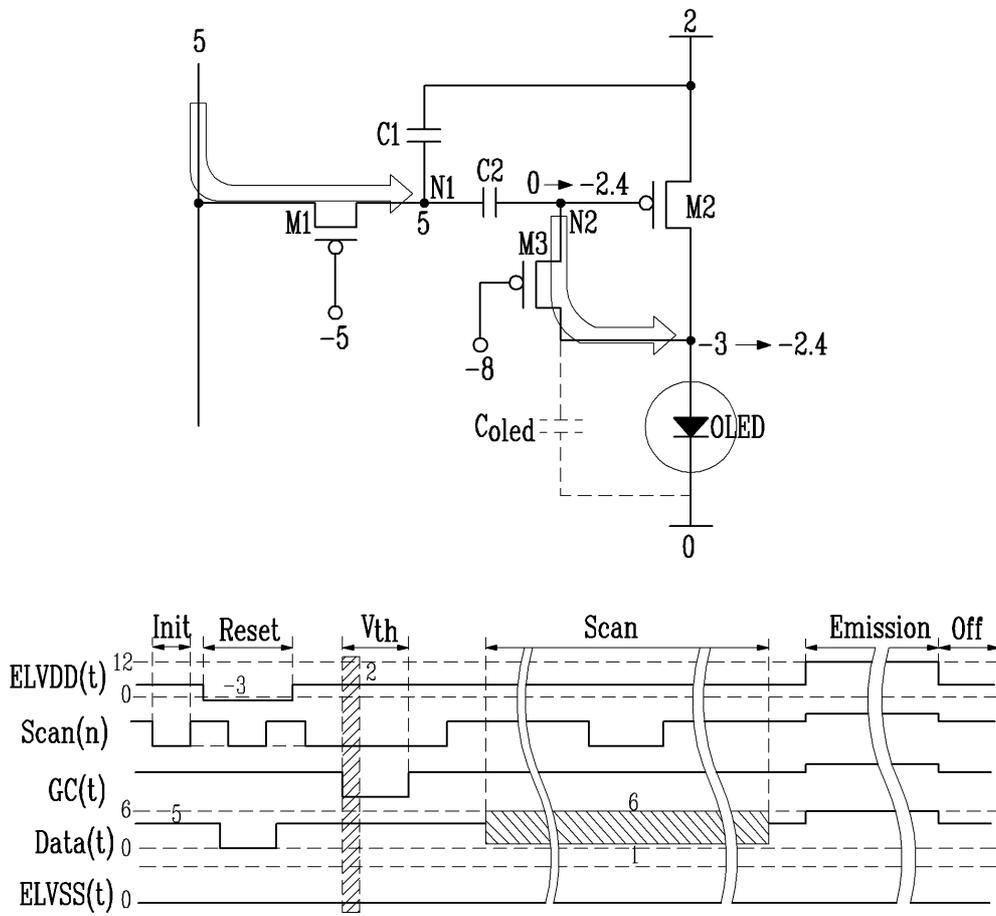
도면8d



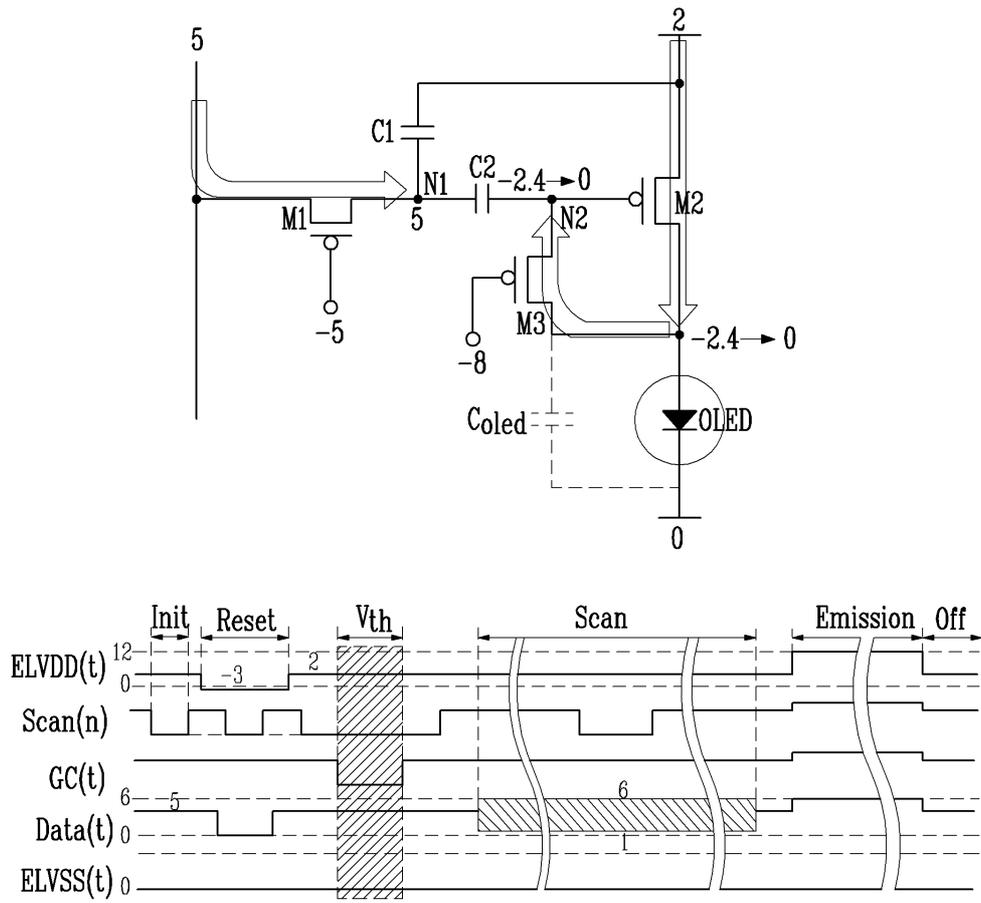
도면8e



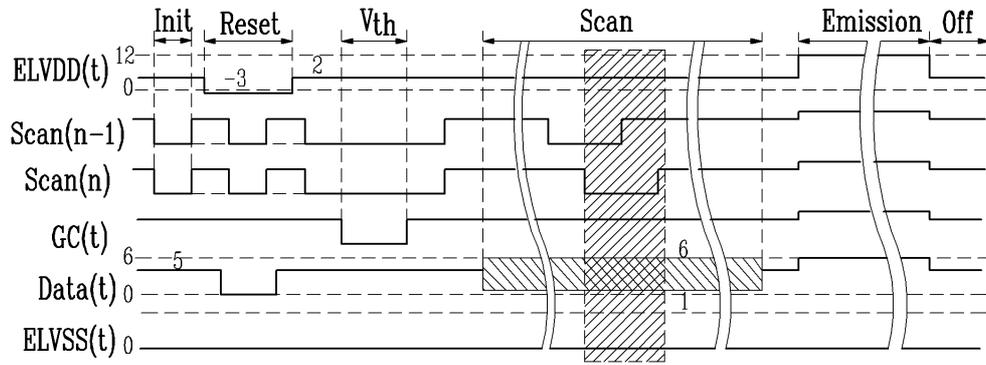
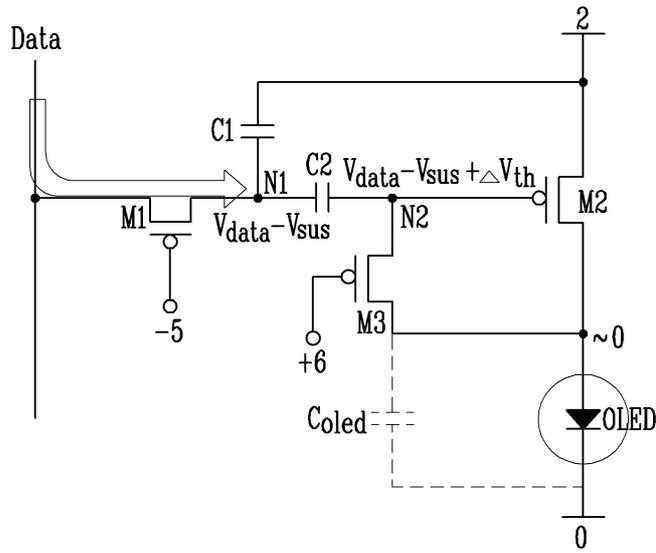
도면8f



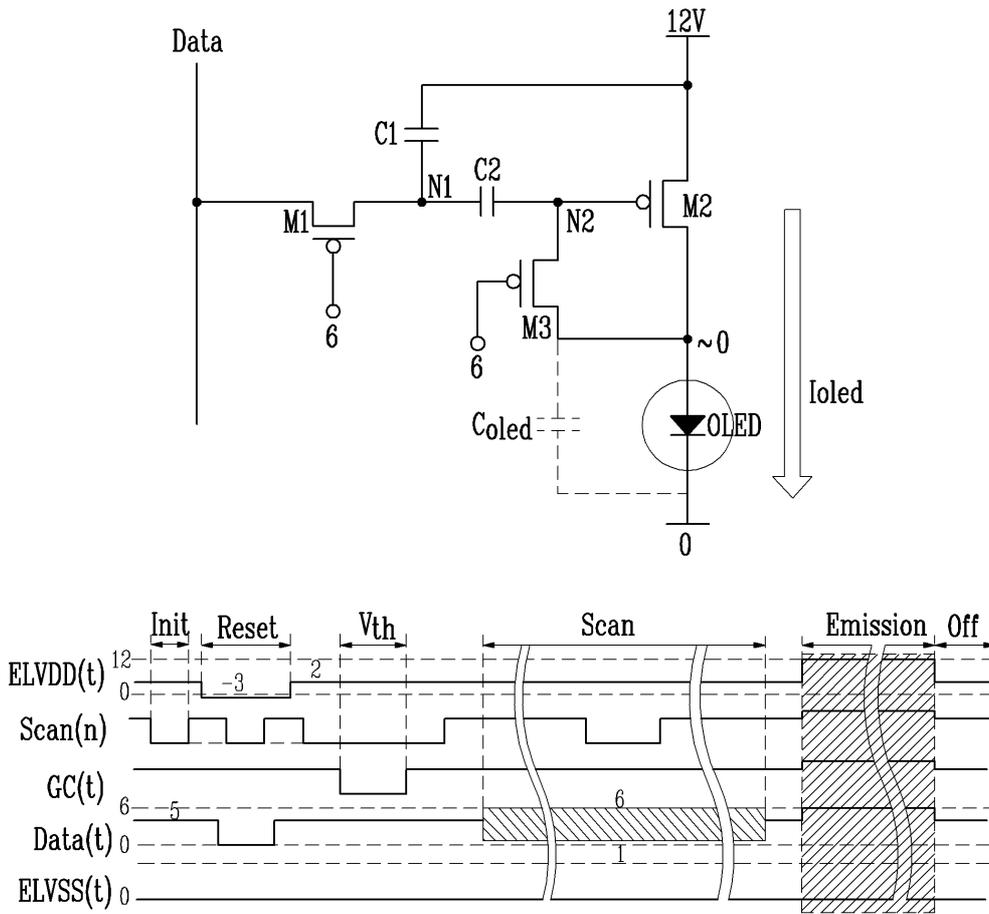
도면8g



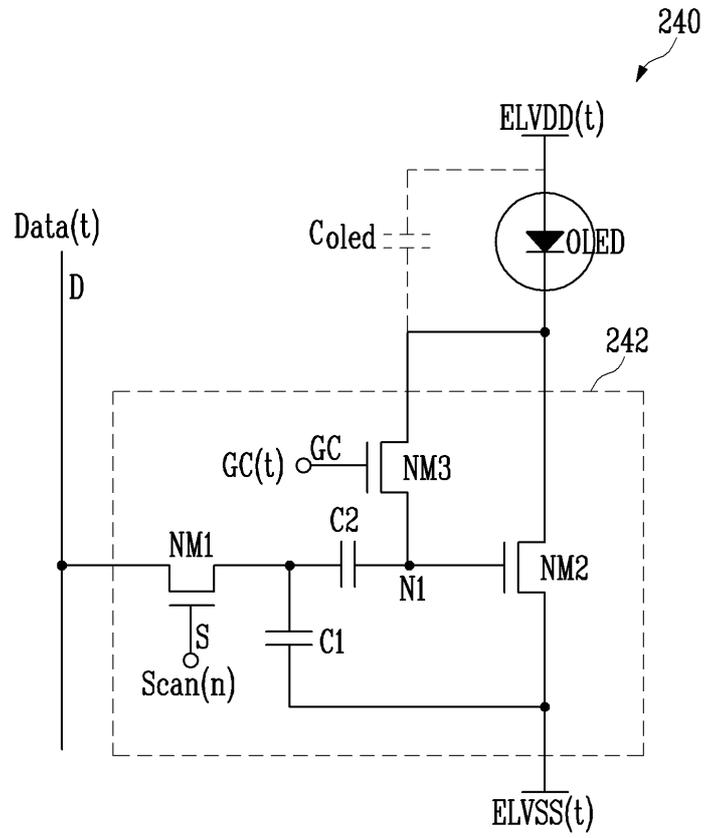
도면8h



도면8i



도면9



专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	KR1020110013693A	公开(公告)日	2011-02-10
申请号	KR1020090071280	申请日	2009-08-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	BAEKWOON LEE 이백운		
发明人	이백운		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3258 G09G3/3291 G09G2320/043 G09G2300/043 G09G2300/0866 G09G3/003 G09G2310/063 G09G3/3208 G09G3/3233		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

用途：提供有机发光显示器及其驱动方法，以通过同步点亮模式驱动像素来实现驱动晶体管的阈值电压补偿和高速操作。组成：像素单元包括像素（140）。像素连接到扫描线，控制线和数据线。控制线驱动器向每个像素提供控制信号。第一电力控制单元向每个像素提供第一电源。第二电源控制单元向每个像素提供第二电源。第一和第二电源在一帧期间向每个像素提供不同水平的功率。控制信号以及第一和第二电源同时施加到所有像素。

