



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0127783
(43) 공개일자 2010년12월06일

- | | |
|--|---|
| <p>(51) Int. Cl.
<i>G09G 3/30</i> (2006.01)</p> <p>(21) 출원번호 10-2010-7020609</p> <p>(22) 출원일자(국제출원일자) 2009년11월27일
심사청구일자 2010년09월15일</p> <p>(85) 번역문제출일자 2010년09월15일</p> <p>(86) 국제출원번호 PCT/JP2009/070374</p> <p>(87) 국제공개번호 WO 2010/061979
국제공개일자 2010년06월03일</p> <p>(30) 우선권주장
JP-P-2008-305713 2008년11월28일 일본(JP)</p> | <p>(71) 출원인
가시오계산키 가부시카가이샤
일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고</p> <p>(72) 발명자
오구라 준
일본국 도쿄도 205-8555 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키 가부시카가이샤 하무라기쥬 츠센터내</p> <p>다케이 마나부
일본국 도쿄도 205-8555 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키 가부시카가이샤 하무라기쥬 츠센터내</p> <p>가시야마 슌지
일본국 도쿄도 205-8555 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키 가부시카가이샤 하무라기쥬 츠센터내</p> <p>(74) 대리인
김문중, 손은진</p> |
|--|---|

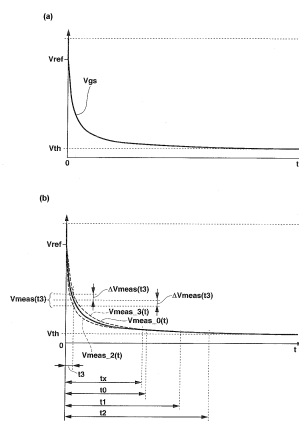
전체 청구항 수 : 총 17 항

(54) 화소 구동 장치, 발광 장치 및 화소 구동 장치의 특성 파라미터 획득 방법

(57) 요약

구동 트랜지스터(T3)의 임계 전압(V_{th})을 초과하는 기준 전압(V_{ref})이, 유기전계 발광 소자(110)과 구동 트랜지스터를 포함하는 각 화소(21(i, j))상에 신호선(Ld)를 통해 인가된 후에, 고 임피던스 상태의 신호선을 설정하는 화소 구동 장치로서, 소정의 정착시간 경과 후에 신호선의 일단의 전압값을 획득하고, 소정의 값보다 긴 복수의 제 1 정착시간에 획득된 전압값에 의거하여 각 화소의 구동 트랜지스터의 임계 전압과 화소 구동 회로의 전류 증폭율을 제 1 특성 파라미터로서 획득하고, 소정의 값보다 짧은 시간에 획득된 제 1 특성 파라미터의 값과 측정 전압값에 의거하여 전류 증폭율의 편차를 나타내는 편차 파라미터를 획득한다.

대표도 - 도4



특허청구의 범위

청구항 1

복수의 신호선(Ld)의 각각에 접속되고, 발광소자(101)와, 상기 발광소자에 공급되는 전류를 제어하고 상기 발광소자의 일단에 전류로의 일단이 접속되는 구동 트랜지스터(T3) 및 상기 구동 트랜지스터의 제어단자에 인가되는 전압에 의해 전하를 저장하는 유지용량(Cs)을 갖는 화소 구동 회로(DC)를 각각 구비하는 복수의 화소(21(i, j))를 구동하는 화소 구동 장치로서,

기준 전압(Vref)을 출력하는 전압 인가 회로(14)와,

각 신호선에 접속되도록 구비된 전압 측정 회로(114)와,

상기 전압 인가 회로와 상기 전압 측정 회로 사이에서 각 신호선의 일단의 접속을 전환하는 스위칭 회로(Sw3)와,

각 화소의 전기 특성에 관한 특성 파라미터를 획득하는 특성 파라미터 획득 회로(16)를 포함하며,

상기 기준 전압은 상기 구동 트랜지스터의 상기 전류로의 타단에 대한 상기 일단의 전위차가 상기 구동 트랜지스터의 임계 전압(Vth)을 초과하는 값인 전위를 가지고,

상기 스위칭 회로는 각 신호선의 일단을 상기 전압 인가 회로에 접속하고, 상기 전압 인가 회로에 의해 각 신호선의 일단에 소정의 시간 동안 상기 기준 전압을 인가한 후에, 각 신호선의 일단과 각 전압 인가 회로 사이의 접속을 차단하도록 설정하고, 각 신호선의 일단을, 소정의 정작 시간 경과 후에 각 전압 측정 회로에 접속하고,

상기 전압 측정 회로의 각각은 상기 스위칭 회로에 의해 각 신호선의 일단에 접속될 때에, 각 신호선의 일단의 전압을 측정전압으로서 획득하고,

상기 정작 시간은 제 1 정작 시간군의 값과 제 2 정작 시간의 값으로 설정되는데, 상기 제 1 정작 시간군은 복수의 상이한 시간값으로 구성되고, 각각이 비율(C/β0)보다 크며(여기서, C는 단일 신호선 상에 기생하는 기생 용량, 유지 용량, 및 상기 발광소자에 기생하는 발광소자 용량의 합산인 합계 용량이고, β0은 전류 증폭율의 기준값이다), 상기 제 2 정작 시간은 비율(C/β0)보다 짧은 시간값으로 구성되고,

상기 특성 파라미터 획득 회로는 상기 제 1 정작 시간군의 상기 전압 측정 회로에 의해 획득된 복수의 측정 전압의 값에 의거하여, 각 화소의 구동 트랜지스터의 임계 전압과 상기 화소 구동 회로의 전류 증폭율을, 상기 특성 파라미터의 제 1 특성 파라미터로서 획득하고, 상기 특성 파라미터 획득 회로는 각 화소에 대해 획득된 임계 전압의 값과 상기 제 2 정작 시간의 상기 전압 측정 회로에 의해 획득된 측정 전압의 값에 의거하여, 전류 증폭율의 편차를 나타내는 편차 파라미터를, 상기 특성 파라미터의 제 2 특성 파라미터로서 획득하는 것을 특징으로 하는 화소 구동 장치.

청구항 2

제 1 항에 있어서,

상기 전류 증폭율의 상기 기준값은 상기 전류 증폭율의 설계값 또는 전형값인 것을 특징으로 하는 화소 구동 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 특성 파라미터 및 상기 제 2 특성 파라미터는 각 화소의 상기 구동 트랜지스터가 초기 특성을 갖는 초기 상태시에 획득되는 것을 특징으로 하는 화소 구동 장치.

청구항 4

제 1 항에 있어서,

상기 특성 파라미터 획득 회로는 상기 제 1 정작 시간군이 t1 및 t2이고, 상기 제 1 정작 시간군에 대한 상기

측정 전압이 각각 $V_{meas}(t1)$ 및 $V_{meas}(t2)$ 이고, 상기 임계 전압이 V_{th} 이고, 상기 전류 증폭율이 β 일 때에, 식 (1)에 의거하여 각 화소에 대한 상기 제 1 특성 파라미터, 즉 V_{th} 와 β 를 획득하며,

$$(1) \dots V_{meas}(t) = V_{th} + (C/\beta)/t$$

상기 $t = t1, t2$ 인 것을 특징으로 하는 화소 구동 장치.

청구항 5

제 4 항에 있어서,

상기 특성 파라미터 획득 회로는 상기 제 2 정착 시간이 $t3$ 이고, 상기 제 2 정착 시간에 대한 상기 측정 전압의 화소간의 편차가 $\Delta V_{meas}(t3)$ 이고, 상기 기준 전압의 전압값이 V_{ref} 이고, 각 화소의 상기 임계 전압이 V_{th} 이고, 상기 복수의 화소에 있어서의 용량 성분 대 상기 전류 증폭율 비율의 평균값이 $\langle C/\beta \rangle$ 이고, 상기 편차 파라미터가 $\Delta \beta/\beta$ 일 때에, 식 (2)에 의거하여, 상기 제 2 특성 파라미터 즉, 상기 편차 파라미터 $\Delta \beta/\beta$ 의 값을 획득하는 것을 특징으로 하는 화소 구동 장치.

$$(2) \dots \Delta V_{meas}(t3) = - \left[\frac{\Delta \beta}{\beta} \right] \times \frac{\langle C/\beta \rangle}{t3} \left\{ 1 - \frac{2}{V_{ref} - V_{th}} \frac{\langle C/\beta \rangle}{t3} \right\}$$

청구항 6

발광장치로서,

복수의 신호선(Ld) 각각에 접속되고, 발광소자(101)와, 상기 발광소자의 일단에 접속된 구동 트랜지스터의 전류로 일단에 공급된 발광소자의 전류를 제어하는 구동 트랜지스터(T3) 및, 상기 구동 트랜지스터의 전류 제어 단자에 인가된 전압에 의해 전하를 저장하는 유지 용량(Cs)을 갖는 화소 구동 회로(DC)를 각각 구비하는 복수의 화소(21(i, j))가 배열되어 구성되는 화소 어레이(21)와,

기준 전압을 출력하는 전압 인가 회로(14)와,

각각의 상기 복수의 신호선에 각기 접속되는 복수의 전압 측정 회로(114)와,

상기 전압 인가 회로와 각각의 상기 전압 측정 회로 사이에서 각 신호선의 일단의 접속을 전환하는 스위칭 회로(Sw3)와,

각 화소의 전기 특성에 관한 특성 파라미터를 획득하는 특성 파라미터 획득 회로(16)를 포함하며,

상기 기준 전압은 상기 구동 트랜지스터의 상기 전류로의 타단에 대한 상기 일단의 전위차가 상기 구동 트랜지스터의 임계 전압(V_{th})을 초과하는 값인 전위를 가지고,

상기 스위칭 회로는 각 신호선의 일단을 상기 전압 인가 회로에 접속하고, 상기 전압 인가 회로에 의해 각 신호선의 일단에 소정의 시간 동안 상기 기준 전압을 인가한 후에, 각 신호선의 일단과 각 전압 인가 회로 사이의 접속을 차단하도록 설정하고, 각 신호선의 일단을, 소정의 정착 시간 경과 후에 각 전압 측정 회로에 접속하고,

상기 전압 측정 회로의 각각은 상기 스위칭 회로에 의해 각 신호선의 일단에 접속될 때에, 각 신호선의 일단의 전압을 측정전압으로서 획득하고,

상기 정착 시간은 제 1 정착 시간군의 값과 제 2 정착 시간의 값으로 설정되는데, 상기 제 1 정착 시간군은 복수의 상이한 시간값으로 구성되고, 각각이 비율(C/β_0)보다 크며(여기서, C는 단일 신호선 상에 기생하는 기생 용량, 유지 용량, 및 상기 발광소자에 기생하는 발광소자 용량의 합산인 합계 용량이고, β_0 는 전류 증폭율의 기준값이다), 상기 제 2 정착 시간은 비율(C/β_0)보다 짧은 시간값으로 구성되고,

상기 특성 파라미터 획득 회로는 상기 제 1 정착 시간군의 상기 전압 측정 회로에 의해 획득된 복수의 측정 전압의 값에 의거하여, 각 화소의 구동 트랜지스터의 임계 전압과 상기 화소 구동 회로의 전류 증폭율을, 상기 특성 파라미터의 제 1 특성 파라미터로서 획득하고, 상기 특성 파라미터 획득 회로는 각 화소에 대해 획득된 임계 전압의 값과 상기 제 2 정착 시간의 상기 전압 측정 회로에 의해 획득된 측정 전압의 값에 의거하여, 전류 증폭율의 편차를 나타내는 편차 파라미터를, 상기 특성 파라미터의 제 2 특성 파라미터로서 획득하는 것을 특징으로 하는 발광장치.

청구항 7

제 6 항에 있어서,
 상기 화소 어레이의 상기 복수의 신호선은 제 1 방향을 따라 각각 배열되고,
 상기 화소 어레이는 상기 제 1 방향에 직교하는 제 2 방향을 따라 배열되는 적어도 하나의 주사선(Ls)을 갖고,
 상기 복수의 화소는 상기 주사선과 상기 복수의 신호선의 각 교점 근방에 배열되고,
 상기 발광장치는 상기 주사선에 선택신호를 인가함에 의해 상기 주사선에 접속된 각 화소에 대한 선택 상태를 설정하는 선택 구동 회로(13)를 갖고,
 상기 특성 파라미터 획득 회로는 상기 선택 구동 회로에 의해 선택 상태로 된 각 화소의 상기 제 1 특성 파라미터를 획득하는 것을 특징으로 하는 발광장치.

청구항 8

제 7 항에 있어서,
 상기 화소 구동 회로는 적어도,
 제 1 박막 트랜지스터의 전류로의 일단에 소정의 전원 전압이 인가되고, 상기 제 1 박막 트랜지스터의 전류로의 타단이 상기 발광소자의 일단에 접속되는 접속점을 갖는 제 1 박막 트랜지스터(T3)와,
 상기 주사선에 제어 단자가 접속되고, 상기 전류로의 일단이 상기 제 1 박막 트랜지스터의 전류로 일단에 접속되고, 상기 전류로의 타단이 상기 제 1 박막 트랜지스터의 제어 단자에 접속되는 제 2 박막 트랜지스터(T1)와,
 상기 주사선에 제어 단자가 접속되고, 상기 전류로의 일단이 상기 신호선에 접속되고, 상기 전류로의 타단이 접속점에 접속되는 제 3 박막 트랜지스터(T2)를 포함하며,
 상기 제 1 박막 트랜지스터는 상기 구동 트랜지스터에 대응하고,
 상기 선택 구동 회로에 의해 상기 화소가 선택 상태에 있을 때에, 상기 제 2 박막 트랜지스터 및 상기 제 3 박막 트랜지스터는 온 상태에 진입하고, 상기 제 1 박막 트랜지스터의 전류로의 일단에 상기 제 1 박막 트랜지스터의 제어 단자가 접속되고, 상기 신호선이 상기 제 3 박막 트랜지스터의 전류로를 통해 상기 접속점에 접속됨에 의해, 상기 전압 인가 회로로부터 공급된 상기 기준 전압이 상기 제 3 박막 트랜지스터의 전류로를 통해 접속점에 인가되고,
 상기 전압 측정 회로는 측정 전압으로서 상기 제 3 박막 트랜지스터와 각 신호선을 통해 각 정착 시간 경과에 뒤따른 선택 상태에서 제 2 방향으로 배열된 각 화소의 접속점의 전압을 획득하는 것을 특징으로 하는 발광장치.

청구항 9

제 6 항에 있어서,
 상기 전류 증폭율의 상기 기준값은 상기 전류 증폭율의 설계값 또는 전형값인 것을 특징으로 하는 발광장치.

청구항 10

제 6 항에 있어서,
 상기 특성 파라미터 획득 회로에 있어서의 상기 제 1 특성 파라미터 및 상기 제 2 특성 파라미터의 획득은 각 화소의 상기 구동 트랜지스터가 초기 특성을 가지는 초기 상태시에 실행되는 것을 특징으로 하는 발광장치.

청구항 11

제 6 항에 있어서,
 상기 특성 파라미터 획득 회로는 상기 제 1 정착 시간군이 t1 및 t2이고, 상기 제 1 정착 시간군에 대한 상기 측정 전압이 각각 Vmeas(t1) 및 Vmeas(t2)이고, 상기 임계 전압이 Vth이고, 상기 전류 증폭율이 β일 때에, 식 (1)에 의거하여 각 화소에 대한 상기 제 1 특성 파라미터, 즉 Vth와 β를 획득하며,

$$(1)... V_{meas}(t) = V_{th} + (C/\beta)/t$$

상기 $t = t_1, t_2$ 인 것을 특징으로 하는 발광장치.

청구항 12

제 6 항에 있어서,

상기 특성 파라미터 획득 회로는 상기 제 2 정착 시간이 t_3 이고, 상기 제 2 정착 시간에 대한 상기 측정 전압의 화소간의 편차가 $\Delta V_{meas}(t_3)$ 이고, 상기 기준 전압의 전압값이 V_{ref} 이고, 각 화소의 상기 임계 전압이 V_{th} 이고, 상기 복수의 화소에 있어서의 용량 성분 대 상기 전류 증폭율 비율의 평균값이 $\langle C/\beta \rangle$ 이고, 상기 편차 파라미터가 $\Delta \beta/\beta$ 일 때에, 식 (4)에 의거하여, 상기 제 2 특성 파라미터 즉, 상기 편차 파라미터 $\Delta \beta/\beta$ 의 값을 획득하는 것을 특징으로 발광장치.

$$(4) ... \Delta V_{meas}(t_3) = -\left[\frac{\Delta \beta}{\beta}\right] \times \frac{\langle C/\beta \rangle}{t_3} \left\{ 1 - \frac{2}{V_{ref} - V_{th}} \frac{\langle C/\beta \rangle}{t_3} \right\}$$

청구항 13

복수의 신호선(Ld)의 각각에 접속되고, 발광소자(101)와, 상기 발광소자의 일단에 전류로의 일단이 접속되어 상기 발광소자에 공급되는 전류를 제어하는 구동 트랜지스터(T3) 및 상기 구동 트랜지스터의 제어단자에 인가되는 전압에 의해 결정되는 전하를 저장하는 유지용량(Cs)을 갖는 화소 구동 회로(DC)를 각각 구비하는 복수의 화소(21(i, j))를 구동하는 화소 구동 장치의 특성 파라미터 획득방법으로서,

각 신호선의 일단에 전압 인가 회로(14)를 접속하는 것에 의해, 상기 구동 트랜지스터의 전류로의 타단에 대한 일단의 전위차가 각 신호선의 일단의 구동 트랜지스터의 임계전압을 초과하는 값이 되도록 각 신호선의 일단에 기준 전압(V_{ref})을 인가하는 기준전압 인가 단계와,

상기 각 신호선의 일단과 상기 전압 인가 회로 사이의 접속을 차단하고, 상기 접속의 차단 후의 각 정착 시간 경과 후에 각 신호선의 일단의 전압을 측정전압으로서 획득하는 측정 전압 획득 단계와,

상기 측정 전압으로부터 각 화소의 전기 특성에 관한 특성 파라미터를 획득하는 특성 파라미터 획득 단계를 포함하며,

상기 측정전압 획득 단계에 있어서의 상기 정착 시간은 제 1 정착 시간군의 값과 제 2 정착 시간의 각 값들로 설정되는데, 상기 제 1 정착 시간군은 복수의 상이한 시간값으로 구성되고, 각각이 비율(C/β)보다 크며(여기서, C는 단일 신호선 상에 기생하는 기생용량, 유지 용량, 및 상기 발광소자에 기생하는 발광소자 용량의 합산인 합계 용량이고, β 은 전류 증폭율의 기준값이다), 상기 제 2 정착 시간은 비율(C/β)보다 짧은 시간값으로 구성되고,

상기 특성 파라미터 획득 단계는 상기 특성 파라미터의 제 1 특성 파라미터로서 상기 제 1 정착 시간군의 측정 전압의 값에 의거하여, 각 화소의 구동 트랜지스터의 임계 전압과 상기 화소 구동 회로의 전류 증폭율을 획득하는 제 1 특성 파라미터 획득 단계와,

각 화소에 대해 획득된 임계 전압의 값과 상기 제 2 정착 시간의 측정 전압의 값에 의거하여, 상기 특성 파라미터의 제 2 특성 파라미터로서 상기 전류 증폭율의 편차를 나타내는 편차 파라미터를 획득하는 제 2 특성 파라미터 획득 단계를 구비하는 것을 특징으로 하는 화소 구동 장치의 특성 파라미터 획득방법.

청구항 14

제 13 항에 있어서,

상기 제 1 특성 파라미터 획득 단계는,

상기 특성 파라미터 획득 회로가 t_1 및 t_2 이고, 상기 제 1 정착 시간군에 대한 상기 측정 전압이 각각 $V_{meas}(t_1)$ 및 $V_{meas}(t_2)$ 이고, 상기 임계 전압이 V_{th} 이고, 상기 전류 증폭율이 β 일 때에, 식 (5)에 의거하여 각 화소에 대한 상기 제 1 특성 파라미터, 즉 V_{th} 와 β 를 획득하며,

(5)... $V_{meas}(t) = V_{th} + (C/\beta)/t$

상기 $t = t_1, t_2$ 인 것을 특징으로 하는 화소 구동 장치의 특성 파라미터 획득방법.

청구항 15

제 13 항에 있어서,

상기 제 2 특성 파라미터 획득 단계는,

상기 제 2 정착 시간이 t_3 이고, 상기 제 2 정착 시간에 대한 상기 측정 전압의 화소간의 편차가 $\Delta V_{meas}(t_3)$ 이고, 상기 기준 전압의 전압값이 V_{ref} 이고, 각 화소의 상기 임계 전압이 V_{th} 이고, 상기 복수의 화소에 있어서의 용량 성분 대 상기 전류 증폭율 비율의 평균값이 $\langle C/\beta \rangle$ 이고, 상기 편차 파라미터가 $\Delta \beta/\beta$ 일 때에, 식 (6)에 의거하여 상기 제 2 특성 파라미터 즉, 상기 편차 파라미터 $\Delta \beta/\beta$ 의 값을 획득하는 단계를 포함하는 것을 특징으로 하는 화소 구동 장치의 특성 파라미터 획득방법.

$$(6) \dots \Delta V_{meas}(t_3) = -\left[\frac{\Delta \beta}{\beta}\right] \times \frac{\langle C/\beta \rangle}{t_3} \left\{ 1 - \frac{2}{V_{ref} - V_{th}} \frac{\langle C/\beta \rangle}{t_3} \right\}$$

청구항 16

발광장치로서,

복수의 신호선(Ld) 각각에 접속되고, 발광소자(101)와; 전류로와 제어단자를 가지고, 상기 발광소자의 일단에 전류로의 일단이 접속되고, 상기 제어단자와 상기 전류로의 일단 사이에 기입된 전압 데이터에 의거하여, 상기 전류로를 통해 상기 발광소자에 공급되는 전류를 제어하는 구동 트랜지스터(T3)와; 각 신호선의 일단의 측정 전압으로서 전압값을 획득하는 전압 측정 회로(114)와; 각 화소의 전기 특성에 관한 특성 파라미터를 획득하는 특성 파라미터 획득 회로(16)를 각각 구비하는 복수의 화소(21(i, j))를 포함하는 발광장치로서,

상기 전압 측정 회로는 $(C/\beta)/t < 1$ 의 조건을 만족시키는 각 값들을 갖는 복수의 상이한 정착 시간에 대한 복수의 제 1 측정 전압들로서 및 $(C/\beta)/t \geq 1$ 의 조건을 만족시키는 값을 갖는 정착 시간에 대한 제 2 측정 전압으로서, 식 (7)에 $V_{meas}(t)$ 로 나타내어지는, 각 신호선의 일단의 전압값을 획득하며, 상기 정착 시간은 각 신호선의 일단을 통해 상기 구동 트랜지스터의 전류로의 일단에 전압이 인가된 후에 인가 전압(V_{ref})이 정지되었을 때의 시간으로부터 경과한 시간으로서 정의되며, 상기 구동 트랜지스터의 상기 전류로의 일단과 타단 사이의 전위차는 상기 구동 트랜지스터의 임계전압을 초과하고, 그리고 나서 각 신호선의 일단이 고 임피던스 상태로 설정되고,

상기 특성 파라미터 획득 회로는 상기 전압 측정 회로에 의해 획득된 복수의 제 1 측정 전압값과 제 2 측정 전압의 값에 의거하여, 상기 복수의 화소의 구동 트랜지스터의 전압/전류 특성의 편차를 나타내는 편차 파라미터 ($\Delta \beta/\beta$)를 특성 파라미터로서 획득하는 것을 특징으로 하는 발광장치.

$$(7) \dots V_{meas}(t) = V_{th} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{V_{ref} - V_{th}}}$$

여기서, t: 정착 시간

$V_{meas}(t)$: 경과된 정착 시간 t에 있어서 상기 전압 측정 회로에 의해 획득된 측정 전압

V_{th} : 구동 트랜지스터의 임계 전압

V_{ref} : 기준 전압

C: 합계 용량($C+Cs+Cp+Cel$)

Cs : 유지 용량

Cp: 기입 기생 용량

Ce1: 발광소자 용량

β : 정수

청구항 17

제 16 항에 있어서,

상기 특성 파라미터 획득 회로는,

상기 구동 트랜지스터의 초기 임계 전압과 상기 (C/β) 값이 특성 파라미터인 한편, 각 화소에 대해 상기 전압 측정 회로에 의해 획득된 복수의 제 1 측정 전압을 식 (8)에 대입함으로써 상기 구동 트랜지스터의 특성 파라미터로서 V_{th} 및 β 를 획득하고,

상기 구동 트랜지스터의 획득된 특성 파라미터와, 상기 전압 측정 회로에 의해 획득된 상기 제 2 측정 전압에 대한 복수의 화소의 편차 $\Delta V_{meas}(t)$ 를 식 (9)에 대입함으로써 편차 파라미터($\Delta \beta/\beta$)를 획득하는 것을 특징으로 하는 발광장치.

$$(8) \dots V_{meas}(t) = V_{th} + \frac{(C/\beta)}{t}$$

상기 $(C/\beta) < t$ 이며,

$$(9) \dots \Delta V_{meas}(t) = -\left[\frac{\Delta \beta}{\beta}\right] \times \frac{<C/\beta>}{t} \left\{ 1 - \frac{2}{V_{ref} - V_{th}} \frac{<C/\beta>}{t} \right\}$$

상기 $\Delta V_{meas}(t)$ 는 경과 정착 시간 t에서 상기 전압 측정 회로에 의해 획득된 측정 전압의 복수 화소에서의 편차

상기 $\Delta \beta$ 는 복수 화소에서의 β 편차

명세서

기술분야

[0001] 본 발명은 화소 구동 장치, 발광 장치 및 화소 구동 장치에 있어서의 특성 파라미터 획득 방법에 관한 것이다.

배경기술

[0002] 근래, 액정표시장치에 계속되는 차세대의 표시 장치로서 발광소자를 매트릭스형상으로 배열한 표시 패널(화소 어레이)을 제공하는 발광소자형의 표시장치(발광소자형의 디스플레이, 발광 장치)의 연구, 개발이 활발히 이루어지고 있다.

[0003] 이러한 발광소자로서, 유기 전계발광 소자(유기 EL 소자) 및 무기 전계발광 소자(무기 EL 소자), 또는 발광 다이오드(LED) 등의 전류 구동형의 발광소자가 알려져 있다.

[0004] 특히, 액티브 매트릭스 구동 방식을 적용한 발광소자형의 표시장치는 주지의 액정 표시 장치에 비해, 표시 응답 속도가 빠르고, 시야각 의존성이 없으며, 고휘도 및 고콘트라스트, 표시 화질의 고해상도 등의 특징을 갖는다.

[0005] 또한, 발광 소자형의 표시장치는 백 라이트 또는 도광판을 표시하지 않기 때문에, 발광 소자형의 표시장치는 LCD 장치와는 달리, 가일층의 박막의 수야냄이 가능하게 된다고 하는 극히 우위의 특징을 갖고 있다. 그 때문에, 향후 이러한 타입의 전자기기에의 적용이 기대되고 있다.

[0006] 이러한 발광소자형의 표시장치로서 예를 들면, 전압 신호를 통해 전류를 제어하는 액티브 매트릭스 구동 방법의 유기 EL 표시 장치가 일본국 특허공개공보 제2002-156923호에 개시되어 있다.

[0007] 이 액티브 매트릭스 구동 방법의 유기 EL 표시 장치는 발광소자인 유기 EL 소자와, 유기 EL 소자를 구동하기 위해 전류 제어용 박막 트랜지스터 및 스위치용 박막 트랜지스터를 갖는 화소 구동 회로가, 각 화소에 설치되어

있다.

[0008] 전류 제어용 박막 트랜지스터는 각 화소의 화상 데이터에 의거하여 정해진 전압값(이하, “화상 데이터에 의거하는 전압값”이라 함)을 갖는 전압 신호가 인가된 후에 인가된 게이트 전압에 의해 전류 제어용 박막 트랜지스터의 드레인-소스 사이에 흐르는 전류의 전류값을 제어한다. 이 전류는 유기 EL 소자에 공급되어, 유기 EL 소자를 발광시킨다. 스위치용 박막 트랜지스터는 이 전류 제어용 박막 트랜지스터의 게이트에 화상 데이터에 의거하는 전압 신호를 공급하기 위한 스위칭을 실행한다.

발명의 내용

해결하려는 과제

[0009] 이러한 방식으로 구성된 표시 장치의 전류 제어용 박막 트랜지스터의 특성이 사용에 따라 경시적으로 변화한다. 특히, 전류 제어용 박막 트랜지스터가 아몰퍼스 TFT(박막 트랜지스터)로 이루어지는 경우, TFT의 특성 중의 하나인 임계전압 V_{th} 가 비교적 큰 경시적인 변화를 나타내는 것이 알려져 있다.

[0010] 화상 데이터에 의거하는 전압 신호의 전압값에 의해 표시된 화상의 계조를 제어하는 구성을 갖는 화상 데이터의 동일한 계조값에 대해 동일한 전압값의 전압신호를 갖는 전류 제어용 박막 트랜지스터 게이트를 인가해도, 임계 전압 V_{th} 가 변화하면, 전류 제어용 박막 트랜지스터의 드레인과 소스 사이에 흐르는 전류의 전류값이 변화하여, 화상 데이터의 동일한 계조값에 대해 표시 화소의 유기 EL 소자로부터 방출된 광의 휘도가 변화한다.

[0011] 전류 제어용 박막 트랜지스터의 다른 특성은 예를 들면, 화소간의 불규칙적인 전류 증폭율 β 가 또한 표시된 화상에 영향을 미친다. 전류 제어용 박막 트랜지스터의 드레인과 소스 사이에 흐르는 전류의 전류값은 전류 증폭율 β 에 비례한다. 따라서, 모든 화소의 전류 제어용 박막 트랜지스터의 임계 전압이 동일해도, 예를 들면 제조 프로세스에 기인하여 전류 증폭율 β 의 값에 불규칙이 생기면, 전류 제어용 박막 트랜지스터의 드레인과 소스 사이에 흐르는 전류의 전류값에 불규칙이 생겨, 유기 EL 소자로부터 방출되는 광의 휘도에 불규칙이 생긴다.

[0012] 이 전류 증폭율의 불규칙은 이동도의 불규칙에 기인한다. 이동도의 불규칙은 특히 저온 폴리 실리콘 TFT에서 현저한 반면, 아몰퍼스 실리콘 TFT에서의 이러한 불규칙은 비교적 낮다. 그러나, 제조 프로세스에 기인하는 이동도 즉, 전류 증폭율 β 에서의 불규칙의 영향은 회피할 수 없다.

[0013] 이와 같이, 임계전압 V_{th} 의 변화와 제조 프로세스에서 생기는 전류 증폭율 β 에서의 불규칙은 표시된 화상의 화상 데이터의 재현성, 즉 화질에 영향을 준다.

[0014] 이러한 임계전압 V_{th} 의 변화와 제조 프로세스에서 생기는 전류 증폭율 β 에서의 불규칙에 기인하는 화질의 열화를 제어하기 위해, 본 발명에 있어서 예를 들면, 각 화소의 임계전압과 전류 증폭율 β 가 특성 파라미터로서 획득되고, 공급된 화상 데이터에 의거하여 각 화소에 공급된 전압 신호를 이 특성 파라미터에 의거하여 보정할 수 있다.

과제의 해결 수단

[0015] 본 발명에 따른 화소 구동 장치는 복수의 신호선의 각각에 접속되고, 발광소자와, 상기 발광소자에 공급되는 전류를 제어하고 상기 발광소자의 일단에 전류로의 일단이 접속되는 구동 트랜지스터 및 상기 구동 트랜지스터의 제어단자에 인가되는 전압에 의해 전하를 저장하는 유지용량을 갖는 화소 구동 회로를 각각 구비하는 복수의 화소를 구동하는 화소 구동 장치로서, 기준 전압을 출력하는 전압 인가 회로와, 각 신호선에 접속되도록 구비된 전압 측정 회로와, 상기 전압 인가 회로와 상기 전압 측정 회로 사이에서 각 신호선의 일단의 접속을 전환하는 스위칭 회로와, 각 화소의 전기 특성에 관한 특성 파라미터를 획득하는 특성 파라미터 획득 회로를 포함하며, 상기 기준 전압은 상기 구동 트랜지스터의 상기 전류로의 타단에 대한 상기 일단의 전위차가 상기 구동 트랜지스터의 임계 전압을 초과하는 값인 전위를 가지고, 상기 스위칭 회로는 각 신호선의 일단을 상기 전압 인가 회로에 접속하고, 상기 전압 인가 회로에 의해 각 신호선의 일단에 소정의 시간 동안 상기 기준 전압을 인가한 후에, 각 신호선의 일단과 각 전압 인가 회로 사이의 접속을 차단하도록 설정하고, 각 신호선의 일단을, 소정의 정착 시간 경과 후에 각 전압 측정 회로에 접속하고, 상기 전압 측정 회로의 각각은 상기 스위칭 회로에 의해 각 신호선의 일단에 접속될 때에, 각 신호선의 일단의 전압을 측정전압으로서 획득하고, 상기 정착 시간은 제 1 정착 시간군의 값과 제 2 정착 시간군의 값으로 설정되는데, 상기 제 1 정착 시간군은 복수의 상이한 시간값으로 구성되고, 각각이 비율(C/β_0)보다 크며(여기서, C는 단일 신호선 상에 기생하는 기생용량, 유지 용량, 및 상기 발광소자에 기생하는 발광소자 용량의 합산인 합계 용량이고, β_0 은 전류 증폭율의 기준값이다), 상기 제 2 정

작 시간은 비율(C/β_0)보다 짧은 시간값으로 구성되고,

[0016] 상기 특성 파라미터 획득 회로는 상기 제 1 정착 시간군의 상기 전압 측정 회로에 의해 획득된 복수의 측정 전압의 값에 의거하여, 각 화소의 구동 트랜지스터의 임계 전압과 상기 화소 구동 회로의 전류 증폭율을, 상기 특성 파라미터의 제 1 특성 파라미터로서 획득하고, 상기 특성 파라미터 획득 회로는 각 화소에 대해 획득된 임계 전압의 값과 상기 제 2 정착 시간의 상기 전압 측정 회로에 의해 획득된 측정 전압의 값에 의거하여, 전류 증폭율의 편차를 나타내는 편차 파라미터를, 상기 특성 파라미터의 제 2 특성 파라미터로서 획득하는 것을 특징으로 한다.

[0017] 본 발명에 관한 제 1 발광 장치는 발광장치로서, 복수의 신호선 각각에 접속되고, 발광소자와, 상기 발광소자의 일단에 접속된 구동 트랜지스터의 전류로 일단에 공급된 발광소자의 전류를 제어하는 구동 트랜지스터 및, 상기 구동 트랜지스터의 전류 제어 단자에 인가된 전압에 의해 전하를 저장하는 유지 용량을 갖는 화소 구동 회로를 각각 구비하는 복수의 화소가 배열되어 구성되는 화소 어레이와, 기준 전압을 출력하는 전압 인가 회로와, 각각의 상기 복수의 신호선에 각기 접속되는 복수의 전압 측정 회로와, 상기 전압 인가 회로와 각각의 상기 전압 측정 회로 사이에서 각 신호선의 일단의 접속을 전환하는 스위칭 회로와, 각 화소의 전기 특성에 관한 특성 파라미터를 획득하는 특성 파라미터 획득 회로를 포함하며, 상기 기준 전압은 상기 구동 트랜지스터의 상기 전류로의 타단에 대한 상기 일단의 전위차가 상기 구동 트랜지스터의 임계 전압을 초과하는 값인 전위를 가지고, 상기 스위칭 회로는 각 신호선의 일단을 상기 전압 인가 회로에 접속하고, 상기 전압 인가 회로에 의해 각 신호선의 일단에 소정의 시간 동안 상기 기준 전압을 인가한 후에, 각 신호선의 일단과 각 전압 인가 회로 사이의 접속을 차단하도록 설정하고, 각 신호선의 일단을, 소정의 정착 시간 경과 후에 각 전압 측정 회로에 접속하고, 상기 전압 측정 회로의 각각은 상기 스위칭 회로에 의해 각 신호선의 일단에 접속될 때에, 각 신호선의 일단의 전압을 측정전압으로서 획득하고, 상기 정착 시간은 제 1 정착 시간군의 값과 제 2 정착 시간의 값으로 설정되는데, 상기 제 1 정착 시간군은 복수의 상이한 시간값으로 구성되고, 각각이 비율(C/β_0)보다 크며(여기서, C는 단일 신호선 상에 기생하는 기생용량, 유지 용량, 및 상기 발광소자에 기생하는 발광소자 용량의 합산인 합계 용량이고, β_0 은 전류 증폭율의 기준값이다), 상기 제 2 정착 시간은 비율(C/β_0)보다 짧은 시간값으로 구성되고, 상기 특성 파라미터 획득 회로는 상기 제 1 정착 시간군의 상기 전압 측정 회로에 의해 획득된 복수의 측정 전압의 값에 의거하여, 각 화소의 구동 트랜지스터의 임계 전압과 상기 화소 구동 회로의 전류 증폭율을, 상기 특성 파라미터의 제 1 특성 파라미터로서 획득하고, 상기 특성 파라미터 획득 회로는 각 화소에 대해 획득된 임계 전압의 값과 상기 제 2 정착 시간의 상기 전압 측정 회로에 의해 획득된 측정 전압의 값에 의거하여, 전류 증폭율의 편차를 나타내는 편차 파라미터를, 상기 특성 파라미터의 제 2 특성 파라미터로서 획득하는 것을 특징으로 한다.

[0018] 본 발명에 관한 화소 구동 장치에 있어서의 특성 파라미터 획득 방법은 복수의 신호선(Ld)의 각각에 접속되고, 발광소자와, 상기 발광소자의 일단에 전류로의 일단이 접속되어 상기 발광소자에 공급되는 전류를 제어하는 구동 트랜지스터 및 상기 구동 트랜지스터의 제어단자에 인가되는 전압에 의해 결정되는 전하를 저장하는 유지용량을 갖는 화소 구동 회로(DC)를 각각 구비하는 복수의 화소를 구동하는 화소 구동 장치의 특성 파라미터 획득 방법으로서, 각 신호선의 일단에 전압 인가 회로를 접속하는 것에 의해, 상기 구동 트랜지스터의 전류로의 타단에 대한 일단의 전위차가 각 신호선의 일단의 구동 트랜지스터의 임계전압을 초과하는 값이 되도록 각 신호선의 일단에 기준 전압(V_{ref})을 인가하는 기준전압 인가 단계와, 상기 각 신호선의 일단과 상기 전압 인가 회로 사이의 접속을 차단하고, 상기 접속의 차단 후의 각 정착 시간 경과 후에 각 신호선의 일단의 전압을 측정전압으로서 획득하는 측정 전압 획득 단계와, 상기 측정 전압으로부터 각 화소의 전기 특성에 관한 특성 파라미터를 획득하는 특성 파라미터 획득 단계를 포함하며, 상기 측정전압 획득 단계에 있어서의 상기 정착 시간은 제 1 정착 시간군의 값과 제 2 정착 시간의 각 값들로 설정되는데, 상기 제 1 정착 시간군은 복수의 상이한 시간값으로 구성되고, 각각이 비율(C/β_0)보다 크며(여기서, C는 단일 신호선 상에 기생하는 기생용량, 유지 용량, 및 상기 발광소자에 기생하는 발광소자 용량의 합산인 합계 용량이고, β_0 은 전류 증폭율의 기준값이다), 상기 제 2 정착 시간은 비율(C/β_0)보다 짧은 시간값으로 구성되고, 상기 특성 파라미터 획득 단계는 상기 특성 파라미터의 제 1 특성 파라미터로서 상기 제 1 정착 시간군의 측정 전압의 값에 의거하여, 각 화소의 구동 트랜지스터의 임계 전압과 상기 화소 구동 회로의 전류 증폭율을 획득하는 제 1 특성 파라미터 획득 단계와, 각 화소에 대해 획득된 임계 전압의 값과 상기 제 2 정착 시간의 측정 전압의 값에 의거하여, 상기 특성 파라미터의 제 2 특성 파라미터로서 상기 전류 증폭율의 편차를 나타내는 편차 파라미터를 획득하는 제 2 특성 파라미터 획득 단계를 구비하는 것을 특징으로 한다.

[0019] 본 발명에 관한 제 2 발광 장치는 발광장치로서, 복수의 신호선 각각에 접속되고, 발광소자와; 전류로와 제어단

자를 가지고, 상기 발광소자의 일단에 전류로의 일단이 접속되고, 상기 제어단자와 상기 전류로의 일단 사이에 기입된 전압 데이터에 의거하여, 상기 전류로를 통해 상기 발광소자에 공급되는 전류를 제어하는 구동 트랜지스터와; 각 신호선의 일단의 측정전압으로서 전압값을 획득하는 전압 측정 회로와; 각 화소의 전기 특성에 관한 특성 파라미터를 획득하는 특성 파라미터 획득 회로(16)를 각각 구비하는 복수의 화소를 포함하는 발광장치로서, 상기 전압 측정 회로는 $(C/\beta)/t < 1$ 의 조건을 만족시키는 각 값들을 갖는 복수의 상이한 정착 시간에 대한 복수의 제 1 측정 전압들로서 및 $(C/\beta)/t \geq 1$ 의 조건을 만족시키는 값을 갖는 정착 시간에 대한 제 2 측정 전압으로서, 식 (7)에 $V_{meas}(t)$ 로 나타내어지는, 각 신호선의 일단의 전압값을 획득하며, 상기 정착 시간은 각 신호선의 일단을 통해 상기 구동 트랜지스터의 전류로의 일단에 전압이 인가된 후에 인가 전압(V_{ref})이 정지되었을 때의 시간으로부터 경과한 시간으로서 정의되며, 상기 구동 트랜지스터의 상기 전류로의 일단과 타단 사이의 전위차는 상기 구동 트랜지스터의 임계전압을 초과하고, 그리고 나서 각 신호선의 일단이 고 임피던스 상태로 설정되고, 상기 특성 파라미터 획득 회로는 상기 전압 측정 회로에 의해 획득된 복수의 제 1 측정 전압값과 제 2 측정 전압의 값에 의거하여, 상기 복수의 화소의 구동 트랜지스터의 전압/전류 특성의 편차를 나타내는 편차 파라미터($\Delta\beta/\beta$)를 특성 파라미터로서 획득하는 것을 특징으로 한다.

$$(7) \dots V_{meas}(t) = V_{th} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{V_{ref} - V_{th}}}$$

[0020]

여기서, t; 정착 시간

[0021]

$V_{meas}(t)$: 경과된 정착 시간 t에 있어서 상기 전압 측정 회로에 의해 획득된 측정 전압

[0022]

V_{th} : 구동 트랜지스터의 임계 전압

[0023]

V_{ref} : 기준 전압

[0024]

C: 합계 용량($C+C_s+C_p+C_{el}$)

[0025]

C_s : 유지 용량

[0026]

C_p : 기입 기생 용량

[0027]

C_{el} : 발광소자 용량

[0028]

β : 정수

[0029]

발명의 효과

[0030] 본 발명은 화상 데이터에 의거하는 전압신호의 전압값을 보정하기 위한 화소의 특성을 획득할 수 있는 화소 구동 장치, 발광 장치 및 화소 구동 장치에 있어서의 파라미터 획득 방법을 제공할 수 있다.

[0031] 또한, 본 발명은 화소 열화를 제어할 수 있는 화소 구동 장치, 발광 장치 및 화소 구동 장치에 있어서의 파라미터 획득 방법을 제공할 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 실시형태에 관한 표시장치의 구성을 나타내는 블록도.

도 2는 도 1에 나타내는 유기 EL 패널과 데이터 드라이버의 구성을 나타내는 도면.

도 3의 (a) 및 (b)는 화소 구동 회로의 기입시의 전압/전류 특성을 설명하기 위한 도면 및 그래프.

도 4의 (a) 및 (b)는 본 실시형태에 관해 오토 제로법이 이용된 경우의 데이터선의 전압 측정 방법을 설명하기 위한 그래프.

도 5는 도 1에 나타내는 데이터 드라이버의 상세한 구성을 나타내는 블록도.

도 6의 (a) 및 (b)는 도 5에 나타내는 DVAC와 ADC의 구성과 기능을 설명하기 위한 도면.

도 7은 도 1에 나타내는 제어부의 구성을 나타내는 블록도.

도 8은 도 7에 나타내는 메모리의 각 축적영역을 나타내는 도면.

도 9의 (a) 및 (b)는 도 7에 나타내는 LUT의 화상 데이터 변환 특성의 예를 나타내는 그래프.

도 10의 (a) 및 (b)는 도 7에 나타내는 LUT의 화상 데이터 변환 특성을 설명하기 위한 도면.

도 11은 오토 제로법으로 전압 측정이 실행되는 경우의 각 부의 동작을 나타내는 타이밍도.

도 12의 (a) 및 (b)는 데이터 드라이버로부터 제어부로 데이터를 출력하는 경우의 각 스위치의 접속 관계를 나타내는 도면.

도 13의 (a), (b) 및 (c)는 오토 제로법으로 전압 측정이 실행되는 경우의 각 스위치의 접속 관계를 나타내는 도면.

도 14는 보정을 위한 특성 파라미터를 획득되는 경우, 제어부에 의해 실행되는 구동 시퀀스를 설명하기 위한 도면.

도 15는 공급된 화상 데이터에 의거하는 전압 신호가 보정 후에 데이터 드라이버에 출력되는 경우, 제어부에 의해 실행되는 구동 시퀀스를 설명하기 위한 도면.

도 16은 실 동작시에 각 부의 동작을 나타내는 타이밍도.

도 17은 전압 신호가 기입된 경우의 각 스위치의 접속 관계를 나타내는 도면.

도 18은 제어부로부터 데이터 드라이버에 데이터를 입력된 경우의 각 스위치의 접속 관계를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 본 발명에 관한 화소 구동 장치, 발광장치 및, 화소 구동 장치에 있어서의 특성 파라미터 획득 방법을, 도면에 나타내는 실시형태를 참조하여 설명한다. 또한, 본 실시형태에 있어서 발광장치는 표시장치로서 설명한다.
- [0034] 도 1은 본 실시형태에 관한 표시장치의 구성을 나타낸다.
- [0035] 본 실시형태에 관한 표시장치(발광장치)(1)는 패널 모듈(11), 아날로그 전원(전압 인가부)(14), 논리 전원(15) 및, 제어부(파라미터 획득 회로와 신호 보정 회로)(16)로 구성되어 있다.
- [0036] 패널 모듈(11)은 유기 EL 패널(화소 어레이)(21), 데이터 드라이버(신호선 구동 회로)(22), 애노드 회로(전원 구동 회로)(12) 및, 선택 드라이버(선택 구동 회로)(13)를 구비한다.
- [0037] 유기 EL 패널(21)은 열방향으로 배열된 복수의 데이터선(신호선) $L_{di}(i=1\sim m)$, 행방향으로 배열된 복수의 선택선(주사선) $L_{sj}(j=1\sim n)$, 행방향으로 배열된 복수의 애노드선 L_a , 복수의 화소($21(i, j)$)($i=1\sim m, j=1\sim n, m, n$; 자연수)를 구비한다. 화소($21(i, j)$)는 데이터선 L_{di} 와 선택선 L_{sj} 의 교점 근방에 배열되고, 각각 이들 선에 접속된다.
- [0038] 도 2는 도 1에 나타내는 패널 모듈(11)의 구성의 상세를 나타낸다. 각 화소($21(i, j)$)는 화상의 1화소의 화상 데이터를 나타내며, 도 2에 나타내는 바와 같이, 유기 EL 소자(발광소자)(101) 및, 트랜지스터 $T1\sim T3$ 과 유기 캐패시터 C_s 로 이루어지는 화소 구동 회로 DC를 구비한다.
- [0039] 유기 EL 소자(101)는 유기 화합물에 주입된 전자와 정공의 재결합에 의해 생성된 여자(exciton)를 통해 광을 방출하는 현상을 이용하는 자발광형의 표시 소자이다. 광은 유기 EL 소자(101)에 공급된 전류의 전류값에 의해 정해진 휘도로 방출된다.
- [0040] 유기 EL 소자(101)에 화소 전극이 형성되고, 이 화소 전극상에 차례로, 정공 주입층, 발광층 및 대향 전극이 형성된다. 정공 주입층은 발광층에 정공을 공급하는 기능을 갖는다.
- [0041] 화소 전극은 투명 또는 반투명의 도전 재료, 예를 들면 ITO(Indium Tin Oxide), ZnO(Zinc Oxide) 등으로 구성된다. 각 화소 전극은 인접하는 다른 화소의 화소 전극으로부터 층간 절연막에 의해서 절연되어 있다.
- [0042] 정공 주입층은 수송 가능한(정공 주입/수송 재료) 유기 폴리머 재료로 구성된다. 또, 유기 폴리머의 정공 주입/수송 재료를 포함하는 유기 화합물 함유액으로서, 예를 들면 도전성 폴리머인 폴리에틸렌디옥시티오펜(PEDOT), 도판트, 폴리스티렌 술폰산(PSS)을 수계 용매에 분산시킨 수계 PEDOT/PSS 분산액이 이용된다.
- [0043] 발광층은 예를 들면 인터레이어 상에 형성된다. 화소 전극과 대향 전극은 각각 애노드 전극과 캐소드 전극이다.

발광층은 애노드 전극과 캐소드 전극의 사이에 소정의 전압을 인가하는 발광의 기능을 갖는다.

- [0044] 발광층은 형광 또는 인광을 방출할 수 있는 공지의 폴리머 발광 재료, 예를 들면 폴리과라페닐렌비닐렌계 또는 불소계 등의 공액 이중 결합 폴리머를 포함하는 적(R), 녹(G), 청(B)의 광을 방출하는 발광재료로 형성된다.
- [0045] 또, 이 발광재료는 적절한 수계 용매 또는 테트라린, 테트라메틸벤젠, 메시틸렌, 크실렌 등의 유기 용매에 용해(또는 분산)된 상술한 발광 재료를 노즐 코팅법, 잉크젯법 등에 의해 인터레이어상에 수계 분산액을 도포하고, 그 후 용매를 휘발시키는 것에 의해서 형성된다.
- [0046] 발광층이 적(R), 녹(G), 청(B)의 3개의 원색의 발광재료로 이루어지는 경우, 각 발광재료는 일반적으로 행마다 도포된다.
- [0047] 대향 전극은 도전재료, 예를 들면 Ca, Ba 등의 일함수가 낮은 재료로 이루어지는 층과, Al 등의 광반사성 도전층으로 이루어지는 2층 구조이다.
- [0048] 전류는 화소 전극에서 대향 전극, 즉 애노드 전극에서 캐소드 전극으로 흐르며, 역방향으로는 흐르지 않는다. 캐소드 전압 V_{cath} 는 캐소드 전극에 인가된다. 본 실시형태에서는 캐소드 전압 V_{cath} 는 GND(접지 전위)로 설정된다.
- [0049] 또한, 유기 EL 소자(101)는 유기 EL 화소 용량(발광소자 용량) C_{el} 을 갖는다. 이 유기 EL 화소 용량 C_{el} 은 등가 회로상에 유기 EL 소자(101)의 캐소드와 애노드 사이에 접속된다.
- [0050] 선택 드라이버(13)는 각 선택선 L_{sj} 에 Gate(j) 신호를 출력하고, 행마다 화소($21(i, j)$)($j=1\sim n$)를 선택한다. 선택 드라이버(13)는 예를 들면, 시프트 레지스터를 구비하고, 이 시프트 레지스터는 공급된 클럭 신호에 따라 도 2에 나타내는 바와 같이, 연속적으로 제어부(16)로부터 공급된 개시 펄스 SP1을 시프트한다. 선택 드라이버(13)는 Gate(1)~Gate(n) 신호로서, 연속적으로 시프트된 개시 펄스 SP1에 대해, 하이(High) 레벨 신호(V_{gH}) 또는 로우(Low) 레벨 신호(V_{gL})를 출력한다.
- [0051] 데이터 드라이버(22)는 각 데이터선 L_{di} ($i=1\sim m$)의 전압을 측정하고, 시각 t에 측정된 전압 $V_{meas}(t)$ 를 획득하는 구성과, 측정된 전압 $V_{meas}(t)$ 에 의거하여 보정된 전압값 V_{data} 를 갖는 전압 신호를 각 데이터선 L_{di} 에 인가하는 구성을 갖는다.
- [0052] 애노드 회로(12)는 각 애노드선 L_a 를 통해 유기 EL 패널(21)에 전압을 인가한다. 애노드 회로(12)는 도 2에 나타내는 바와 같이, 제어부(16)에 의해 제어되며, 애노드선 L_a 상에 인가하는 전압을 전압 ELVDD 또는 ELVSS로 전환한다.
- [0053] 전압 ELVDD는 각 화소($21(i, j)$)의 유기 EL 소자(101)를 발광시킬 때, 애노드선 L_a 에 인가되는 표시용 전압이다. 전압 ELVDD는 본 실시형태에 있어서 접지 전위보다 높은 정의 전위를 갖는 전압이다.
- [0054] 전압 ELVSS는 화소 구동 회로 DC를 후술하는 기입 동작 상태로 설정하고, 후술하는 오토 제로법으로 실행할 때 애노드선 L_a 에 인가되는 전압이다. 전압 ELVSS는 본 실시형태에서는 유기 EL 소자(101)의 캐소드 전압 V_{cath} 와 동일한 전압으로 설정된다.
- [0055] 각 화소($21(i, j)$)에 있어서, 화소 구동 회로 DC의 트랜지스터 T1~T3은 n채널형의 FET(전계 효과 트랜지스터)로 구성된 TFT이며, 예를 들면, 아몰퍼스 실리콘 또는 폴리실리콘 TFT로 구성된다.
- [0056] 트랜지스터 T3은 게이트-소스 전압 V_{gs} (이후, 게이트 전압 V_{gs} 라 함)에 의거하여 전류량을 제어하는 것에 의해 유기 EL 소자(101)에 전류를 공급하는 전류 제어용 박막 트랜지스터와 구동 트랜지스터(제 1 박막 트랜지스터)이다.
- [0057] 트랜지스터 T3에 대해 드레인-소스는 전류로이고, 게이트는 제어단인 동안에, 드레인(단자)은 애노드선 L_a 에 접속되고, 소스(단자)는 유기 EL 소자(101)의 애노드(전극)에 접속된다.
- [0058] 트랜지스터 T1은 후술하는 기입 동작이 실행되는 경우에 트랜지스터 T3에 다이오드를 접속하기 위한 스위치 트랜지스터(제 2 박막 트랜지스터)이다.
- [0059] 트랜지스터 T1의 드레인은 트랜지스터 T3의 드레인에 접속되고, 트랜지스터 T1의 소스는 트랜지스터 T3의 게이트에 접속된다.
- [0060] 각 화소($21(1, j)\sim 21(m, j)$)의 트랜지스터 T1의 게이트(단자)는 선택선 L_{sj} ($j=1\sim n$)에 접속된다.

- [0061] 화소(21(1,1))에 대해, 선택 드라이버(13)로부터 선택선 Ls1에 Gate(1) 신호로서 하이 레벨 gate(1) 신호 VgH가 출력되면, 트랜지스터 T1은 온(ON) 상태로 된다.
- [0062] 선택 드라이버(13)로부터 선택선 Ls1에 Gate(1) 신호로서 로우레벨 Gate(1) 신호 VgL이 출력되면, 트랜지스터 T1은 오프(OFF) 상태로 된다.
- [0063] 트랜지스터 T2는 애노드 회로(12)와 데이터 드라이버(22) 사이를 도통 또는 차단하기 위한 스위치 트랜지스터(제 3 박막 트랜지스터)이다. 이 트랜지스터 T2는 선택 드라이버(13)에 의한 선택에 따라 온 또는 오프 상태에 있다. 온 또는 오프 상태는 애노드 회로(12)와 데이터 드라이버(22)간의 도통 또는 차단 모드를 정한다. 다른 화소(21(i, j))에 대해서도 상황은 동일하다.
- [0064] 각 화소(21(i, j))의 트랜지스터 T2의 드레인인 트랜지스터 T3의 소스와 마찬가지로, 유기 EL 소자(101)의 애노드(전극)에 접속된다.
- [0065] 각 화소(21(1, j)~21(m, j))의 트랜지스터 T2의 게이트는 선택선 Lsj(j=1~n)에 접속된다.
- [0066] 또한, 각 화소(21(i, 1)~21(i, n))의 트랜지스터 T2의 소스는 데이터선 Ldi(i=1~m)에 접속된다.
- [0067] 화소(21(1,1))에 대해, 트랜지스터 T2는 선택선 Ls1에 Gate(1) 신호로서 하이레벨 Gate(1) 신호(VgH)가 출력되면 온 상태로 되어, 트랜지스터 T3의 소스와 마찬가지로, 유기 EL 소자(101)의 애노드와 데이터선 Ld1을 접속한다.
- [0068] 또, 선택선 Ls1에 Gate(1) 신호로서 로우 레벨 신호(VgL)가 출력되면, 트랜지스터 T2는 오프상태로 되고, 트랜지스터 T3의 소스와 마찬가지로, 유기 EL 소자(101)의 애노드선과 데이터선 Ld1 사이의 접속을 차단한다.
- [0069] 유지 용량 Cs는 트랜지스터 T3의 게이트 전압 Vgs를 유지하는 용량이며, 그의 일단에 트랜지스터 T1의 소스와 트랜지스터 T3의 게이트가 접속되고, 그의 타단에 트랜지스터 T3의 소스와 유기 EL 소자(101)의 애노드가 접속된다.
- [0070] 트랜지스터 T3에 있어서, 그의 게이트와 드레인에 각각 트랜지스터 T1의 소스와 드레인이 접속된다. 애노드 회로(12)에 의해 애노드선 La에 전압 ELVSS가 인가되고, 선택 드라이버(13)에 의해 선택선 Ls1에 Gate(1) 신호로서 하이 레벨 신호(VgH)가 인가되고, 데이터선 Ld1에 전압 신호가 인가되었을 때, 트랜지스터 T1 및 트랜지스터 T2는 온 상태에 있다.
- [0071] 이 때, 트랜지스터 T3은 트랜지스터 T1을 통해 게이트와 드레인 사이가 접속되는 것에 의해 다이오드 접속 상태에 있다.
- [0072] 또한, 이 때에 데이터 드라이버(22)에 의해 데이터선 Ld1에 전압 신호가 인가되면, 트랜지스터 T2를 통해 트랜지스터 T3의 소스에 전압 신호가 인가되어, 트랜지스터 T3은 온 상태에 있다. 계속해서, 애노드 회로(12)로부터 애노드선 La, 트랜지스터 T3 및, 트랜지스터 T2를 통해, 데이터선 Ld1을 향해 전압 신호에 의해 정해진 전류가 흐른다. 유지 용량 Cs는 이 때의 트랜지스터 T3의 게이트 전압 Vgs에 의해 충전되고, 그 전기 충전이 유지 용량 Cs에 저장된다.
- [0073] 그리고, 선택 드라이버(13)에 의해 선택선 Ls1에 Gate(1) 신호로서 로우 레벨 신호(VgL)가 인가되면, 트랜지스터 T1 및 T2가 오프 상태로 된다. 이 때, 유지 용량 Cs는 트랜지스터 T3의 게이트 전압 Vgs를 유지한다. 다른 화소(21(i, j))에 대해서도 상황은 동일하다.
- [0074] 또한, 유기 EL 패널(21)내에는 배선 기생 용량 Cp도 존재한다. 이 배선 기생 용량 Cp는 데이터선 Ld1~Ldm과 선택선 Ls1~Lsn의 교차점에서 주로 생성된다.
- [0075] 본 실시형태에 관한 표시장치(1)는 오토 제로법을 이용하여, 각 화소(21(i, j))의 화소 구동 회로 DC의 특성값으로서 데이터선 전압을 복수회 측정한다. 이 측정에 의해, 공통 회로의 화상 데이터의 보정 파라미터로서, 각 화소(21(i, j))의 트랜지스터 T3의 임계전압 Vth와 화소 구동 회로 DC의 전류 증폭율 β의 불규칙을 획득할 수 있다.
- [0076] 도 3의 (a) 및 (b)는 화소 구동 회로의 화상 데이터의 기입시의 전압/전류 특성을 설명하기 위한 도면 및 그래프이다. 도 3의 (a)는 기입시의 화소(21(i, j))의 각 부의 전압과 전류를 나타내는 도면이다.
- [0077] 도 3의 (a)에 나타내는 바와 같이, 기입시에는 선택 드라이버(13)에 의해 선택선 Lsj에 하이레벨 신호(VgH)가 인가된다. 그 후, 트랜지스터 T1 및 T2는 온 상태로 되고, 전류 제어용 박막 트랜지스터인 트랜지스터 T3은 다

이오드 접속된다.

- [0078] 계속해서, 데이터 드라이버(22)에 의해 데이터선 Ldi에, 화상 데이터에 의해 정해진 전압값 Vdata의 전압 신호가 인가된다. 이 때, 애노드 회로(12)에 의해 애노드선 La에 전압 ELVSS가 인가된다.
- [0079] 그 후, 트랜지스터 T2 및 T3을 통해 애노드 회로(12)로부터 화소 구동 회로 DC를 통해 데이터선 Ldi를 향해, 전압 신호에 의해 정해진 전류 Id가 흐른다.
- [0080] 이 전류 Id의 전류값은 다음의 식(101)에 의해 나타내어진다. 식 (101)에 있어서의 β 는 전류 증폭율이며, V_{th} 는 트랜지스터 T3의 임계 전압이다.
- [0081] 여기서, 트랜지스터 T3의 소스-드레인 사이에 인가되는 전압 Vds는 애노드선 La의 전압 ELVSS가 0V로 간주되었을 때, 전압 Vdata의 절대값에서 트랜지스터 T2의 드레인-소스의 전압(접점 N13과 접점 N12 사이의 전압)을 뺀 전압이다.
- [0082] 즉, 식 (101)은 트랜지스터 T3의 전압/전류 특성을 나타내고 또한 화소 구동 회로 DC를 실질적으로 1개의 소자로 기능했을 때의 특성을 나타내는 것이며, β 는 화소 구동 회로 DC의 실효적인 전류 증폭율이다.

$$(101) \dots \quad I_d = \beta (| V_{data} | - V_{th})^2$$

- [0083]
- [0084] 도 3의 (b)는 전압값 Vdata의 절대값에 대한 전류 Id의 변화를 나타내는 그래프이다.
- [0085] 트랜지스터 T3이 초기 상태의 특성을 갖고, 이들 특성은 임계전압 V_{th} 가 초기값 V_{th0} 을 가지며, 화소 구동 회로 DC의 전류 증폭율 β 가 초기값 β_0 (기준값)을 갖는 경우, 도 3의 (b)에 나타내는 전압/전류 특성 VI_0으로 나타내어진다.
- [0086] 여기서, β 의 기준값으로서의 β_0 은 예를 들면, 화소 구동 회로 DC의 설계값 또는 전형값으로 설정된다.
- [0087] 이 트랜지스터 T3이 시간을 경과하여 열화하고, 임계전압 V_{th} 가 ΔV_{th} 만큼 시프트(증가)했을 때, 전압/전류 특성은 도 3의 (b)에 나타내는 전압/전류 특성 VI_3으로 된다.
- [0088] 또, 전류 증폭율 β 의 값이 β_0 (표준값)으로부터의 불규칙에 기인하여, β_0 보다 작은 $\beta_1(=\beta_0 - \Delta\beta)$ 인 경우, 전압/전류 특성은 전압-전류 특성 VI_1로 되고, 전류 증폭율 β 의 값이 β_0 보다 큰 $\beta_2(=\beta_0 + \Delta\beta)$ 이면, 전압/전류 특성은 전압/전류 특성 VI_2로 된다.
- [0089] 다음에, 오토 제로법에 대해 설명한다.
- [0090] 오토 제로법은 우선, 상술한 기입시에 데이터선 Ldi를 통해 화소(21(i,j))의 화소 구동 회로 DC 트랜지스터 T3의 게이트-소스에 기준전압 Vref를 인가한다. 기준전압은 애노드선 La의 전압 ELVSS에 대한 전위차의 절대값이 임계 전압 V_{th} 를 넘는 전압으로 설정된다. 그 후, 데이터선 Ldi는 하이 임피던스의 상태에 있다. 이와 같이 하는 것에 의해, 게이트 데이터선 Ldi의 전압은 자연적으로 낮아진다(저하한다). 그리고, 자연 저하가 종료한 후, 데이터선 Ldi의 전압을 측정하고, 측정된 전압을 임계전압 V_{th} 로서 간주한다.
- [0091] 상술한 일반적인 오토 제로법과 비교하면, 본 실시형태에 의한 오토 제로법은 데이터선 Ldi의 전압을, 상술한 자연 저하가 완전히 종료하기 이전의 타이밍에서 측정한다. 상세한 설명은 후술한다.
- [0092] 도 4의 (a) 및 (b)는 본 실시형태에 관한 오토 제로법을 이용할 때의 데이터선의 전압 측정 방법을 설명하기 위한 그래프이다. 도 4의 (a)는 상기 기준 전압 Vref를 상술한 바와 같이 인가한 후에 데이터선 Ldi가 하이 임피던스 상태에 있는 경우, 데이터선 Ldi의 시간 변동(정착 특성)을 나타내는 그래프이다.
- [0093] 데이터선 Ldi의 전압은 측정 전압 Vmeas(t)로서 데이터 드라이버(22)에 의해 획득된다. 이 측정 전압 Vmeas(t)는 일반적으로 트랜지스터 T3의 게이트 전압 Vgs와 동일한 전압이다.
- [0094] 도 4의 (b)는 도 3의 (b)에 나타내는 β 불규칙이 있을 때의, 데이터선 전압(측정 전압 Vmeas(t))의 영향을 설명하기 위한 그래프이다. 또한, 도 4의 (a) 및 (b)에 있어서, 종축은 데이터선 Ldi 전압(측정 전압 Vmeas(t))의 절대값을 나타낸다. 횡축은 시간으로부터 경과된 시간 t(정착 시간)를 나타내며, 기준 전압 Vref를 인가하는 것에 의해 하이 임피던스 상태로 되고, 그 후, 기준 전압 Vref의 인가를 중지한다.

- [0095] 오토 제로법에 따르는 데이터선 전압의 측정에 대해 더욱 상세하게 설명한다.
- [0096] 기입 상태에 있어서, 우선, 애노드선 LA의 전압 ELVSS에 대한 전위차의 절대값은 트랜지스터 T3의 임계 전압 V_{th} 를 넘으며, 전압 ELVSS보다 작은 전위를 갖는 부극성의 기준전압 V_{ref} 를, 데이터선 Ldi에 의해 화소 (21(i,j))의 화소 구동 회로 DC 트랜지스터 T3의 게이트-소스에 인가한다. 이와 같이 하는 것에 의해, 애노드 회로(12)로부터 애노드선 La, 트랜지스터 T3 및, 트랜지스터 T2를 통해, 데이터선 Ldi를 향해 기준 전압 V_{ref} 에 의해 정해진 전류가 흐른다.
- [0097] 이 때, 트랜지스터 T3의 게이트-소스(도 3의 (a)에 있어서 점점 N11과 N12 사이)에 접속된 유지 용량 C_s 는 기준 전압 V_{ref} 에 의거하는 전압으로 충전된다.
- [0098] 다음에, 데이터선 Ldi의 데이터 입력측(데이터 드라이버(22)측)은 하이 임피던스(HZ) 상태로 설정된다. 하이 임피던스 상태로 설정한 직후, 유지 용량 C_s 에 충전된 전압은 기준 전압 V_{ref} 에 의거하는 전압으로 유지되고, 트랜지스터 T3의 게이트-소스 전압은 유지 용량 C_s 에 충전된 전압으로 유지된다.
- [0099] 이것에 의해, 하이 임피던스 상태로 설정한 직후, 트랜지스터 T3은 온 상태를 유지하고, 트랜지스터 T3의 드레인-소스에 전류가 계속해서 흐른다.
- [0100] 이것에 의해, 트랜지스터 T3의 소스 단자측(점점 N12)의 전위가, 시간의 경과와 함께, 드레인 단자측의 전위에 접근하도록 서서히 증가한다. 이것에 의해, 트랜지스터 T3의 드레인-소스 사이에 흐르는 전류의 값은 감소한다.
- [0101] 이것에 수반해서, 유지 용량 C_s 에 축적된 전하의 일부가 방전된다. 유지 용량 C_s 에 축적된 전하가 서서히 방전 되면, 유지 용량 C_s 의 양단간의 전압은 서서히 감소한다.
- [0102] 이것에 의해, 트랜지스터 T3의 게이트 전압 V_{gs} 가 서서히 감소한다. 이것에 의해, 도 4의 (a)에 나타내는 바와 같이, 데이터선 Ldi의 전압의 절대값도 서서히 감소한다.
- [0103] 마지막으로, 트랜지스터 T3의 드레인-소스 사이에 전류가 흐르지 않으면, 유지 용량 C_s 로부터의 방전은 정지한다. 이 때의 트랜지스터 T3의 게이트 전압 V_{gs} 는 이 트랜지스터 T3의 임계 전압 V_{th} 로 된다.
- [0104] 이 때는 트랜지스터 T2의 드레인-소스간에 전류가 흐르지 않기 때문에, 트랜지스터 T2의 드레인-소스간의 전압은 거의 0이다. 그 결과, 데이터선 Ldi의 전압은 트랜지스터 T3의 임계전압 V_{th} 에 대략 동일하게 된다.
- [0105] 도 4의 (a)에 나타내는 바와 같이, 데이터선 Ldi의 전압은 이 임계전압 V_{th} 에 시간(정착 시간)과 함께 점근적으로 접근한다. 그러나, 이 전압은 임계전압 V_{th} 에 한없이 접근하지만, 이론적으로는 정착 시간을 아무리 길게 설정해도, 임계전압 V_{th} 에 완전히 동일하게는 되지 않는다.
- [0106] 이것에 의해, 본 실시형태에 있어서, 표시장치(1)에 있어서의 제어부(16)는 하이 임피던스 상태로 설정되고, 데이터선 Ldi의 전압을 측정하는 정착 시간 t 는 미리 설정된다. 그 후, 데이터선 Ldi의 전압(측정 전압 $V_{meas}(t)$)은 정착 시간 t 에 측정되고, 이 측정 전압 $V_{meas}(t)$ 에 의거하여, 트랜지스터 T3의 임계전압 V_{th} 및 화소 구동 회로 DC의 전류 증폭율 β 을 획득한다.
- [0107] 이 측정 전압 $V_{meas}(t)$ 의 정착시간 t 의 관계는 다음의 식 (102)로 나타낼 수 있다.

$$(102) \dots V_{meas}(t) = V_{th} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{V_{ref} - V_{th}}}$$

- [0108]
- [0109] 여기서, $C=C_p+C_s+C_{el}$ 이다.
- [0110] 그리고, 정착 시간 t 를 $(C/\beta)/t < 1$ (즉, $(C/\beta) < t$)의 조건을 만족시키는 값으로 설정하면, 그 설정된 정착 시간 t 에서 측정 전압 $V_{meas}(t)$ 는 다음의 식(103)으로 나타낼 수 있다.

$$(103) \dots V_{meas}(t) \doteq V_{th} + \frac{(C/\beta)}{t}$$

- [0111]
- [0112] 도 4의 (b)에 나타내는 정착 시간 t_x 가 $(C/\beta)/t=1$ 의 조건을 만족시키는 시간이면, 이 정착 시간 t_x 를 넘는 시간이 $(C/\beta)/t < 1$ 의 조건을 만족시키는 정착 시간으로 된다. 이 정착 시간 t_x 는 측정 전압 $V_{meas}(t)$ 가 기준 전

압 Vref의 일반적으로 대략 30%인 시간이며, 좀 더 구체적으로는 일반적으로 1ms와 4ms의 사이이다.

[0113] 다음에, 도 4의 (b)에 실선으로 나타낸 Vmeas_0(t)는 전류 증폭율 β 가 초기값 β_0 (기준값)인 경우(도 3의 (b)에 나타내는 전압/전류 특성 VI_0에 대한 β 의 조건과 동일)의 데이터선 Ldi의 전압의 정착 특성을 나타낸다.

[0114] 도 4의 (b)에 나타내는 Vmeas_2(t)는 전류 증폭율 β 의 값이 β_0 보다 작은 $\beta_1(=\beta_0-\Delta\beta)$ 인 경우(도 3의 (b)에 나타내는 전압/전류 특성 VI_1의 β 의 조건과 동일)의 데이터선 Ldi의 전압의 정착특성을 나타낸다. Vmeas_3(t)는 전류 증폭율 β 의 값이 β_0 보다 큰 $\beta_2(=\beta_0+\Delta\beta)$ 인 경우(도 3의 (b)에 나타내는 전압/전류 특성 VI_2의 β 의 조건과 동일)의 데이터선 Ldi의 전압의 정착 특성을 나타낸다.

[0115] 표시장치(1)의 출하시 등의 초기 단계에서, 상기의 $(C/\beta)/t < 1$ 의 조건을 만족시키는 정착 시간으로서, 정착 시간 tx를 넘는 2개의 다른 시간 t1 및 t2를 설정한다. 또한, 상술한 오토 제로법에 의해, 기준 전압 Vref를 데이터선 Ldi에 인가한 후의 정착 시간 t1, t2의 2회의 타이밍에서 데이터선 Ldi의 전압을 측정한다. 그리고, 정착 시간 t1, t2의 측정에 의해 구해진 데이터선의 전압값과 상기의 식 (103)에 의거하여, 초기 임계 전압 Vth 즉 Vth0과 (C/β) 를 구할 수 있다.

[0116] 그 후, 상술한 방법에 의해, 유기 EL 패널(21)의 모든 화소(21(i, j))에 대한 임계전압 Vth0과 (C/β) 를 구한다. 그리고, 각 화소(21)의 (C/β) 의 평균값($\langle C/\beta \rangle$)와 그 편차를 계산한다.

[0117] 그리고, 이 편차가 임계전압 Vth 측정의 허용 범위내에 있고, $(C/\beta)/(\beta t) < 1$ 을 만족시키는 가장 짧은 정착 시간 t0이 결정된다.

[0118] 화상 데이터가 실 동작시에 공급되면, 획득된 측정 전압 Vmeas(t0)를 이용하여, 동작시의 임계전압 Vth를, 식 (103)에서 변형된 다음의 식 (104)로부터 구할 수 있다.

[0119] 각 화소(21)의 (C/β) 의 산술적인 평균값($\langle C/\beta \rangle$)은 각 화소(21)의 (C/β) 의 평균값($\langle C/\beta \rangle$)으로서 이용될 수 있지만, 각 화소(21)의 (C/β) 의 중앙값이 이용되어도 좋다.

$$(104) \dots V_{th} = V_{meas}(t_0) - \frac{\langle C/\beta \rangle}{t_0}$$

[0120]

[0121] 여기서, 상기 식(104)에 있어서의 우측의 제 2 부분의 값이 오프셋 전압 Voffset으로서 정의된다.

$$(105) \dots V_{offset} = \frac{\langle C/\beta \rangle}{t_0}$$

[0122]

[0123] 다음에, 화소(21(i, j))의 화소 구동 회로 DC의 전류 증폭율 β 는 $\beta_0 \pm \Delta\beta = \beta_0(1 \pm \Delta\beta/\beta_0)$ 로서 나타낸 바와 같이 β_0 주위의 $\Delta\beta$ 의 범위내의 편차이다.

[0124] 이 때의 데이터선 Ldi의 전압(측정 전압 Vmeas(t))의 $\Delta\beta$ 에 기인하는 변화량 $\Delta V_{meas}(t)$ 는 다음의 식 (106)으로 나타낼 수 있다.

$$(106) \dots \Delta V_{meas}(t) = - \left[\frac{\Delta\beta}{\beta} \right] \times \frac{\langle C/\beta \rangle}{t} \left\{ 1 - \frac{2}{V_{ref} - V_{th}} \frac{\langle C/\beta \rangle}{t} \right\}$$

[0125]

[0126] $(\Delta\beta/\beta)$ 는 각 화소(21(i, j))의 화소 구동 회로 DC에 대한 전류 특성의 편차를 나타내는 편차 파라미터이고, $\Delta V_{meas}(t)$ 는 데이터선 Ldi의 전압의 편차 $\Delta\beta$ (또는 편차 파라미터 $(\Delta\beta/\beta)$)의 의존성을 나타내고 있다. 즉, 식 (106)에 나타내는 바와 같이, β 의 편차에 기인하여 데이터선 Ldi의 전압은 $\Delta V_{meas}(t)$ 만 변동한다.

[0127] 이 때의 정착 시간 t는 도 4의 (b)에 나타내는 바와 같이, 정착 시간 tx에 비해 작은 값 t3으로 설정될 수 있다 ($(C/\beta)/t \geq 1, t=t3$).

[0128] 도 4의 (b)에 나타내는 바와 같이, 이 정착 시간 t3에서는 데이터선 Ldi의 전압이 급속히 정착(저하)한다. 이것에 의해, 데이터선 Ldi의 전압(측정 전압 Vmeas(t))의 편차 β 의 의존성은 비교적 커진다.

[0129] 이와 같은 이유로, $\Delta V_{meas}(t)$ 가 정착 시간 t3에 측정되면, $\Delta V_{meas}(t)$ 는 정착시간 t1 또는 t2에서 측정되는 경우에 비해 더욱 큰 값이므로 획득할 수 있으며, $\Delta\beta$ 의 편차에 대한 측정 전압 Vmeas(t)의 변화를 용이하게 판별한다. 정착시간 t3에 의해 Vmeas(t)를 획득한 이유가 여기에 있다. 이 Vmeas(t)로부터 $\Delta V_{meas}(t)$ 가

구해지고, $(\Delta \beta / \beta)$ 는 식 (106)으로부터 획득할 수 있다.

[0130] 다음에, 공급되는 화상 데이터에 의거하여 데이터선 Ld1에 인가되는 전압 신호의 전압값 Vdata에 대한 보정에 관해 설명한다. 이 보정의 목적은 임계 전압의 변화와 전류 증폭율 β 의 편차에 기인하는 표시화상으로의 영향을 저감하기 위한 것이다.

[0131] 화상 데이터에 의거하는 보정 전의 전압을 Vdata0으로 간주하고, 각 화소(21(i,j))의 화소 구동 회로 DC의 전류 특성의 편차 파라미터($\Delta \beta / \beta$)에 의거하여 전압값 Vdata0을 보정한 전압값 Vdata1은, 전압에 의해 식 (106)을 미분하는 것에 의해 구해진 다음의 식(107)으로 나타내어진다.

$$(107) \dots \quad Vdata1 = Vdata0 \times \left\{ 1 - \frac{1}{2} \left(\frac{\Delta \beta}{\beta} \right) \right\}$$

[0132]

[0133] 임계전압 Vth는 식 (105)에서 정의한 오프셋 전압 Voffset를 이용하여 정착 시간 t0의 오토 제로법에 의한 다음의 식(108)으로 나타내어진다.

$$(108) \dots \quad Vth = Vmeas(t0) - Voffset$$

[0134]

[0135] 화소 구동 회로 DC와 임계 전압 Vth의 전류 특성의 편차 파라미터($\Delta \beta / \beta$)에 의거하여 보정한 화상 데이터에 의거하는 전압값 Vdata에 있어서의 전압값(보정 전압) Vdata는 다음의 식(109)에 의해 나타내어진다.

[0136] 이 전압값 Vdata는 데이터 드라이버(22)에 의해 데이터선 Ld1에 인가되는 전압 신호(구동 신호)의 전압값이다.

$$[0137] \quad (109) \dots Vdata = Vdata1 + Vth$$

[0138] 다음에, 데이터 드라이버(22)의 구성의 상세에 대해 설명한다.

[0139] 도 5는 도 1에 나타내는 데이터 드라이버(22)의 구체적인 구성을 나타내는 블록도이다.

[0140] 데이터 드라이버(22)는 도 5에 나타내는 바와 같이, 시프트 레지스터(111), 데이터 레지스터 블록(112)과, 버퍼(113(1)~113(m), 119(1)~119(m)), ADC(114(1)~114(m)), 레벨 시프트 회로(도면 중, “LS”로 기재함)(115(1)~115(m), 117(1)~117(m)), 데이터 래치 회로(도면 중, “D-래치”로 기재함)(116(1)~116(m)), VDAC(118(1)~118(m)), 스위치(Sw1(1)~Sw1(m), Sw2(1)~Sw2(m), Sw3(1)~Sw3(m), Sw4(1)~Sw4(m), Sw5(1)~Sw5(m), SW6)를 구비한다.

[0141] Sw3(1)~Sw3(m)는 스위치 회로에 대응한다.

[0142] 시프트 레지스터(111)는 클럭신호에 의해 순차 제어부(16)로부터 공급된 개시 펄스 SP2를 시프트하는 것에 의해 시프트 신호를 생성하고, 이들 시프트 신호를 순차 데이터 레지스터 블록(112)에 공급한다.

[0143] 데이터 레지스터 블록(112)은 m개의 레지스터로 구성된다. 화상 데이터에 의거하여 생성된 디지털 데이터 Din(i)(i=1~m)은 제어부(16)로부터 데이터 레지스터 블록(112)에 공급된다. 데이터 레지스터 블록(112)은 시프트 레지스터(111)로부터 공급된 시프트 신호에 따라, 이들 디지털 데이터 Din(i)(i=1~m)를 순차 상기 m레지스터의 각각에 유지한다.

[0144] 버퍼(113(i))(i=1~m)는 데이터선 Ldi(i=1~m)의 전압을 각각 아날로그 데이터로서 ADC(114(i))(i=1~m)에 인가하기 위한 버퍼 회로이다.

[0145] ADC(114(i))(i=1~m)는 아날로그 전압을 디지털 신호로 변환하는 아날로그-디지털 변환기이다. ADC(114(i))는 버퍼(113(i))에 의해 인가된 아날로그 데이터를 디지털 데이터 출력 신호 Dout(i)로 변환한다. ADC(114(i))는 데이터선 Ldi(i=1~m)의 전압을 측정하기 위한 측정기(전압 측정 회로)로서 이용된다.

[0146] 레벨 시프트 회로(115(i))는 회로(i=1~m)의 전원전압을 확인하기 위해, 변환을 통해 생성된 ADC(114(i))의 디지털 데이터를 레벨 시프트한다.

[0147] 디지털 데이터 Din(i)은 데이터 레지스터 블록(112)의 각 레지스터에 유지된다. 데이터 래치 회로(116(i))는 데이터 레지스터 블록(112)의 각 레지스터로부터 공급된 디지털 데이터 Din(i)을 유지한다. 데이터 래치 회로(116(i))는 제어부(16)로부터 공급된 데이터 래치 펄스 DL(pulse)가 상승하는 타이밍에서 디지털 데이터 Din(i)을 래치하고 유지한다.

- [0148] 레벨 시프트 회로(117(i))는 회로(i=1~m)의 전원 전압을 확인하기 위해, 데이터 래치 회로(106(i))에 의해 유지된 디지털 데이터 Din(i)을 레벨 시프트한다.
- [0149] VDAC(118(i))(i=1~m)는 디지털 신호를 아날로그 전압으로 변환하는 디지털-아날로그 변환기이다. VDAC(118(i))는 레벨 시프트 회로(117(i))에 의해 레벨 시프트된 디지털 데이터 Din(i)을 아날로그 전압으로 변환하고, 버퍼(119(i))(i=1~m)를 통해 데이터선 Ldi로 출력한다. VDAC(118(i))는 구동신호를 생성하고 다음의 회로에 그들을 인가하는 구동 신호 인가 회로에 상당한다.
- [0150] 버퍼(119(i))는 아날로그 전압을 출력 즉, VDAC(118(i))에서 데이터선 Ldi(i=1~m)로 출력하기 위한 버퍼 회로이다.
- [0151] 도 6의 (a) 및 (b)는 도 5에 나타내는 VDAC(118)의 구성과 기능을 설명하기 위한 도면이다.
- [0152] 도 6의 (a)는 VDAC(118)의 일반적인 구성을 나타내고, 도 6의 (b)는 VDAC(118)에 포함되는 VD1 설정 회로(118-3) 및 VD1023 설정 회로(118-4)의 구성을 나타낸다.
- [0153] 도 6의 (a)에 나타내는 바와 같이, VDAC(118(i))는 계조전압 생성 회로(118-1)와 계조전압 선택 회로(118-2)를 갖는다.
- [0154] 계조전압 생성 회로(118-1)는 VDAC(118)에 입력되는 디지털 신호의 비트수에 의해 정해진 소정 수의 계조전압(아날로그 전압)을 생성한다. 입력될 디지털 신호가 도 6의 (a)에 나타내는 바와 같이 10비트(D0-D9)인 경우, 계조전압 생성 회로(118-1)는 1024개의 계조전압(VD0~VD1023)을 생성한다.
- [0155] 계조전압 생성 회로(118-1)는 VD1 설정 회로(118-3), VD1023 설정 회로(118-4), 저항 R2 및, 래더 저항 회로(118-5)를 갖는다.
- [0156] VD1 설정 회로(118-3)는 제어부(16)로부터 공급된 제어 신호 VL_SEL에 의거하여 계조전압 VD1의 전압값을 설정하는 회로이고, 전압 VD0이 인가된다. 전압 VD0은 최소 계조전압이며, 예를 들면 전원 전압 ELVSS와 동일한 전압으로 설정된다.
- [0157] VD1 설정 회로(118-3)는 도 6의 (b)에 나타내는 바와 같이, 저항(R3, R4-1~R4-127) 및, VD1 선택 회로(118-6)를 갖는다.
- [0158] 저항 R3, R4-1~R4-127는 이 순서로 직렬 접속된 분압 저항이다. 직렬 접속된 저항 R3의 일단에 전압 VD0이 인가된다. 직렬 접속된 저항 R4-127측의 일단은 저항 R2의 일단에 접속된다. 이 저항 R3과 저항 R4-1의 접속점의 전압은 전압 VA0이고, 저항 4-i와 저항 4-i+1의 접속점의 전압은 VAI(i=1~126)이며, 저항 R4-127과 저항 R2의 접속점의 전압은 VA127이다.
- [0159] VD1 선택 회로(118-6)는 제어부(16)로부터 공급된 제어 신호 VL_SEL에 의거하여, 전압 VA0~VA127 중에서 몇 개의 전압을 선택하고, 선택된 전압을 계조전압 VD1로서 출력한다. VD1 설정 회로(118-3)는 계조전압 VD1을 임계 전압 Vth0에 대응하는 값으로 설정한다.
- [0160] VD1023 설정 회로(118-4)는 제어부(16)로부터 공급된 제어 신호 VH_SEL과, 아날로그 전원(14)에 의해 인가된 전압 DVSS에 의거하여 최대 계조전압 VD1023의 전압값을 설정하는 회로이다.
- [0161] VD1023 설정 회로(118-4)는 도 6의 (b)에 나타내는 바와 같이, 저항 R5-1~R5-127, R6과, VD1023 선택 회로(118-7)를 갖는다.
- [0162] 저항 R5-1~R5-127, R6은 이 순서로 직렬 접속된 분압 저항이다. 직렬 접속된 저항의 저항 R5-1측의 일단은 저항 R2의 타단에 접속되고, 직렬 접속된 저항의 저항 R6측의 일단에 전압 DVSS가 인가된다. 이들 저항 R2와 R5-1의 접속점의 전압은 전압 VB0이고, 저항 R5-i와 R5-i+1의 접속점의 전압은 전압 VBi(i=1~126)이며, 저항 R5-127과 R6의 접속점의 전압은 전압 VB127이다.
- [0163] VD1023 선택 회로(118-7)는 제어부(16)로부터 공급된 제어 신호 VH_SEL에 의거하여, 전압 VB0~VB127 중에서 몇 개의 전압을 선택하고, 선택된 전압을 계조전압 VD1023으로서 출력한다.
- [0164] 래더 저항 회로(118-5)는 예를 들면, 직렬로 접속된 R1-1~R1-1022의 복수의 래더 저항을 구비한다. 각 래더 저항 R1-1~R1-1022는 동일한 저항값을 갖는다.
- [0165] 래더 저항 회로(118-5)의 저항 R1-1측의 일단은 VD1 설정 회로(118-3)의 출력단에 접속되고, 전압 VD1이 이 단

자에 인가된다. 래더 저항 회로(118-5)의 저항(R-1022)측의 일단은 VD1023 설정 회로(118-4)의 출력단에 접속되고, 이 단자에 전압 VD1023이 인가된다.

- [0166] 이 래더저항 R1-1~R1-1022은 전압 VD1~VD1023의 사이를 균등하게 분할한다. 래더 저항 회로(118-5)는 균등하게 분할된 전압을, 계조전압 VD2~VD1022로서 계조전압 선택 회로(118-2)에 출력한다.
- [0167] 계조전압 선택 회로(118-2)에는 레벨 시프트 회로(117(i))에 의해 레벨 시프트된 디지털 신호가 디지털 신호 D0~D9로서 입력된다. 그 후, 계조전압 선택 회로(118-2)는 계조전압 생성 회로(118-1)로부터 공급된 각 계조전압 VD0~VD1023으로부터 입력된 디지털 신호 D0~D9의 값에 대응하는 전압을 선택하고, VDAC(118)의 출력전압 VOUT로서 계조전압을 출력한다.
- [0168] 상술한 바와 같이, VDAC(118(i))는 입력된 디지털 신호를, 디지털 신호의 계조값에 대응하는 아날로그 전압으로 변환한다.
- [0169] 이 실시형태에 있어서, VDAC(118)에 입력되는 디지털 신호의 값은 화상 데이터의 비트 수에 의해 정해진 전체의 계조 범위보다 좁은 범위로 설정되고, VDAC(118(i))에 의해 출력되는 출력전압 VOUT의 전압 범위는 계조전압 생성 회로(118-1)에 의해 생성되는 전체의 계조전압 VD0~VD1023 중의 일부의 범위로 설정된다.
- [0170] 상술한 바와 같이, 이 실시형태에 있어서는 임계 전압 Vth의 편차에 기인하는 화상 데이터의 편차를 줄이기 위해, 그 시간에 획득된 임계 전압 Vth의 값에 의거하여 공급된 화상 데이터에 대해 보정을 실행한다. 이 보정을 실행하는 것에 의해, 화상 데이터의 모든 계조전압의 출력전압 VOUT의 전압 범위의 폭은 변하지 않지만, 화상 데이터의 제 1 계조의 전압범위내의 하한 전압값은 임계 전압 Vth의 변동량(ΔVth)에 대응하는 값만 시프트된다. 따라서, 화상 데이터의 모든 계조값에 대한 출력전압 VOUT의 전압 범위는 모든 계조전압 VD0~VD1023내에서 시프트한다.
- [0171] 여기서, 계조전압 생성 회로(118-1)에 의해 설정되는 각 계조전압 VD1~VD1023은 균일한 간격의 값으로 설정된다. 즉, 출력전압 VOUT의 전압범위가 시프트해도, 화상 데이터의 계조값에 대응하는 VDAC(118(i))의 출력전압의 변화 특성은 일정하게 유지할 수 있다.
- [0172] 또한, 화상 데이터의 계조값이 0일 때, VDAC(118(i))는 0계조에 대응하는 최소 계조전압 VD0을 출력한다. 이 때에는 흑표시로서 유기 EL 소자(101)를 발광시키지 않는 상태이기 때문에, 상기의 임계전압 Vth의 값에 의거하는 보정을 실행할 필요가 없다. 따라서, 계조전압 VD0은 고정된 전압값으로 설정된다.
- [0173] ADC(114(i))와 VDAC(118(i))는 예를 들면 동일한 비트폭을 갖고, 1계조에 대응하는 전압폭은 동일한 값으로 설정된다.
- [0174] 스위치 Sw1(i)(i=1~m)은 각각, 데이터선 Ldi와 버퍼(119(i))의 출력단의 사이를 접속 또는 차단하는 스위치이다.
- [0175] 데이터선 Ldi에 전압값 Vdata를 갖는 전압 신호가 인가될 때, 각 스위치 Sw1(i)은 제어부(16)로부터, 스위치 제어 신호 S1로서 On1 신호가 공급된 후에 온 상태(폐쇄)로 되고, 버퍼(119(i))의 출력단과 데이터선 Ldi를 접속한다.
- [0176] 데이터선 Ldi에의 전압값 Vdata의 전압 신호의 인가 후에, 각 스위치 Sw1(i)은 제어부(16)로부터 스위치 제어 신호 S1로서 Off1 신호가 공급될 때에 오프 상태(개방)로 되어, 버퍼(119(i))의 출력단과 데이터선 Ldi의 사이의 접속을 차단한다.
- [0177] 각 스위치 Sw2(i)(i=1~m)는 데이터선 Ldi와 버퍼(119(i))의 입력단의 사이를 접속 또는 차단하는 스위치이다.
- [0178] 오토 제로법으로 데이터선 Ldi의 전압 측정을 실행할 때, 각 스위치 Sw2(i)는 제어부(16)로부터, 스위치 제어 신호 S2로서 On2 신호가 공급될 때에 온 상태(폐쇄)로 되어, 데이터선 Ldi와 버퍼(113(i))의 입력단을 접속한다.
- [0179] 데이터선 Ldi의 전압 측정이 종료된 후에, 각 스위치 Sw2(i)는 제어부(16)로부터, 스위치 제어 신호 S2로서 Off2 신호가 공급될 때에 오프 상태로 되어, 데이터선 Ldi와 버퍼(113(i))의 출력단의 사이의 접속을 차단한다.
- [0180] 각 스위치 Sw3(i)는 데이터선 Ldi와 아날로그 전원(14)의 기준 전압 Vref의 출력단의 사이를 접속 또는 차단하는 스위치이다.
- [0181] 데이터선 Ldi에 기준 전압 Vref를 인가할 때, 각 스위치 Sw3(i)는 제어부(16)로부터, 스위치 제어 신호 S3으로

서 On3 신호가 공급될 때에 온 상태로 되어, 데이터선 Ldi와 아날로그 전원(14)의 기준 전압 Vref의 출력단을 접속한다.

- [0182] 상술한 오토 제로법으로 전압을 측정하기 위해, On3 신호는 기준 전압 Vref를 인가하는 단기간에게만 스위치 Sw3(i)에 공급된다. 그 후, 각 스위치 Sw3(i)은 제어부(16)로부터, 스위치 제어 신호 S3으로서 Off3 신호가 공급될 때에, 각 스위치 Sw3(i)이 오프 상태로 되어, 데이터선 Ldi와 아날로그 전원(14)의 기준 전압 Vref의 출력단의 사이의 접속을 차단한다.
- [0183] 스위치 Sw4(1)는 데이터 래치 회로(116(1))의 출력단과 스위치 Sw6의 일단 또는 레벨 시프트 회로(117(1))의 사이의 접속을 전환하는 스위치이다. 이 스위치는 스위치 Sw6의 일단에 접속된 프론트 단자와 레벨 시프트 회로(117(1))에 접속된 DAC측 단자를 갖고 있다.
- [0184] 각 스위치 Sw4(i)(i=2~m)는 데이터 래치 회로(116(i))의 출력단과 스위치 Sw5(i-1)의 일단 또는 레벨 시프트 회로(117(i))의 사이의 접속을 전환하는 스위치이다. 이 스위치는 레벨 시프트 회로(117(i))에 접속된 DAC측 단자와 스위치 Sw5(i-1)의 일단에 접속된 프론트 단자를 갖고 있다.
- [0185] 측정 전압 Vmeas(t)를, 출력 신호 Dout(1)~Dout(m)로서 데이터 드라이버(22)로부터 제어부(16)에 출력할 때, 각 스위치 Sw4(i)(i=1~m)에는 제어부(16)로부터, 스위치 제어신호 S4로서 Connect_front 신호가 공급된다.
- [0186] 스위치 Sw4(i)(i=1~m)는 데이터 래치 회로(116(i))의 출력단과, 제어부(16)로부터 공급된 Connect_front 신호를 통해 프론트 단자를 접속한다.
- [0187] 각 데이터선 Ldi에 전압값 Vdata의 전압신호가 인가될 때, 각 스위치 Sw4(i)(i=1~m)에는 제어부(16)로부터 스위치 제어 신호 S4로서 Connect_DAC가 공급된다. 이 스위치 Sw4(i)는 데이터 래치 회로(116(i))의 출력단과, Connect DAC 신호를 통해 DAC측 단자를 접속한다.
- [0188] 각 스위치 Sw5(i)(i=1~m)는 데이터 래치 회로(116(i))의 입력단과, 데이터 레지스터 블록(112), 레벨 시프트 회로(115(i)), 스위치 Sw4(i) 중의 어느 하나의 사이의 접속을 전환하는 스위치이다.
- [0189] 스위치 Sw5(i)는 제어부(16)로부터 스위치 제어 신호 S5로서 스위치 Sw5(i)에 Connect_ADC 신호가 공급될 때, 데이터 래치 회로(116(i))의 입력단과 레벨 시프트 회로(115(i))의 출력단을 접속한다.
- [0190] 스위치 Sw5(i)는 제어부(16)로부터 스위치 제어 신호 S5로서 스위치 Sw5(i)에 Connect_rear 신호가 공급될 때, 데이터 래치 회로(116(i))의 입력단과 스위치 Sw4(i+1)의 프론트 단자를 접속한다.
- [0191] 스위치 Sw5(i)는 제어부(16)로부터 스위치 제어 신호 S5로서 스위치 Sw5(i)에 Connect_DRB 신호가 공급될 때, 데이터 래치 회로(116(i))의 입력단과 데이터 레지스터 블록(112)의 출력단을 접속한다.
- [0192] 스위치 Sw6은 스위치 Sw4(1)의 프론트 단자와 제어부(16)의 사이를 접속 또는 차단하는 스위치이다.
- [0193] 측정 전압 Vmeas(t)를, 출력 신호 Dout(1)~Dout(m)로서 제어부(16)에 출력할 때, 스위치 Sw6은 제어부(16)로부터 스위치 제어 신호 S6으로서 스위치 Sw6에 On6 신호가 공급될 때에 온 상태로 되어, 스위치 Sw4(1)의 프론트 단자와 제어부(16)의 사이를 접속한다.
- [0194] 측정 전압 Vmeas(t)를 완전히 출력하면, 스위치 Sw6은 제어부(16)로부터 스위치 제어 신호 S6으로서 Sw6에 Off6 신호가 공급될 때에 오프 상태로 되어, 스위치 Sw4(1)의 프론트 단자와 제어부(16)의 사이의 접속을 차단한다.
- [0195] 도 1로 되돌아와, 애노드 회로(12)는 애노드선 La를 통해 유기 EL 패널(21)에 전압을 인가하여 전류를 공급하기 위한 것이다.
- [0196] 아날로그 전원(14)은 데이터 드라이버(22)에 기준 전압 Vref, 전압 DVSS 및, DV0을 인가하기 위한 전원이다.
- [0197] 상기 기준 전압 Vref를, 오토 제로법으로 데이터선 Ld1의 전압 측정시에, 각 화소((21(i, j)))로부터 전류를 인출하기 위해 데이터 드라이버(22)에 인가한다. 기준 전압 Vref는 애노드 회로(12)에 의해 각 화소 회로 DC상에 인가되는 부전압의 전원 전압 ELVSS이고, 전원 전압 ELVSS에 대한 전위차의 절대값이, 각 화소(21(i, j))의 트랜지스터 T3의 임계전압 Vth의 절대값보다 큰 값으로 설정된다.
- [0198] 아날로그 전압 DVSS와 VD0은 버퍼(113(i)), 버퍼(119(i)), ADC(114(i)) 및, VDAC(118(i)(i=1~m))를 구동하기 위한 아날로그 전압이다. 아날로그 전압 DVSS는 애노드 회로(12)에 의해 애노드선 La에 인가되는 전원 전압 ELVSS에 대해 부극성의 전압이며, 예를 들면 -12V 정도로 설정된다.

- [0199] 논리 전원(15)은 데이터 드라이버(22)에 전압 LVSS 및 LVDD를 인가하기 위한 전원이다. 전압 LVSS 및 LVDD는 데이터 드라이버(22)의 데이터 래치 회로(116(i)(i=1~m)), 데이터 레지스터 블록, 시프트 레지스터를 구동하기 위한 논리 전압이다. 여기서, 전압 DVSS, VDO, LVSS 및, LVDD는 조건 예를 들면, (DVSS-VDO) < (LVSS-LVDD)를 만족시키도록 설정된다.
- [0200] 제어부(16)는 각 데이터를 저장하고, 이 저장된 데이터에 의거하여 각 부를 제어한다. 상술한 바와 같이, 본 실시형태에 있어서의 제어부(16)는 공급된 디지털 신호의 화상 데이터에 대해 각종 보정을 통해 생성된 디지털 데이터 Din(i)(i=1~m)을 데이터 드라이버(22)에 공급하는 구성을 가지며, 제어부(16)내에서의 연산 등의 처리는 디지털값에 대해 실행된다. 또한, 후술하는 설명은 적절한 이유에 의해 디지털 신호를 아날로그 전압값과 비교하는 것에 의해 이루어진다.
- [0201] 제어부(16)는 예를 들면, 표시장치(1)의 출하 등의 초기 단계에 있어서 각 부를 제어하고, 데이터 드라이버(22)를 통해 오토 제로법으로 데이터선 Ldi의 전압을 측정하며, 모든 화소(21(i, j))에 대해 측정 전압 Vmeas(t1), Vmeas(t2) 및, Vmeas(t3)를 획득한다.
- [0202] 그 후, 제어부(16)는 Vmeas(t2)와 마찬가지로, 측정 전압 Vmeas(t1)를 이용하여, 식 (103)에 따라 연산하는 것에 의해, 특성 파라미터로서 각 화소(21(i, j))의 트랜지스터 T3의 (초기) 임계전압 Vth0과 화소 구동 회로 DC의 C/β 값을 획득한다. 또한, 제어부(16)는 모든 화소(21(i, j))의 C/β의 평균값 <C/β>을 획득한다. 또, 실 동작(사용)에 대한 정착시간 t0이 정해지고, 식 (105)에 따른 연산에 의해 오프셋 전압 Voffset을 획득한다.
- [0203] 또한, 제어부(16)는 측정 전압 Vmeas(t3)를 이용하는 것에 의해 ΔVmeas(t3)를 연산하고, 식 (106)에 따르는 연산에 의해 속성 파라미터로서 편차 파라미터(Δβ/β)를 획득한다.
- [0204] 계속해서, 화상 데이터가 공급되는 동작에 있어서, 제어부(16)는 각 부를 제어하고, 데이터 드라이버(22)를 통해 정착시간이 t0인 동안의 오토 제로법으로 데이터선 Ldi의 전압을 측정할 때, 모든 화소(21(i, j))의 측정 전압 Vmeas(t0)를 획득한다.
- [0205] 제어부(16)는 공급된 화상 데이터에 대응하는 계조전압 데이터에 의거하여, RGB마다 화상 데이터의 계조값에 대응하는 후술하는 데이터값(전압 진폭)을 변환하는 것에 의해 전압값 Vdata0을 획득한다.
- [0206] 컬러 표시에 있어서 각 RGB에 요구되는 백 표시가 최대 계조일 필요가 있다. 그러나, 화소(21(i, j))의 각 RGB색의 유기 EL 소자(101)는 통상, 공급된 전류의 전류값에 대한 발광 휘도의 특성이 다르다.
- [0207] 그 결과, 화상 데이터의 계조값에 대해 각 RGB색의 유기 EL 소자(101)에 공급되는 전류의 전류값을, 각 RGB가 최대 계조일 때 백표시가 되는 서로 다른 값으로 할 수 있도록, 제어부(16)에, RGB마다 화상 데이터의 계조값에 대한 전압 진폭의 변환을 실행한다.
- [0208] 제어부(16)는 모든 화소(21(i, j))에 대해, 이와 같은 전압 진폭의 변환을 실행하는 것에 의해 전압값 Vdata0을 획득한다.
- [0209] 전압값 Vdata0을 획득한 후, 제어부(16)는 식 (107)에 따라 (Δβ/β)에 의거하는 보정 전압값 Vdata1을 획득한다.
- [0210] 제어부(16)는 식 (108) 및 (109)에 따라 최종 출력전압으로서 임계전압 Vth에 의거하는 보정 전압값 Vdata를 획득한다. 구체적으로, 제어부(16)는 대응하는 임계전압 Vth의 비트 가산에 의해 전압값 Vdata1을 보정하여, 전압값 Vdata를 획득한다.
- [0211] 제어부(16)는 모든 화소(21(i, j))의 보정 화상 데이터 Vdata를, 디지털 데이터 Din(i)(i=1~m)으로서 1행마다 데이터 드라이버(22)에 출력한다.
- [0212] 도 7은 도 1에 나타내는 제어부의 구성을 나타내는 블록도이다.
- [0213] 도 8은 도 7에 나타내는 메모리의 각 저장 영역을 나타내는 도면이다.
- [0214] 제어부(16)는 상술한 처리를 실행하기 위해 도 7에 나타내는 바와 같이, CPU(Central Processing Unit)(121), 메모리(122) 및, LUT(Look Up Table)(123)를 구비한다.
- [0215] CPU(121)는 애노드 회로(12), 선택 드라이버(13) 및, 데이터 드라이버(22)를 제어하고, 각종 연산의 각각을 실행한다.

- [0216] 메모리(122)는 ROM(Read Only Memory), RAM(Random Access Memory) 등으로 구성되고, CPU(121)에 의해 실행된 각 처리 프로그램을 저장하고, 처리에 필요한 각종 데이터를 저장한다.
- [0217] 메모리(122)는 각종 데이터를 저장하는 영역으로서, 도 8에 나타내는 바와 같이, 화소 데이터 저장 영역(122a), <C/β> 저장 영역(122b) 및, Voffset 저장 영역(122c)을 구비한다.
- [0218] 화소 데이터 저장 영역(122a)은 각 화소(21(i, j))에 대해, 측정 전압 Vmeas(t1), Vmeas(t2), Vmeas(t3), ΔVmeas, 임계전압 Vth0, Vth, C/β 및, Δβ/β의 각 데이터를 저장하는 영역이다.
- [0219] <C/β> 저장 영역(122b)은 각 화소(21(i, j)) C/β의 평균값<C/β>를 저장하는 영역이다.
- [0220] Voffset 저장 영역(122c)은 식(105)에 의해서 정의된 오프셋 전압 Voffset을 저장하는 영역이다.
- [0221] LUT(123)는 공급된 화상에 대해 각 RGB색의 데이터값을 변환하기 위해 미리 설정된 테이블이다.
- [0222] 제어부(16)는 이 LUT(123)를 참조하는 것에 의해 공급된 화상 데이터값에 대해, 각 RGB에 대해 데이터값을 변환한다.
- [0223] 다음에, 도 9의 (a) 및 (b)는 VDAC(118(i))가 10비트인 경우에 데이터 변환이 실행되는 경우의 도 7에 나타내는 LUT에 있어서의 화상 데이터의 변환 특성의 예를 나타내는 그래프이다.
- [0224] 도 10의 (a) 및 (b)는 LUT에 있어서의 화상 데이터 변환 특성을 설명하기 위한 그래프이다. 이 예에서는 청(B)>적(R)>녹(G)의 순으로 후변환 데이터값에 차이가 난다.
- [0225] 우선, 도 9의 (a) 및 (b)의 횡축은 입력 데이터 즉, 화상 데이터의 계조값이며, 화상 데이터가 10비트인 경우이다. 도 9의 (a) 및 (b)의 종축은 LUT(123)에 의해 화상 데이터가 변환된 변환 데이터의 계조값을 나타낸다. 데이터 드라이버(22)에서 이 변환된 데이터에 의거하여 RGB의 전압 진폭이 설정된다. 또한, 화상 데이터의 계조값에 대한 변환 데이터의 계조값의 변환 특성은 LUT(123)에 미리 설정된다. 도 9의 (a)는 화상 데이터의 계조값에 대해 변환 데이터의 계조값이 직선적인 관계로 설정되는 경우를 나타내고 있다. 또, 도 9의 (b)는 화상 데이터의 계조값에 대해 변환 데이터의 계조값이 곡선적인 감마 특성을 갖도록 설정되어 있는 경우를 나타내고 있다. LUT(123)에 있어서의 화상 데이터의 계조값에 대한 변환 데이터의 계조값의 관계는 필요에 따라 자유롭게 설정할 수 있다.
- [0226] 여기서, 데이터 드라이버(22)의 VDAC(118(i))는 10비트의 구성을 갖고 있는 경우, 0~1023의 입력 데이터를 받을 수 있다. 그러나, LUT(123)에 의해 변환된 후의 변환 데이터는 0~600 정도로 설정된다. 이것은 다음의 이유에 의거한다.
- [0227] 도 10의 (a) 및 (b)의 횡축은 도 9의 (a) 및 (b)와 마찬가지로 입력 데이터를 나타낸다. 도 10의 (a) 및 (b)의 종축은 화상 데이터의 계조값에 대응하는 제어부(16)로부터 데이터 드라이버(22)에 입력되는 디지털 데이터 Din(i)을 나타낸다.
- [0228] 여기서, 도 10의 (a)는 도 9의 (a)에 의거하고, 도 10의 (b)는 도 9의 (b)에 의거한다. 상술한 바와 같이, 본 실시형태에 있어서 제어부(16)의 임계전압 Vth의 평가값에 의거하여 공급된 화상 데이터에 보정을 실행한다.
- [0229] 이 보정은 식 (109)에 나타내는 바와 같이, 화상 데이터에 대해 전류 증폭율 β의 편차에 의거하는 보정과, 그 보정의 결과로서 얻어지는 데이터의 임계전압 Vth에 대응하는 양을 가산하는 보정을 포함한다.
- [0230] 여기서, 상술한 바와 같이, 데이터 드라이버(22)의 VDAC(118)에 있어서의 계조전압 VD1은 임계전압 Vth가 초기값 Vth0인 경우의 값으로 설정되기 때문에, 계조전압 VD1의 보정에 관해 가산하는 양은 임계전압 Vth의 초기값 Vth0으로부터의 변화량인 ΔVth에 대응하는 양이다.
- [0231] 여기서, 제어부(16)로부터 출력되는 디지털 데이터 Din(i)의 계조값이 데이터 드라이버(22)의 VDAC(118(i))의 입력 가능 범위(0~1023)내이어야만 한다.
- [0232] 즉, LUT(123)에 의해 변환된 후의 변환 데이터의 계조값의 최대값은 데이터 드라이버(22)의 VDAC(118(i))의 입력 가능 범위에서, 보정에 의해 가산되는 양을 뺀 값으로 미리 설정된다.
- [0233] 여기서, 보정에 의해 가산되는 양은 임계전압 Vth의 변화량 ΔVth에 따라 정해지기 때문에 고정된 양이 아니며, 사용시간의 경과에 따라 점차 증가한다.
- [0234] 즉, LUT(123)에 의한 변환 데이터의 계조값의 최대값은 예를 들면, 표시장치(1)의 예상 사용시간에 의거하는 보

정에 의해 가산되는 양의 최대값을 예측하는 것에 의해 정해진다.

- [0235] 또한, 화상 데이터의 계조값이 0이고 흑표시인 경우, 유기 EL 소자(101)는 비발광 상태에 있다. 따라서, 이 시간에 상기의 보정을 실행할 필요가 없다. 그 결과, 흑표시의 화상 데이터가 0계조를 갖는 경우, 제어부(16)는 LUT(123)를 참조하지 않고 또한 임계의 편차 보정을 실행하지 않고, 그대로 0계조를 데이터 드라이버(22)에 공급한다.
- [0236] 다음에 본 실시형태에 관한 표시장치(1)의 동작을 설명한다.
- [0237] 초기 단계에 있어서, 각 데이터선 Ldi의 전압 측정이 오토 제로법으로 실행되는 경우, 제어부(16)는 전압 ELVSS를 애노드선 La에 인가하도록, 애노드 회로(12)를 제어한다.
- [0238] 도 11은 오토 제로법으로 전압 측정을 실행하는 경우의 각 부의 동작을 나타내는 타이밍도이다.
- [0239] 제어부(16)는 도 11에 나타내는 바와 같이, 시각 t10에서 선택 드라이버(13)에 개시 펄스를 공급한다. 이 때, 선택 드라이버(13)는 선택선 Ls1에 VgH 레벨의 Gate(1) 신호를 출력한다.
- [0240] 선택 드라이버(13)에 의해 선택선 Ls1에 VgH 레벨의 Gate(1) 신호를 출력하면, 제1행의 화소(21(i, j))(i=1~m)의 트랜지스터 T1 및 T2가 온 상태로 된다. 트랜지스터 T1이 온 상태에 있으면, 트랜지스터 T3의 게이트-드레인이 접속되고, 트랜지스터 T3은 다이오드 접속 상태로 된다.
- [0241] 또, 제어부(16)는 시각 t10에서, 데이터 드라이버(22)에 스위치 제어 신호 S1~S6으로서, Off1, Off2, On3, Connect_front, Connect_ADC 및, Off6의 각 신호를 공급한다.
- [0242] 도 12의 (a) 및 (b)는 데이터 드라이버에서 제어부(16)에 데이터가 공급되는 경우의 각 스위치에 대해 접속 관계를 나타내는 도면이다.
- [0243] 이 때, 스위치 Sw4(i)는 도 12의 (a)에 나타내는 바와 같이, 제어부(16)로부터 Connect_front 신호가 공급되고, 데이터 래치 회로(116(i))의 출력단과 프런트 단자(i=1~m)를 접속한다.
- [0244] 이 때, 도 12의 (a)에 나타내는 바와 같이, 제어부(16)로부터 Connect_ADC 신호가 공급되고, 데이터 래치 회로(116(i))의 입력단과 레벨 시프트 회로(115(i))(i=1~m)의 출력단을 접속한다.
- [0245] 도 13의 (a), (b) 및 (c)는 오토 제로법으로 전압 측정이 실행되는 경우의 각 스위치의 접속 관계를 나타내는 도면이다.
- [0246] 스위치 Sw1(i) 및 Sw2(i)는 제어부(16)로부터 각각 Off1 및 Off2 신호가 공급되는 경우, 오프 상태로 되고, 스위치 Sw1(i) 및 Sw2(i)는 오프 상태로 된다. 또한, 스위치 Sw3(i)(i=1~m)은 제어부(16)로부터 On3 신호가 공급되는 경우, 온 상태로 된다.
- [0247] 아날로그 전원(14)의 기준 전압 Vref는 부극성의 전압을 가지므로, 트랜지스터 T1~T3이 온 상태에 있으면, 아날로그 전원(14)은 제i열의 화소(21(i, 1))(i=1~m)로부터 데이터선 Ldi를 통해 전류 Id를 인출한다.
- [0248] 이 때, 제1행의 화소(21(i, 1))(i=1~m)의 유기 EL 소자(101)는 캐소드측의 전위가 Vcath이고, 애노드측이 Vcath보다도 부전위로 되고, 역바이어스로 되어있기 때문에, 전류는 흐르지 않으며, 발광하지 않는다.
- [0249] 또, 스위치 Sw1(i) 및 Sw2(i)(i=1~m)이 오프 상태에 있기 때문에, 아날로그 전원(14)에 의해 인출된 전류 Id는 버퍼(113(i), 119(i))(i=1~m)에 흐르지 않는다.
- [0250] 이것에 의해, 전류 Id는 도 13의 (a)에 나타내는 바와 같이, 제1행의 화소(21(i, 1))(i=1~m)의 트랜지스터 T3 및 T2로부터 각 데이터선 Ldi를 통해 아날로그 전원(14)에 흐른다.
- [0251] 전류 Id가 흐르면, 각 화소(21(i, 1))(i=1~m)의 유지 용량 Cs는 기준 전압 Vref에 의해 정해지는 전압으로 충전된다.
- [0252] 계속해서, 시각 t11에 있어서, 이들 용량의 충전이 종료하면, 제어부(16)는 데이터 드라이버(22)에, 스위치 제어 신호 S3으로서 Off3 신호를 공급한다.
- [0253] 제어부(16)로부터 Off3 신호가 공급되면, 도 13의 (b)에 나타내는 바와 같이, 스위치 Sw3(i)는 오프 상태로 된다. 이 때, 스위치 Sw1(i) 및 Sw2(i)의 각각은 오프 상태인 채로 되어 있다. 즉, 스위치 Sw3(i)를 오프 상태로 전환하는 것에 의해, 유기 EL 패널(21)과 데이터 드라이버(22)의 사이의 접속은 차단된다. 이것에 의해, 데이터선 Ldi는 하이 임피던스(HZ) 상태가 된다.

- [0254] 데이터선 Ldi에 있어서 하이 임피던스 상태가 된 직후에 있어서는 유지 용량 Cs에 축적된 전하가 직전의 값으로 유지되고, 이것에 의해 트랜지스터 T3에 있어서의 온 상태가 유지된다.
- [0255] 이것에 의해, 트랜지스터 T3의 드레인-소스간에 전류가 계속해서 흐르고, 트랜지스터 T3의 소스 단자측의 전위가 드레인 단자측의 전위에 접근하도록 점차 증가한다. 이것에 의해, 트랜지스터 T3의 드레인-소스 사이에 흐르는 전류의 전류값은 계속해서 감소한다.
- [0256] 이것에 수반해서, 유지 용량 Cs에 축적된 전하의 일부가 방전되고, 유지 용량 Cs의 양단간의 전압이 계속해서 감소한다. 이것에 의해, 트랜지스터 T3의 게이트 전압 Vgs가 점차 저하하는 것에 의해, 데이터선 Ldi의 전압의 절대값은 기준 전압 Vref로부터 점차 저하해 간다.
- [0257] 시각 t11로부터, 미리 설정된 정착 시간 t가 경과할 때의 시각인 시각 t12에 있어서, 제어부(16)는 데이터 드라이버(22)에, 스위치 제어 신호 S2로서 On2 신호를 공급한다. 이 정착 시간 t는 $C/(\beta t) < 1$ 의 조건을 만족시키도록 설정된다.
- [0258] 이 때, 도 13의 (c)에 나타내는 바와 같이, 스위치 Sw2(i)는 제어부(16)로부터 On2 신호가 공급되어 온 상태로 되고, ADC(114(i))는 데이터선 Ldi의 전압값을 측정 전압 Vmeas(t1)(i=1~m)로서 획득한다.
- [0259] 레벨 시프트 회로(115(i))는 ADC(114(i))(i=1~m)에 의해 획득된 측정 전압 Vmeas(t1)를 레벨 시프트한다.
- [0260] 도 12의 (a)에 나타내는 바와 같이, 데이터 래치 회로(116(i))의 입력단과 레벨 시프트 회로(115(i))의 출력단이 각각 스위치 Sw5(i)를 통해 접속되어 있기 때문에, 각 레벨 시프트 회로(115(i))에 의해 레벨 시프트된 측정 전압 Vmeas(t1)는 데이터 래치 회로(116(i))(i=1~m)에 공급된다.
- [0261] 제어부(16)는 데이터 래치 펄스 DL(pulse)을 데이터 드라이버(22)에 출력하고, 이 펄스의 수신 후에, 각 데이터 래치 회로(116(i))(i=1~m)는 공급된 측정 전압 Vmeas(t1)을 유지한다.
- [0262] Gate(1) 신호가 하강하는 시각 t13에 있어서, 제어부(16)는 데이터 드라이버(22)에, 스위치 제어 신호 S6으로서 On6 신호를 공급하고, 이 신호의 수신 후에, 스위치 Sw6은 도 12의 (b)에 나타내는 바와 같이 온 상태로 된다.
- [0263] 도 12의 (b)에 나타내는 바와 같이, 데이터 래치 회로(116(1))의 출력단과 스위치 Sw6(i)의 일단이 스위치 Sw4(1)의 프런트 단자를 통해 접속되는 것에 의해, 제어부(16)로부터 스위치 Sw4(i)에 대해 Connect-rear 신호가 공급되고, 데이터 래치 회로(116(i))의 출력단과 스위치 Sw5(i-1)의 입력단은 스위치 Sw4(i)(i=2~m)의 프런트 단자를 통해 접속된다.
- [0264] 이 때문에, 데이터 래치 회로(116(i))는 제어부(16)로부터 DL(pulse)이 공급될 때마다, 데이터 래치 회로(116)에 의해 유지된 제1행의 화소(21(i,1))에 대한 데이터선 Ldi의 측정 전압 Vmeas(t1)을 순차 전송하고, 데이터 Dout(i)로서 제어부(16)(i=1~m)에 출력한다.
- [0265] 제어부(16)는 이 데이터 Dout(i)(i=1~m)을 획득하고, 이 데이터를 도 8에 나타내는 메모리(122)의 화소 데이터 저장 영역(122a)에 저장한다. 이와 같이 해서, 제1행의 화소(21(i,1))(i=1~m)의 전압 측정이 종료한다.
- [0266] 시각 t20에 있어서 Gate(2) 신호가 상승하면, 제어부(16)는 상술한 바와 같이 동일한 방법으로서, 데이터 드라이버(22)에 스위치 제어 신호 S1~S6을 공급하는 것에 의해, 제2행의 화소(21(i,2))에 대한 데이터선 Ldi(i=1~m)의 전압 측정을 실행한다.
- [0267] 이 측정은 모든 행마다 반복되며, 제n행의 화소(21(i, n))에 대한 데이터선 Ldi(i=1~m)의 전압 측정을 실행한 후에, 시각 t1에 있어서의 모든 전압 측정이 종료한다.
- [0268] 그 후, 제어부(16)는 동일한 방법에 의해, 정착 시간 t를 t2로 설정하고, 각 화소(21(i, j))(i=1~m, j=1~n)에 대한 데이터선 Ldi의 전압 측정을 실행한다. 제어부(16)는 정착 시간 t2의 각 화소(21(i, j))에 대한 데이터선 Ldi의 측정 전압 Vmeas(t2)를 획득하고, 메모리(122(i=1~m, j=1~n))의 화소 데이터 저장 영역(122a)에 저장한다.
- [0269] 다음에, 제어부(16)는 동일한 방법에 의해, 정착 시간 t를 t3으로 설정하고, 각 화소(21(i, j))(i=1~m, j=1~n)에 대한 데이터선 Ldi의 전압 측정을 실행한다. 제어부(16)는 정착 시간 t3의 각 화소(21(i, j))에 대한 데이터선 Ldi의 측정 전압 Vmeas(t3)를 획득하고, 메모리(122(i=1~m, j=1~n))의 화소 데이터 저장 영역(122a)에 저장한다.
- [0270] 도 14는 보정 파라미터가 획득되는 경우에 제어부에 의해 실행되는 구동 시퀀스를 설명하기 위한 도면이다.

- [0271] 제어부(16)는 측정 전압 $V_{meas}(t1)$, $V_{meas}(t2)$ 및, $V_{meas}(t3)$ 를 획득하고, 메모리(122)의 각 화소 데이터 저장 영역(122a)에 저장한 후, 도 14에 나타내는 구동 시퀀스에 따라 연산하는 것에 의해, 보정 파라미터를 획득한다.
- [0272] 제어부(16)는 메모리(122)의 각 화소 데이터 저장 영역(122a)으로부터, 화소(21(1,1))에 대한 데이터선 L_{di} 의 측정 전압 $V_{meas}(t1)$ 및 $V_{meas}(t2)$ 를 판독한다(스텝 S11).
- [0273] 또한, 제어부(16)는 식 (103)에 따라 연산하는 것에 의해, 화소(21(1,1))에 대한 임계전압 V_{th0} 및 C/β 를 획득한다(스텝 S12).
- [0274] 제어부(16)는 이 처리를 모든 화소(21(i, j))(i=1~m, j=1~n)에 대해 실행하고, 모든 화소(21(i, j))에 대한 임계전압 V_{th0} 및 C/β 를 일단 획득하면, 모든 화소(21(i, j))의 C/β 의 평균값 $\langle C/\beta \rangle$ 를 획득하고(스텝 S13), 정착 시간 $t=t_0$ 이 될 동작시에 설정된다.
- [0275] 제어부(16)는 이 정해진 정착시간 t_0 을 이용하여 식 (105)에 의해서 정의된 오프셋 전압 V_{offset} 를 획득한다(스텝 S14).
- [0276] 제어부(16)는 획득한 평균값 $\langle C/\beta \rangle$ 및 오프셋 전압 V_{offset} 를 각각, 메모리(122)의 $\langle C/\beta \rangle$ 저장 영역(122b) 및 오프셋 전압 저장 영역(122c)에 저장한다. 제어부(16)는 또한, 메모리(122)(i=1~m, j=1~n)의 각 화소 데이터 저장 영역(122a)으로부터, 화소(21(i, j))의 측정 전압 $V_{meas}(t3)$ 를 판독한다(스텝 S15).
- [0277] 제어부(16)는 각 화소(21(i, j))의 측정 전압 $V_{meas}(t3)$ 의 V_{th} 로서 미리 획득된 V_{th0} 을 이용하여 식 (106)을 변형하여 연산하고, 각 화소(21(i, j))(i=1~m, j=1~n)의 $\Delta\beta/\beta$ 를 획득한다(스텝 S16).
- [0278] 제어부(16)는 획득한 $\Delta\beta/\beta$ 를 메모리(122)의 각 화소 데이터 저장 영역(122a)에 저장한다.
- [0279] 도 15는 공급된 화상 데이터에 의거하는 전압 신호를 보정 후에 데이터 드라이버에 출력하는 경우, 제어부(16)에 의해 실행되는 구동 시퀀스를 설명하기 위한 도면이다.
- [0280] 실 동작시, 제어부(16)에 화상 데이터가 공급된다. 제어부(16)는 도 15에 나타내는 구동 시퀀스(2)에 따라 화상 데이터를 보정한다.
- [0281] 제어부(16)는 도 11에 나타내는 타이밍도에 따라 각 부를 제어하고, 데이터 드라이버(22)로부터, 실 동작(사용)에 대해 정해진 정착 시간 $t=t_0$ 에 있어서의 측정 전압 $V_{meas}(t_0)$ 를 획득한다(스텝 S21). 그 후, 제어부(16)는 획득한 측정 전압 $V_{meas}(t_0)$ 를 메모리(122)의 화소 데이터 저장 영역(122a)에 저장한다.
- [0282] 제어부(16)는 화상 데이터의 디지털 신호가 입력되는 경우, 화상 데이터(21(i, j))(i=1~m, j=1~n)의 LUT(123)를 참조하는 각 RGB 화상에 대한 계조값을 변환한다. 이 변환된 계조값은 전압값 V_{data0} 으로서 설계되고, 각 화소(21(i, j))에 대한 원래의 계조 신호로 이루어진다(스텝 S22).
- [0283] 상술한 바와 같이, 상기 원래의 계조 신호의 최대값은 $V_{DAC}(118(i))$ 의 입력 범위에 있어서의 최대값에서 상술한 임계전압 V_{th} 등의 특성 파라미터에 의거하는 보정량을 뺀 값 이하의 값으로 설정된다.
- [0284] 제어부(16)는 β 의 편차의 보정 파라미터로서 $\Delta\beta/\beta$ 를 이용하여 식 (107)에 따라 연산하는 것에 의해 전압값 V_{data1} 에 대응하는 신호를 획득한다(스텝 S23).
- [0285] 제어부(16)는 메모리(122)의 오프셋 전압 저장 영역(122c)으로부터, 오프셋 전압 V_{offset} 를 판독하고, 이 측정 전압 $V_{meas}(t_0)$ 와 오프셋 전압 V_{offset} 를 이용하여 식 (108)에 따라 연산하는 것에 의해 보정량으로서의 임계전압 V_{th} 를 획득한다(스텝 S24).
- [0286] 제어부(16)는 식 (109)에 따라, 전압값 V_{data1} 과 임계전압 V_{th} 를 가산하는 것에 의해 보정 계조 신호로서의 전압값 V_{data} 에 대응하는 신호를 획득한다(스텝 S25).
- [0287] 제어부(16)는 이러한 구동 시퀀스(2)를 각 화소에 대해 실행한다. 또한, 제어부(16)는 전압값 V_{data} 에 대응하는 신호를 데이터 $D_{in}(1)\sim D_{in}(m)$ 으로서 각 행에 대해 데이터 드라이버(22)에 출력한다.
- [0288] 도 16은 실 동작시의 각 부의 동작을 나타내는 타이밍도이다.
- [0289] 제어부(16)는 도 16에 나타내는 데이터 출력 타이밍도에 따라 각 부를 제어하고, 데이터 $D_{in}(1)\sim D_{in}(m)$ 을 데이터 드라이버(22)에 출력한다.
- [0290] 제어부(16)는 시각 t_{30} 에 있어서 데이터 드라이버(22)에, 스위치 제어 신호 $S1\sim S6$ 으로서, $Off1$, $Off2$, $Off3$,

Connect_DAC, Connect_DRB 및, Off6 신호를 각각 공급한다.

- [0291] 도 17은 전압 신호가 기입되었을 때의 각 스위치의 접속 관계를 나타내는 도면이다.
- [0292] 도 17에 나타내는 바와 같이, Sw2(i) 및 Sw3(i)는 각각, 제어부(16)로부터, Off2 및 Off3 신호가 공급될 때 오프 상태로 들어가고, 버퍼(113(i))와 데이터선 Ldi의 사이 및, 아날로그 전원(14)과 데이터선 Ldi의 사이의 접속을 차단한다.
- [0293] 각 스위치 Sw1(i)은 제어부(16)로부터 On1 신호가 공급될 때에 온 상태로 되어, 버퍼(119(i))를 통해 VDAC(118(i))와 데이터선 Ldi가 접속된다.
- [0294] 도 18은 제어부(16)로부터 데이터 드라이버(22)에 데이터를 입력할 때의 각 스위치의 접속 관계를 나타내는 도면이다.
- [0295] 도 18에 나타내는 바와 같이, 각 스위치 Sw5(i)는 제어부(16)로부터 그들의 각각에 Connect_DRB 신호가 공급될 때, 데이터 래치 회로(116(i))의 입력단과 데이터 레지스터 블록(112)의 출력단을 접속한다.
- [0296] 각 스위치 Sw4(i)는 제어부(16)로부터 그들의 각각에 Connect_DAC 신호가 공급될 때, 데이터 래치 회로(116(i))의 출력단과 DAC측 단자를 접속한다.
- [0297] 스위치 Sw6은 제어부(16)로부터 Off6 신호가 공급될 때 오프 상태로 되고, 데이터 래치 회로(116(1))와 제어부(16)의 사이의 접속을 차단한다.
- [0298] 제어부(16)는 시각 t31에 있어서 개시 펄스 SP2를 상승하고, 시각 t32에 있어서 개시 펄스 SP2를 로우 레벨로 떨어뜨린다.
- [0299] 개시 펄스 SP2가 로우 레벨로 떨어지면, 데이터 드라이버(22)의 시프트 레지스터(111)는 도 5에 나타내는 바와 같이, 클럭 신호에 따라 이 개시 펄스 SP2를 순차 시프트하는 것에 의해 시프트 신호를 생성하고, 데이터 레지스터 블록(112)에 생성된 시프트 신호를 공급한다.
- [0300] 데이터 레지스터 블록(112)은 이 공급된 시프트 신호와 동기하는 것에 의해 데이터 Din(1)~Din(m)을 순차 폐지한다.
- [0301] 시각 t33에 있어서 Gate(1) 신호가 VgH 레벨로 상승하면, 화소(21(i,j))(i=1~m)의 각 트랜지스터 T1 및 T2는 온 상태로 된다.
- [0302] 제어부(16)는 데이터 래치 펄스 DL(pulse)를 상승하고, 데이터 드라이버(22)의 데이터 래치 회로(116(i))(i=1~m)는 데이터 래치 펄스 DL(pulse)가 상승될 때의 타이밍에서 데이터를 래치한다.
- [0303] 레벨 시프트 회로(117(i))는 데이터 래치 회로(116(i))에 의해 래치된 데이터에 대해 레벨 시프트를 실행하고, 레벨 시프트된 데이터를 VDAC(118(i))(i=1~m)에 공급한다.
- [0304] VDAC(118(i))는 이 디지털 데이터를 부의 아날로그 전압으로 변환하고, 버퍼(118(i))(i=1~m)를 통해, 변환된 부의 아날로그 전압을 데이터선 Ldi에 인가한다.
- [0305] 데이터선 Ldi에 부의 아날로그 전압이 인가되면, 각 화소(21(i,1))(i=1~m)의 유기 EL 소자(101)는 역바이어스로 되어 전류 흐름을 방해한다. 전류는 애노드 회로(12)로부터, 화소(21(i,1))(i=1~m)의 트랜지스터 T3 및 T2, 데이터선 Ldi를 통해 데이터 드라이버(22)의 VDAC(118(i))에 흐른다.
- [0306] 각 화소(21(i,1))(i=1~m)의 트랜지스터 T1이 온 상태에 있기 때문에, 트랜지스터 T3은 게이트-드레인에 접속되고, 다이오드 접속된다. 이 때문에, 트랜지스터 T3은 포화 영역내에서 동작하고, 트랜지스터 T3에는 다이오드 특성에 따른 드레인 전류 Id가 흐른다.
- [0307] 트랜지스터 T1이 온 상태이고, 트랜지스터 T3에 드레인 전류 Id가 흐르기 때문에, 트랜지스터 T3의 게이트 전압 Vgs는 드레인 전류 Id를 정하는 전압으로 설정되고, 유지 용량 Cs는 이 게이트 전압 Vgs에 의해 충전된다.
- [0308] 이와 같이 해서, 데이터 드라이버(22)는 보정 파라미터에 의거하여 보정된 전류를, 도 17에 나타내는 바와 같이 각 화소(21(i,1))(i=1~m)의 트랜지스터 T3으로부터 인출하고, 유지 용량 Cs에, 전압값 Vdata에 의거하는 트랜지스터 T3의 게이트 전압 Vgs가 유지된다.
- [0309] 이와 같이 제1행의 각 화소(21(i,1))(i=1~m)의 유지 용량 Cs에의 데이터의 기입이 종료한다.

- [0310] 제어부(16)는 시각 t34에 있어서, DL(pulse)의 하강으로 개시 펄스 SP를 상승하고, 시각 t35에 있어서 개시 펄스 SP2를 떨어뜨리고, 제2행의 각 화소(21(i,2))(i=1~m)의 유지 용량 Cs에의 데이터를 기입한다.
- [0311] 이하, 동일한 방법으로, 제어부(16)는 순차 화소(21(i,3))(i=1~m), ..., 21 i, n)(i=1~m)의 유지 용량 Cs에, 전압값 Vdata에 의거하는 전압을 기입한다.
- [0312] 모든 화소(21(i, j))의 유지 용량 Cs에 전압값 Vdata의 기입이 실행된 후에, Gate(n) 신호가 VgL이면, 모든 화소(21(i, j))의 트랜지스터 T1 및 T2는 오프 상태로 된다.
- [0313] 모든 화소(21(i, j))에 대해 트랜지스터 T1 및 T2가 오프상태로 되면, 트랜지스터 T3은 비선택 상태로 된다. 트랜지스터 T3이 비선택 상태가 되면, 트랜지스터 T3의 게이트 전압 Vgs는 유지 용량 Cs에 기입된 전압으로 유지 된다.
- [0314] 제어부(16)는 전압 ELVDD가 애노드선 La에 인가되도록, 애노드 회로(12)를 제어한다. 이 전압 ELVDD는 예를 들면, 15V로 설정된다.
- [0315] 이 때, 트랜지스터 T3의 게이트 전압 Vgs가 유지 용량 Cs에 의해서 유지되기 때문에, 트랜지스터 T3의 드레인-소스 사이에, 전류값 Vdata가 유지 용량 Cs에 기입되었을 때 흐르는 전류와 동등한 값의 드레인 전류 Id가 흐른다.
- [0316] 트랜지스터 T2가 오프 상태에 있고, 유기 EL 소자(101)의 애노드측의 전위가 캐소드측의 전위보다 높기 때문에, 이 드레인 전류 Id는 유기 EL 소자(101)에 공급된다.
- [0317] 이 때, 각 화소(21(i, j))의 유기 EL 소자(101)에 흐르는 전류 Id는 임계전압 Vth 및 β 의 편차의 불균형에 의거하여 보정되어 있고, 유기 EL 소자(101)는 이 보정된 전류로 발광한다.
- [0318] 상술한 바와 같이, 본 실시형태에 관한 표시장치(1)는 정착 시간 예를 들면 정착시간 t로서 $(C/\beta)/t < 1$ 을 만족시키는 t1, t2를 선택하고, 오토 제로법에 의해, 선택된 정착시간의 수에 대응하는 시간 수로 각 데이터선 Ldi의 전압 측정을 실행한다.
- [0319] 표시장치(1)는 정착 시간 t로서 $(C/\beta)/t \geq 1$ 을 만족시키는 시간 t3을 선택하고, 오토 제로법에 의해, 각 데이터선의 전압 측정을 실행하여, 각 화소에 대한 화소 구동 회로의 전류 증폭율 β 의 편차를 나타내는 $(\Delta\beta/\beta)$ 를 획득한다.
- [0320] 따라서, 표시장치(1)는 획득된 $(\Delta\beta/\beta)$ 에 의거하여 실 동작시에 공급되는 화상 데이터에 의거하는 전압값 Vdata0을 보정하고, 이 보정된 전압값 Vdata1을 획득할 수 있다. 또한, 획득된 임계전압 Vth에 의거하여 보정된 전압값 Vdata1을 보정하고, 전압값 Vdata를 획득할 수 있다.
- [0321] 본 실시형태에 관한 이 방법에 있어서, 임계 전압의 불균형과, 각 표시화소(21(i, j))의 전류 증폭율에 대한 화소간의 편차의 영향을 감소하기 위해, 실 동작시에 공급된 화상 데이터에 의거하여 유기 EL 소자(101)에 공급되는 전류를 보정하는 화소 구동 장치를 실현할 수 있다. 따라서, 이 화소 구동 장치에 있어서, 이러한 불균형과 편차를 고안하는 표시 장치(1)에 의해 표시 화상의 화질의 열화를 제어할 수 있게 된다.
- [0322] 또한, 본 실시형태에 관한 표시장치(1)는 화소 구동 장치의 공통 회로에 각 화소의 특성 파라미터로서, 임계 전압 Vth, (C/β) 값, β 의 편차를 나타내는 $(\Delta\beta/\beta)$ 을 획득한다.
- [0323] 이 때문에, 표시 장치(1)는 β 의 편차를 측정하기 위한 회로 또는 임계전압 Vth를 측정하기 위한 회로를 개별적으로 마련할 필요가 없는 상술한 보정을 실시하는 화소 구동 장치 또는 표시 장치(1)의 구성을 간소화할 수 있다.
- [0324] 또한, 본 발명의 실시형태의 각종 형태는 상기의 실시형태에 한정하지 않고 고려할 수 있다.
- [0325] 예를 들면, 상기 실시형태에서는 발광소자로서 유기 EL 소자를 설명하였다. 그러나, 발광소자는 유기 EL 소자에 한정되는 것은 아니며, 예를 들면, 무기 EL 소자 또는 LED이어도 좋다.
- [0326] 또, 상기 실시형태에 대해서는 본 발명을 유기 EL 패널(21)을 갖는 표시장치(1)에 적용한 경우에 대해 설명했지만, 본 발명은 이 예에 한정되는 것은 아니다. 예를 들면, 발광 소자(유기 EL 소자(101) 등)를 갖는 복수의 화소가 단일방향으로 배열된, 발광소자 어레이를 구비하고, 감광체 드럼에 화상 데이터에 의거하여 발광소자 어레이로부터 출사한 광을 조사하여 드럼의 감광체를 노출하는 노출 장치에 적용해도 좋다. 본 실시형태를 적용하는 노출 장치는 화질의 시간 경과 열화와 화소 사이의 특성의 편차로 인한 노출 상태의 열화를 제어할 수 있다.

[0327] 상기 실시형태는 $(C/\beta)/t < 1$ 을 만족시키는 정착 시간 t 로서 2개의 t_1 및 t_2 를 설정할 수 있다. 그러나, 이 조건을 만족시키는 3개 이상의 정착 시간도 설정할 수 있다.

[0328] 상기 실시형태에서는 제어부(16)가, 공급된 화상 데이터의 LUT(123)를 이용해서 RGB마다 변환을 실행한다. 그러나, 제어부(16)는 LUT(123)의 이용 대신에, 식을 도입하고 연산는 것에 의해, 화상 데이터에 이러한 변환을 실행해도 좋다.

[0329] 본 발명의 정신 및 범위를 이탈하지 않고 각종 실시예 및 변경이 가능하다. 상술한 실시예는 본 발명을 설명하기 위해 의도된 것이며, 본 발명의 범위에 한정되는 것은 아니다. 본 발명의 범위는 실시예보다 첨부한 청구범위에 의해 나타내어진다. 본 발명의 청구범위와 동등한 의미내 및 본 발명의 청구범위내의 변경은 본 발명의 범위내에서 간주된다.

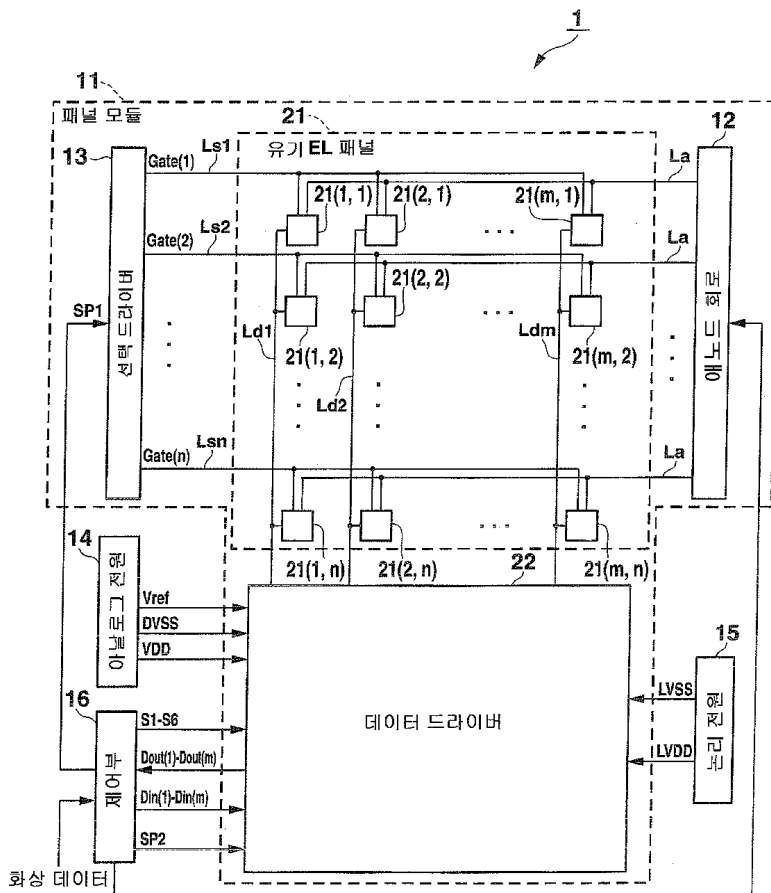
[0330] 본원은 2008년 11월 28일에 신청된 일본국 특허출원번호 2008-305713호에 의거하여 그 우선권을 주장하고, 명세서, 청구범위, 도면 및 요약을 포함한다. 상기 특허출원의 기재는 그의 전체에 있어서 참조에 의해 도입되어 있다.

부호의 설명

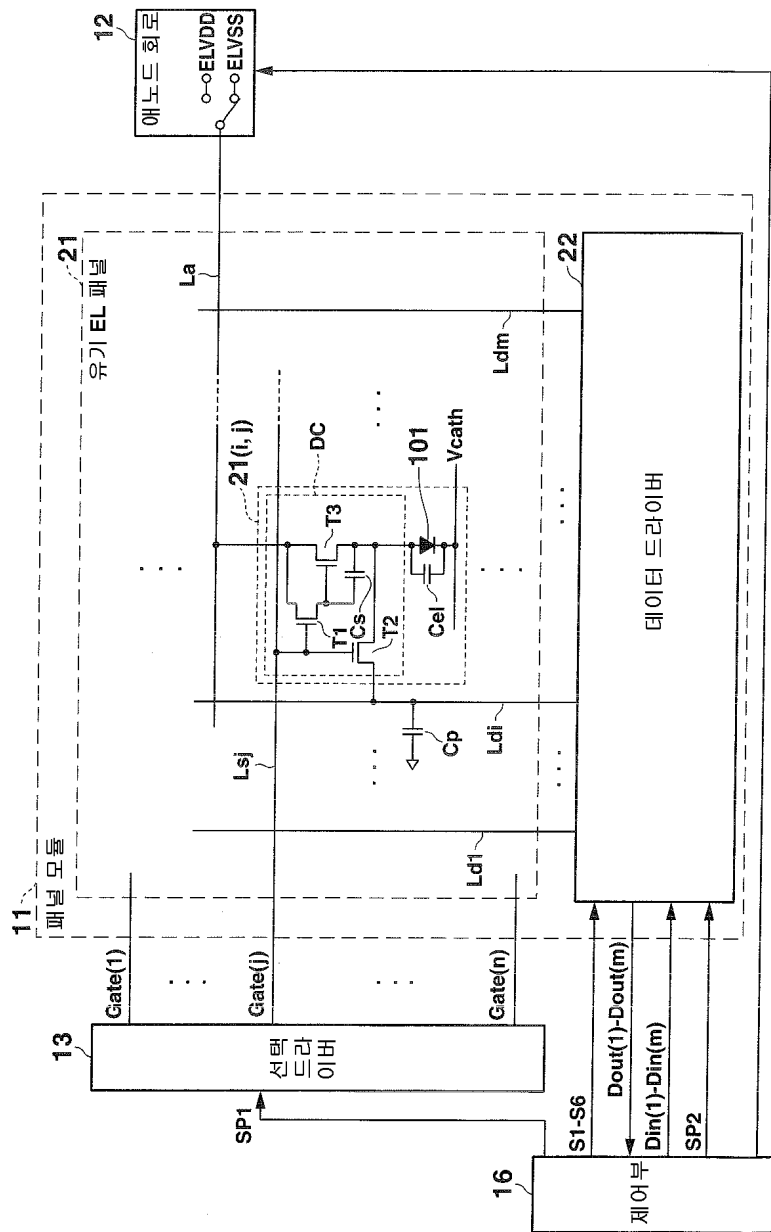
[0331] 1...표시장치, 11...패널 모듈, 12...애노드 회로, 13...선택 드라이버, 14...아날로그 전원, 16...제어부, 21...유기 EL 패널, 21(i, j)(i=1~m, j=1~n)...화소, 22...데이터 드라이버, 101...유기 EL 소자(발광소자), 114(1)~114(m)...ADC, 118(1)~118(m)...VDAC, Sw1(1)~Sw1(m), Sw2(1)~Sw2(m), Sw3(1)~Sw3(m), Sw4(1)~Sw4(m), Sw5(1)~Sw5(m), Sw6...스위치, 121...CPU, 122...메모리, 123...LUT, T1~T3...트랜지스터, Cs...유지 용량, Cel...유기 EL화소 용량, Cp...배선 기생 용량

도면

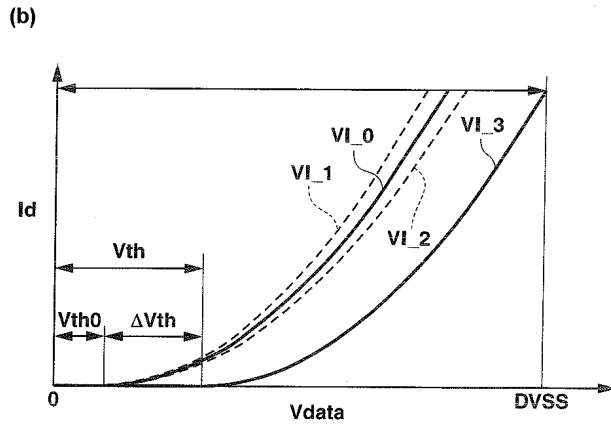
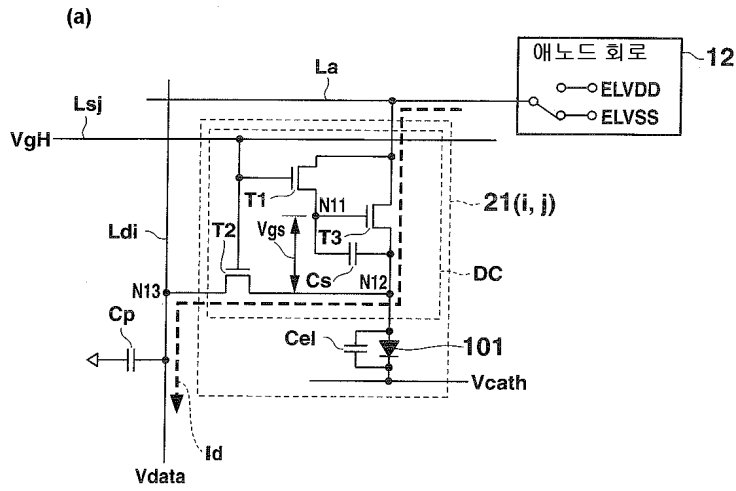
도면1



도면2

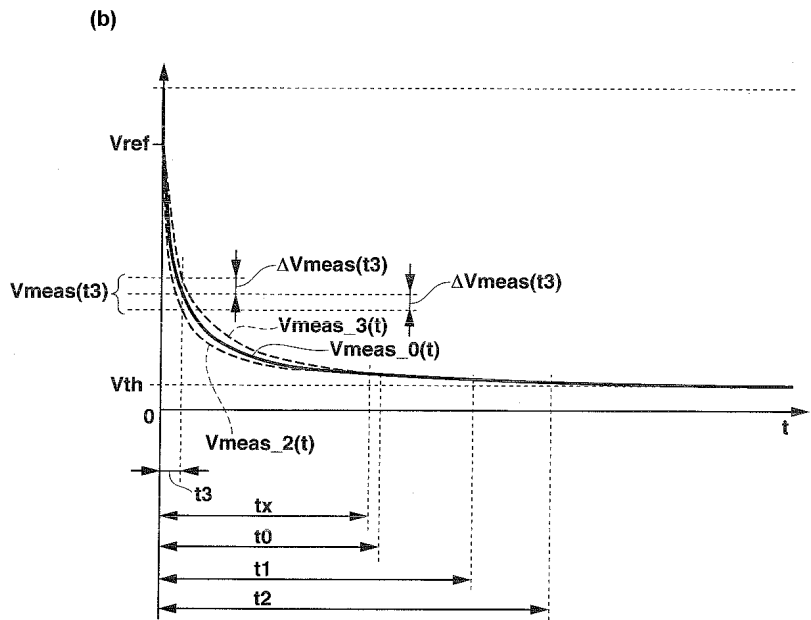
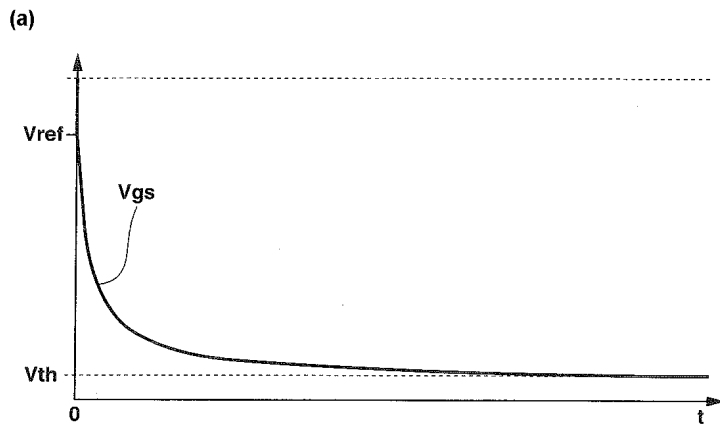


도면3

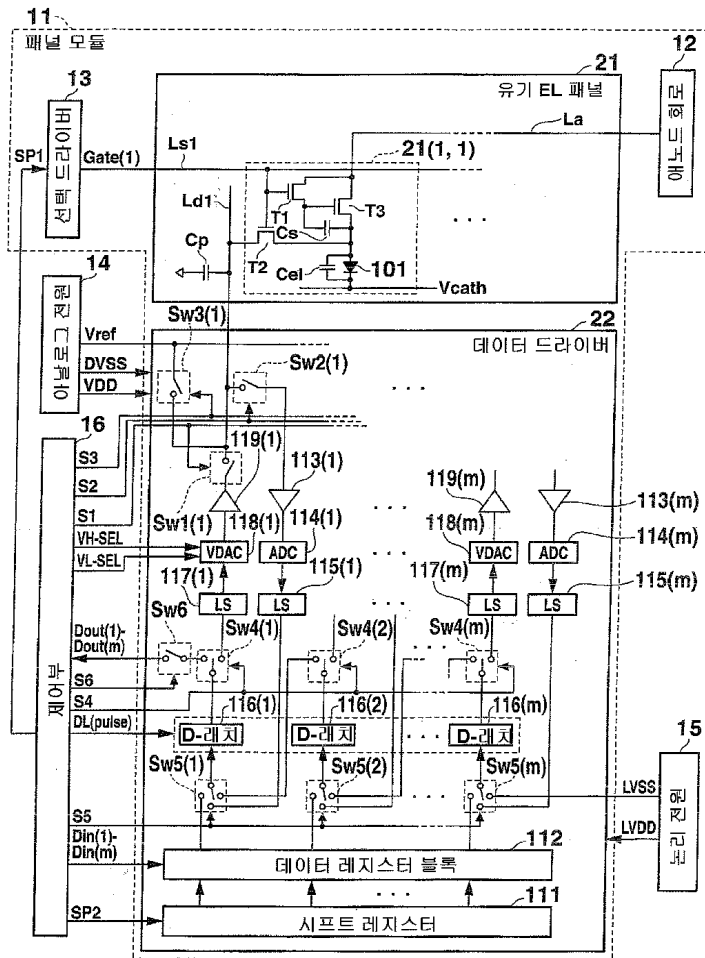


VI_0:	$I_{d0} = \beta_0 (V_{data} - V_{th0})^2$
VI_1:	$I_{d1} = (\beta_0 - \Delta\beta) (V_{data} - V_{th0})^2$
VI_2:	$I_{d2} = (\beta_0 + \Delta\beta) (V_{data} - V_{th0})^2$
VI_3:	$I_{d3} = \beta_0 (V_{data} - (V_{th0} + \Delta V_{th}))^2$

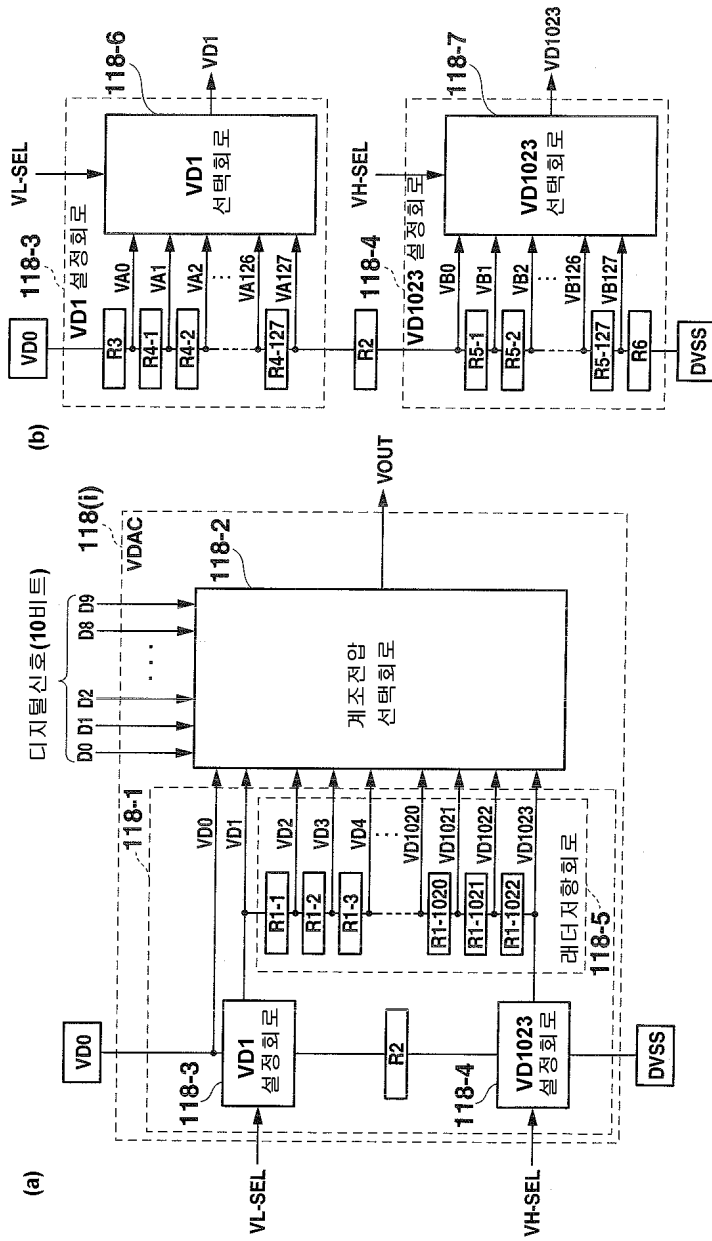
도면4



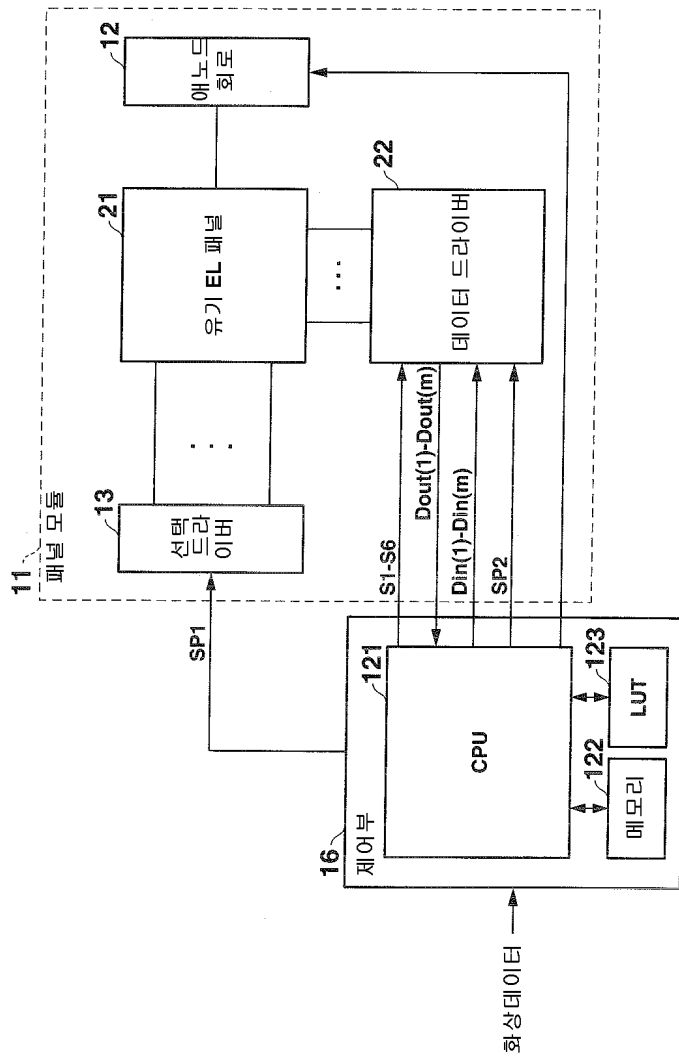
도면5



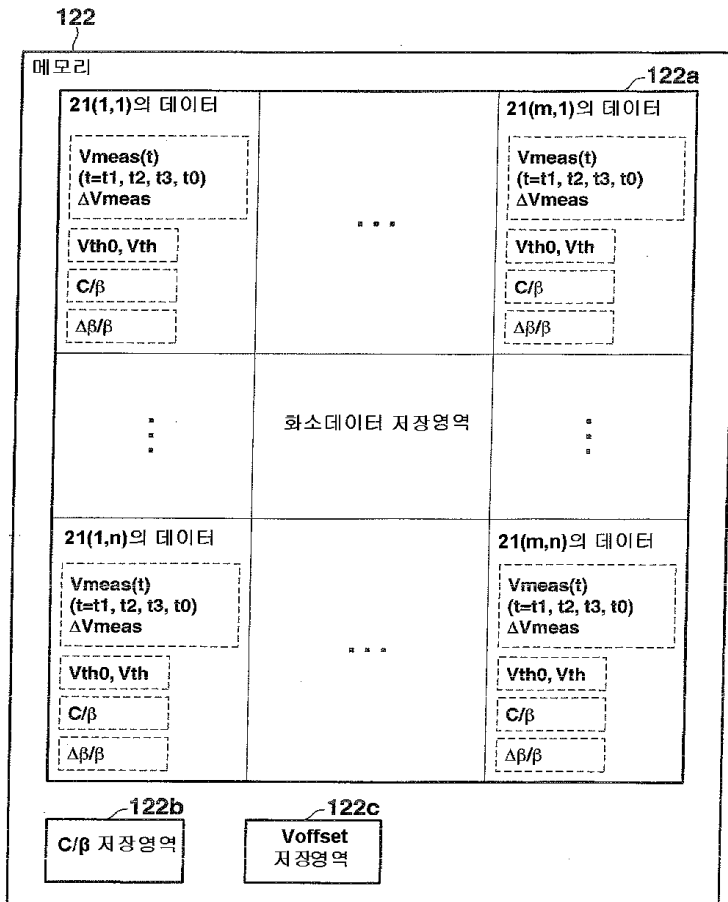
도면6



도면7

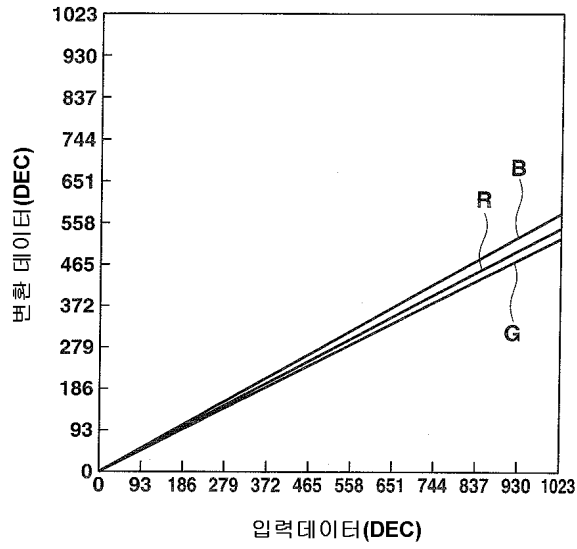


도면8

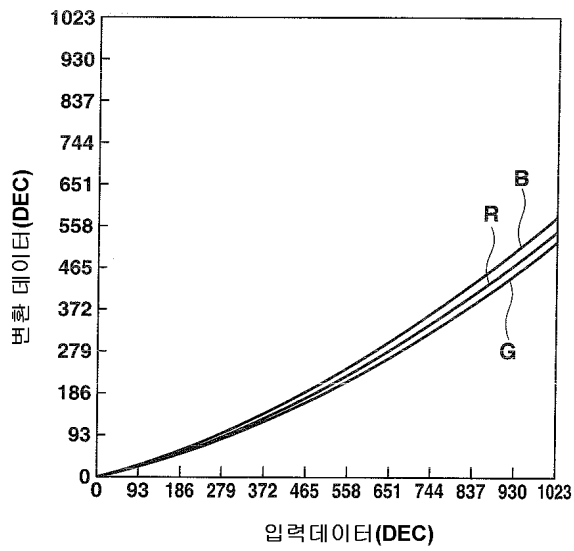


도면9

(a)

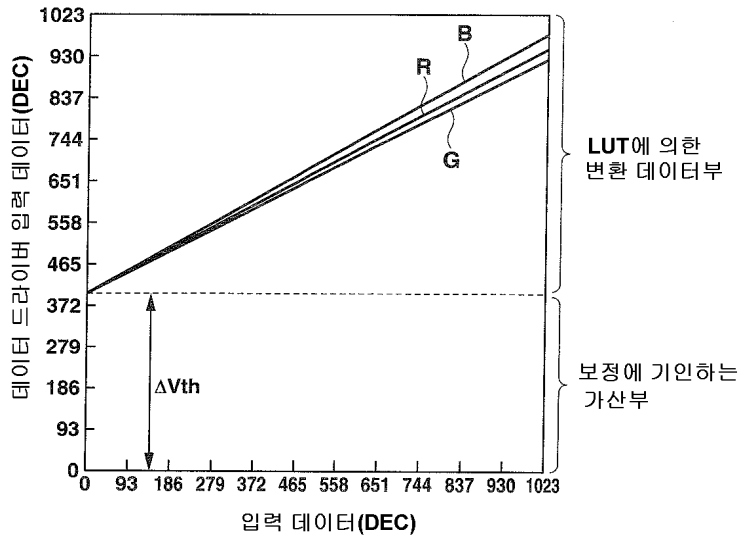


(b)

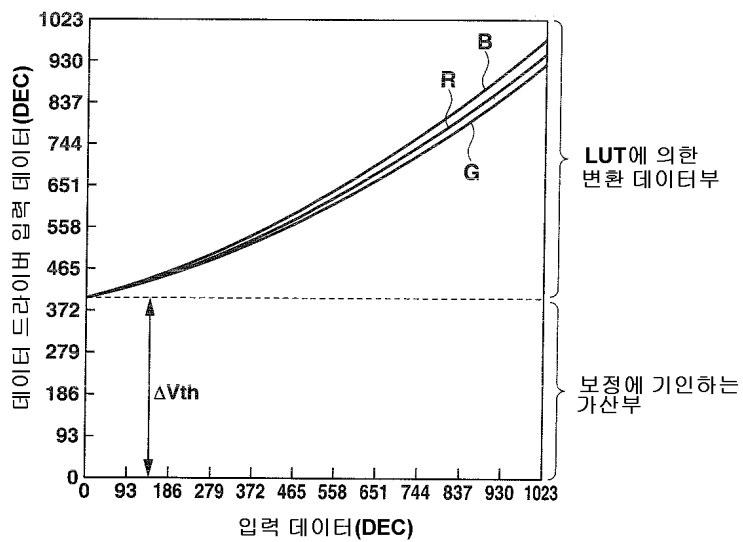


도면10

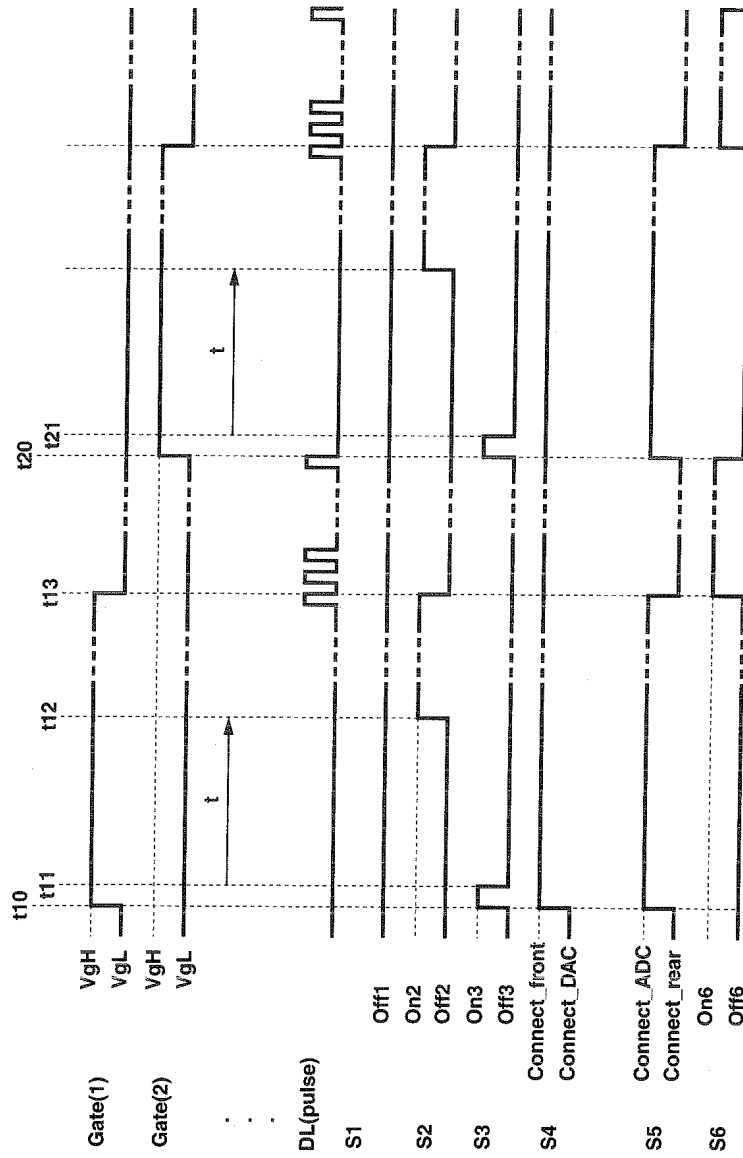
(a)



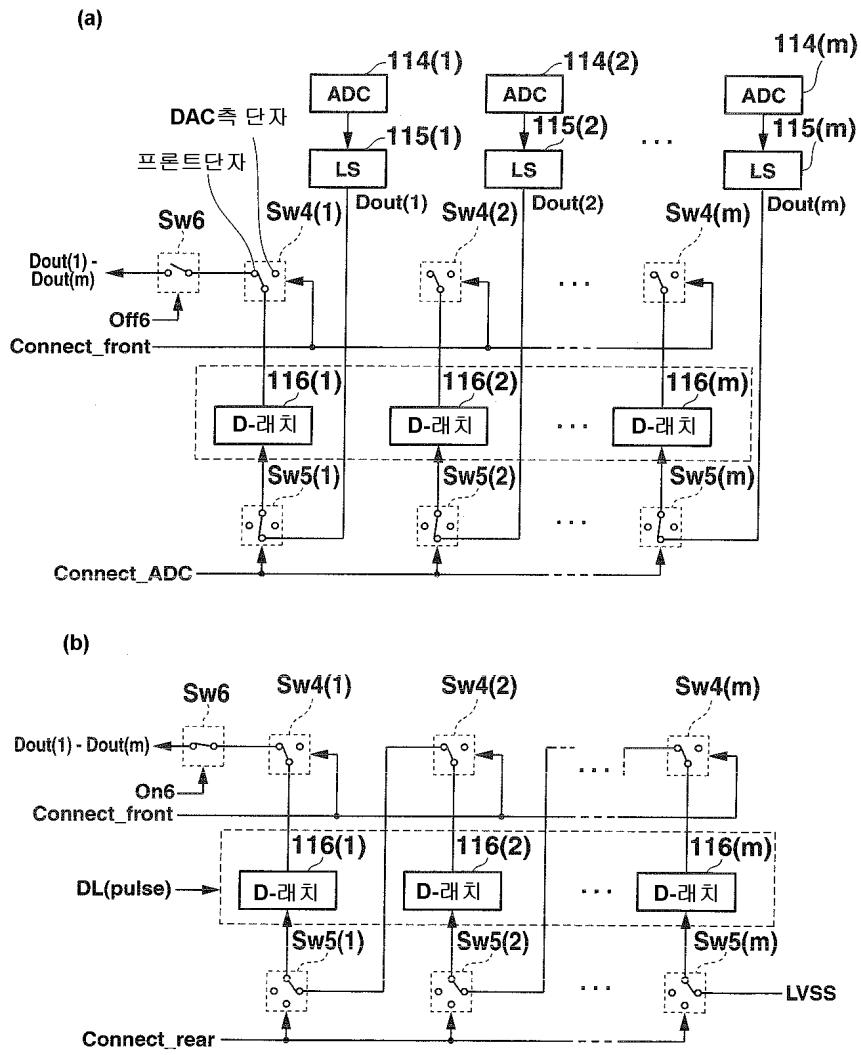
(b)



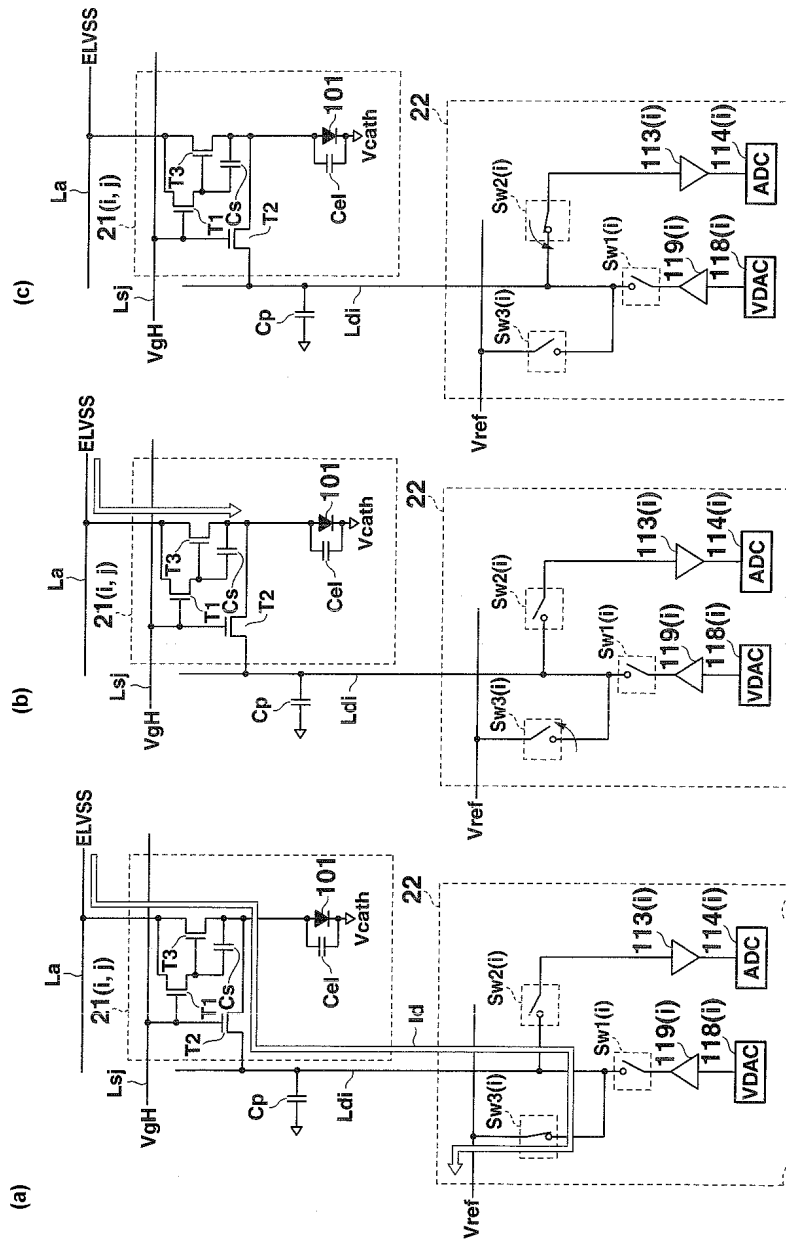
도면11



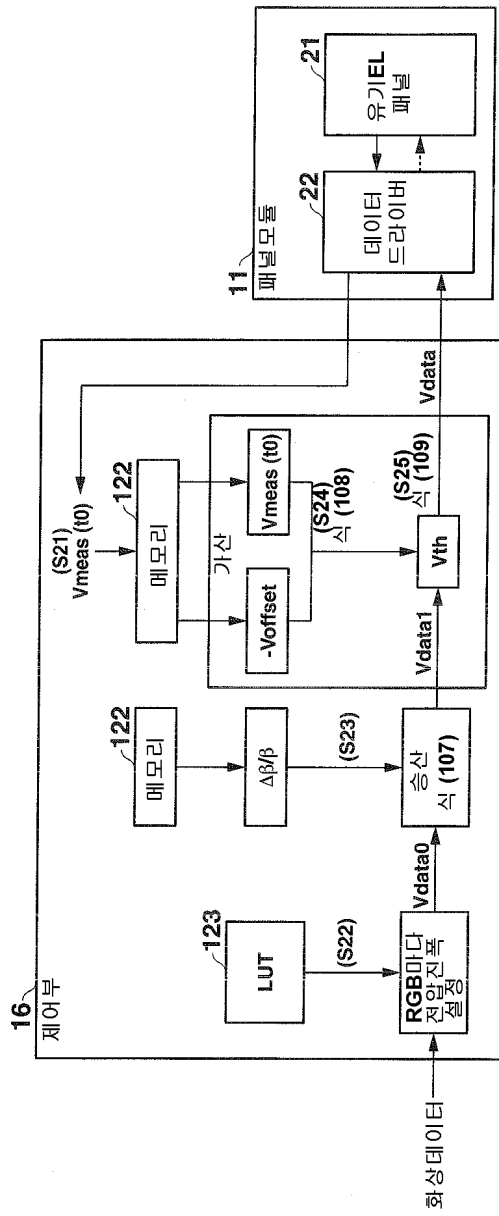
도면12



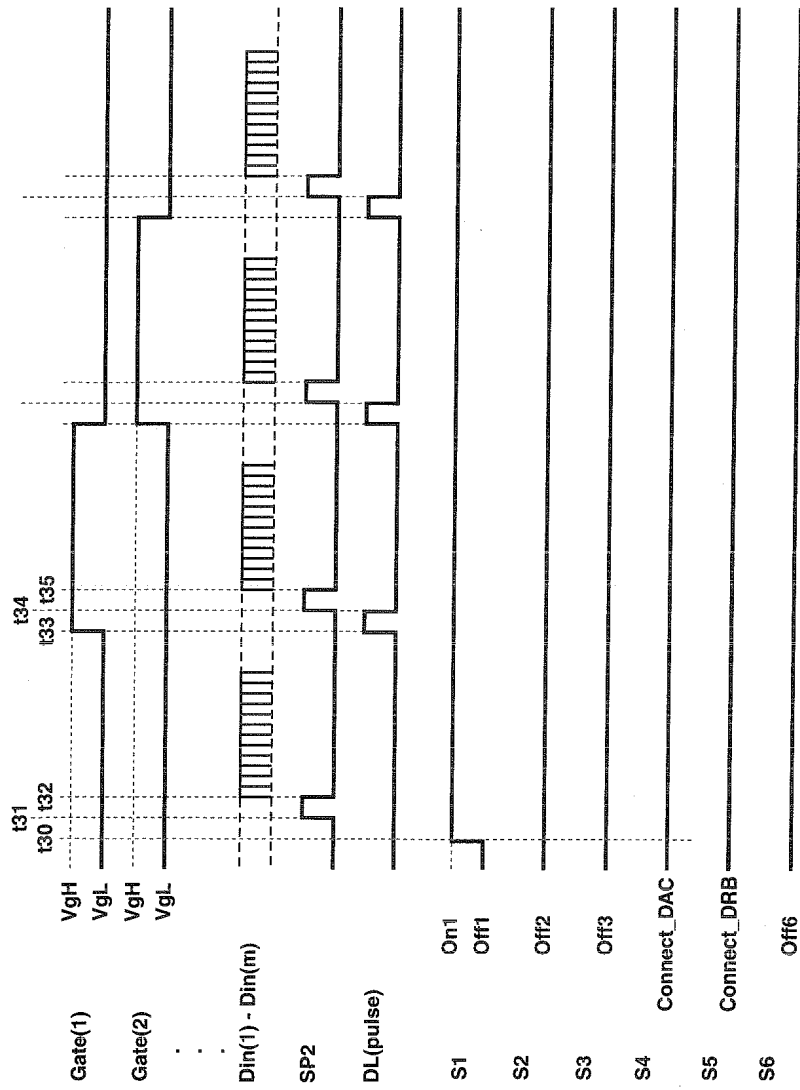
도면13



도면15



도면16



专利名称(译)	获得像素驱动装置的特征参数的方法，发光装置和像素驱动装置		
公开(公告)号	KR1020100127783A	公开(公告)日	2010-12-06
申请号	KR1020107020609	申请日	2009-11-27
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	OGURA JUN 오구라준 TAKEI MANABU 다케이마나부 KASHIYAMA SHUNJI 가시야마순지		
发明人	오구라준 다케이마나부 가시야마순지		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3291 G09G3/3233 G09G2300/0842 G09G2320/043		
代理人(译)	김문중 Soneunjin		
优先权	2008305713 2008-11-28 JP		
其他公开文献	KR101206616B1		
外部链接	Espacenet		

摘要(译)

在预定的建立时间之后信号线的一端的电压值是像素驱动装置产生高阻抗状态的信号线，参考电压 (V_{ref}) 超过驱动晶体管的临界电压 (V_{th}) (T_3) 通过信号线 (L_d) 获得包括有机电致发光器件 (110) 和驱动晶体管的每个像素 ($21(i, j)$) 和每个驱动晶体管的临界电压的有效电流放大率基于在作为第一特征参数的长多个的第一稳定时间中的预定值获得的电压值和比预定值和偏差参数短的时间内获得的值获得用于驱动像素的像素和电路示出了基于第一特征参数的测量电压值的有效电流放大率的偏差。

