



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0116876
(43) 공개일자 2010년11월02일

(51) Int. Cl.

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

H05B 33/26 (2006.01)

(21) 출원번호 10-2009-0035523

(22) 출원일자 2009년04월23일

심사청구일자 2009년04월23일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

강진규

경기도 용인시 기흥구 농서동 산24

(74) 대리인

리엔목특허법인

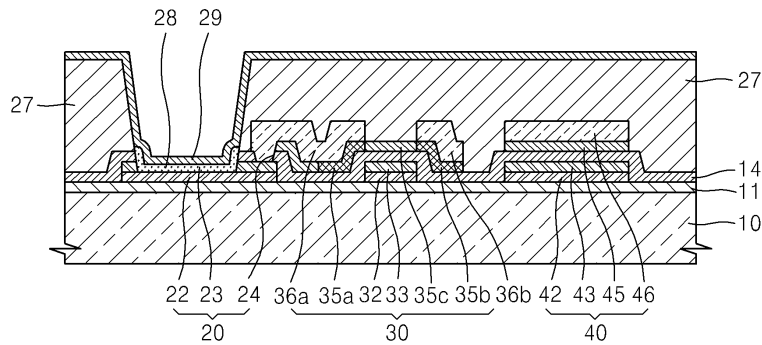
전체 청구항 수 : 총 22 항

(54) 유기 발광 디스플레이 장치 및 유기 발광 디스플레이 장치의 제조방법

(57) 요약

본 발명은 유기 발광 디스플레이 장치 및 이의 제조 방법에 관한 것으로, 기판; 상기 기판 상에 배치되고 금속 산화물층 및 금속층을 포함하는 게이트 전극과, 게이트 절연막을 사이에 두고 소스/드레인 영역 및 채널층을 포함하는 반도체층과, 상기 소스/드레인 영역에 접속하는 소스/드레인 전극을 포함하는 적어도 하나 이상의 박막 트랜지스터; 상기 게이트 전극과 동일층에 동일물질로 형성된 커패시터 제1전극과, 상기 게이트 절연막을 사이에 두고 상기 소스/드레인 전극과 동일층에 동일물질로 형성된 커패시터 제2전극을 포함하는 적어도 하나 이상의 커패시터; 및 상기 게이트 전극과 동일층에 동일 물질로 형성되며 상기 소스/드레인 전극과 콘택홀을 통하여 접속하는 화소 전극과, 상기 화소 전극 상에 배치된 유기 발광층과, 상기 유기 발광층을 덮는 대향 전극을 포함하는 적어도 하나 이상의 유기 발광 소자;를 포함하는 유기 발광 디스플레이 장치 및 이의 제조 방법을 제공한다.

대표도 - 도16



특허청구의 범위

청구항 1

기관;

상기 기관 상에 배치되고 금속 산화물층 및 금속층을 포함하는 게이트 전극과, 게이트 절연막을 사이에 두고 소스/드레인 영역 및 채널층을 포함하는 반도체층과, 상기 소스/드레인 영역에 접속하는 소스/드레인 전극을 포함하는 적어도 하나 이상의 박막 트랜지스터;

상기 게이트 전극과 동일층에 동일물질로 형성된 커패시터 제1전극과, 상기 게이트 절연막을 사이에 두고 상기 소스/드레인 전극과 동일층에 동일물질로 형성된 커패시터 제2전극을 포함하는 적어도 하나 이상의 커패시터; 및

상기 게이트 전극과 동일층에 동일 물질로 형성되며 상기 소스/드레인 전극과 콘택홀을 통하여 접속하는 화소 전극과, 상기 화소 전극 상에 배치된 유기 발광층과, 상기 유기 발광층을 덮는 대향 전극을 포함하는 적어도 하나 이상의 유기 발광 소자;를 포함하는 유기 발광 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 화소 전극의 가장자리, 상기 박막 트랜지스터 및 상기 커패시터를 덮는 화소 정의막을 더 포함하는 유기 발광 디스플레이 장치.

청구항 3

제 1 항에 있어서,

상기 금속 산화물층 및 금속층은 상기 기관 상에 순서대로 적층되는 유기 발광 디스플레이 장치.

청구항 4

제 2 항에 있어서,

상기 화소 전극의 금속층은 상기 금속 산화물층의 가장자리에만 배치되는 유기 발광 디스플레이 장치.

청구항 5

제 4 항에 있어서,

상기 유기 발광층에서 방출된 빛은 상기 기관 측으로 진행하여 상기 기관 측에 화상이 구현되는 유기 발광 디스플레이 장치.

청구항 6

제 1 항에 있어서,

상기 반도체층은 다결정 실리콘인 유기 발광 디스플레이 장치.

청구항 7

제 6 항에 있어서,

상기 소스/드레인 영역은 불순물이 도핑된 유기 발광 디스플레이 장치.

청구항 8

제 1 항에 있어서,

상기 커패시터 제2전극과 상기 게이트 절연막 사이에 상기 반도체층을 더 포함하는 유기 발광 디스플레이 장치.

청구항 9

제 1 항에 있어서,

상기 금속산화물층은 ITO, IZO, ZnO 및 In₂O₃로 이루어진 군에서 선택된 적어도 하나의 금속산화물질을 포함하는 유기 발광 디스플레이 장치.

청구항 10

제 1 항에 있어서,

상기 금속층은 Mo, Cr, Ti, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Li, Ca 및 이들의 화합물로 이루어진 군에서 선택된 적어도 하나의 금속물질을 포함하는 유기발광 표시장치.

청구항 11

제 1 항에 있어서,

상기 기판 상에 버퍼층을 더 포함하는 유기 발광 디스플레이 장치.

청구항 12

기판 상에 금속산화층 및 제1금속층을 순차로 증착하여, 유기 발광 소자의 화소 전극, 박막 트랜지스터의 게이트 전극, 및 커패시터의 제1전극을 동시에 형성하는 제 1 마스크 공정;

상기 제 1 마스크 공정 결과의 구조물 상에 게이트 절연막 및 반도체층을 순차로 증착하여, 상기 화소 전극의 일부를 개구시켜 콘택홀을 형성하고, 상기 박막 트랜지스터의 반도체층의 일부에 불순물을 도핑하여 소스/드레인 영역 및 상기 소스/드레인 영역 사이의 채널층을 형성하는 제 2 마스크 공정;

상기 제 2 마스크 공정 결과의 구조물 상에 제2금속층을 증착하여, 상기 박막 트랜지스터의 소스/드레인 영역에 접속하는 소스/드레인 전극 및 커패시터의 제2전극을 동시에 형성하고, 상기 소스/드레인 전극 중 일 전극을 상기 콘택홀을 통하여 상기 화소 전극에 접속시키는 제 3 마스크 공정;

상기 제 3 마스크 공정 결과의 구조물 상에 화소정의막 형성물질을 형성하여, 화소 전극의 일부가 노출되도록 개구부를 구비하는 화소정의막을 형성하는 제 4 마스크 공정;을 포함하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제 2 마스크 공정에 있어서, 상기 반도체층은 상기 기판 상에 비정질 실리콘층을 형성하고 이를 결정화하여 형성되는 유기 발광 디스플레이 장치의 제조 방법.

청구항 14

제 12 항에 있어서,

상기 제 2 마스크 공정은, 상기 콘택홀에 대응되는 투광부 및 상기 소스/드레인 영역에 대응되는 반투광부를 포함하는 하프톤 마스크(half-tone mask)를 이용하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 15

제 12 항에 있어서,

상기 제 3 마스크 공정은, 상기 화소 전극에 대응되는 투광부 및 상기 채널 영역에 대응되는 반투광부를 포함하는 하프톤 마스크(half-tone mask)를 이용하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 16

제 12 항에 있어서,

상기 제 4 마스크 공정은, 상기 화소 전극을 이루는 금속 산화물층이 노출되도록 화소 정의막을 형성하는 유기

발광 디스플레이 장치의 제조 방법.

청구항 17

제 12 항에 있어서,

상기 제 2 마스크 공정은, 상기 커패시터 제2전극과 게이트 절연막 사이에 반도체층이 포함되도록 커패시터를 형성하는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 제 2 마스크 공정은, 상기 콘택홀에 대응되는 투광부, 및 상기 소스/드레인 영역, 및 상기 커패시터 제1전극에 각각 대응되는 반투광부를 포함하는 하프톤 마스크(half-tone mask)를 이용하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 19

제 12항에 있어서,

상기 제 1 마스크 공정에 있어서, 상기 금속 산화물층은 ITO, IZO, ZnO 및 In₂O₃로 이루어진 군에서 선택된 적어도 하나의 금속산화물질로 형성되는 유기 발광 디스플레이 장치의 제조 방법.

청구항 20

제 12 항에 있어서,

상기 제 1 마스크 공정에 있어서, 상기 금속층은 Mo, Cr, Ti, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Li, Ca 및 이들의 화합물로 이루어진 군에서 선택된 적어도 하나의 금속물질로 형성되는 유기 발광 디스플레이 장치의 제조 방법.

청구항 21

제 12 항에 있어서,

상기 제 1 마스크 공정 전에 상기 기판 상에 버퍼층을 형성하는 단계를 더 포함하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 22

제 12 항에 있어서,

상기 제 4 마스크 공정의 구조물 상에 유기 발광층 및 대향 전극을 형성하는 단계를 더 포함하는 유기 발광 디스플레이 장치의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 유기 발광 디스플레이 장치 및 이의 제조 방법에 관한 것으로, 더 상세하게는 제조공정이 단순화된 바텀 게이트(bottom gate) 타입의 박막 트랜지스터를 포함하는 능동 구동형 유기 발광 디스플레이 장치 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 디스플레이 장치는 화소 전극과 대향 전극 사이에 유기 발광층을 갖는 자발광형 디스플레이 장치로서, 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답 속도가 빨라, 차세대 디스플레이 장치로 주목 받고 있다.

- [0003] 이러한 유기 발광 디스플레이 장치는 고해상도, 고화질, 저소비전력 및 장수명의 특성 향상을 위해, 주로 각 화소의 화소 전극이 적어도 하나 이상의 박막 트랜지스터(thin film transistor) 및 커패시터(capacitor)에 연결되는 능동 매트릭스(Active Matrice: AM) 방식으로 구성된다.
- [0004] 능동 매트릭스 방식의 유기 발광 디스플레이 장치는 기판 상에 복수 개의 박막 트랜지스터 등을 포함하는 미세 패턴 구조를 형성하기 위하여, 일반적으로 포토 리소그래피(photo-lithography) 공정을 포함하는 마스크 공정이 사용된다. 포토 리소그래피 공정을 예로 들어 설명하자면, 미세 패턴을 형성할 기판 상에 포토레지스터(photoresistor)를 균일하게 도포하고, 노광 장비로 마스크 패턴에 따라 포토레지스터를 노광시킨 후, (포지티브(positive) 포토레지스터의 경우) 감광된 포토레지스터를 현상(developing)하는 과정을 거친다. 또한, 포토레지스터를 현상한 후에는, 잔존하는 포토레지스터를 마스크로 이용하여 패턴을 식각(etching)하고, 불필요한 포토레지스터를 제거하는 일련의 과정을 거친다.
- [0005] 이와 같이 마스크를 이용하여 패턴을 기판 상에 전사하는 공정에서는, 먼저 필요한 패턴이 구비된 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 디스플레이 장치의 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명은 상기와 같은 문제 및 그 밖의 문제를 해결하기 위하여, 마스크를 이용한 패턴링 공정 수를 줄일 수 있는 유기 발광 디스플레이 장치 및 이의 제조방법을 제공하는 것을 목적으로 한다.

과제 해결수단

- [0007] 본 발명이 일 측면은, 기판; 상기 기판 상에 배치되고 금속 산화물층 및 금속층을 포함하는 게이트 전극과, 게이트 절연막을 사이에 두고 소스/드레인 영역 및 채널층을 포함하는 반도체층과, 상기 소스/드레인 영역에 접속하는 소스/드레인 전극을 포함하는 적어도 하나 이상의 박막 트랜지스터; 상기 게이트 전극과 동일층에 동일물질로 형성된 커패시터 제1전극과, 상기 게이트 절연막을 사이에 두고 상기 소스/드레인 전극과 동일층에 동일물질로 형성된 커패시터 제2전극을 포함하는 적어도 하나 이상의 커패시터; 및 상기 게이트 전극과 동일층에 동일물질로 형성되며 상기 소스/드레인 전극과 콘택홀을 통하여 접속하는 화소 전극과, 상기 화소 전극 상에 배치된 유기 발광층과, 상기 유기 발광층을 덮는 대향 전극을 포함하는 적어도 하나 이상의 유기 발광 소자;를 포함하는 유기 발광 디스플레이 장치를 제공한다.
- [0008] 또한, 상기 화소 전극의 가장자리, 상기 박막 트랜지스터 및 상기 커패시터를 덮는 화소 정의막을 더 포함할 수 있다.
- [0009] 또한, 상기 금속 산화물층 및 금속층은 상기 기판 상에 순서대로 적층될 수 있다.
- [0010] 또한, 상기 화소 전극의 금속층은 상기 금속 산화물층의 가장자리에만 배치될 수 있다.
- [0011] 또한, 상기 유기 발광층에서 방출된 빛은 상기 기판 측으로 진행하여 상기 기판 측에 화상이 구현될 수 있다.
- [0012] 또한, 상기 반도체층은 다결정 실리콘일 수 있다.
- [0013] 또한, 상기 소스/드레인 영역은 불순물이 도핑될 수 있다.
- [0014] 또한, 상기 커패시터 제2전극과 상기 게이트 절연막 사이에 상기 반도체층이 더 포함될 수 있다.
- [0015] 또한, 상기 금속산화물층은 ITO, IZO, ZnO 및 In₂O₃로 이루어진 군에서 선택된 적어도 하나의 금속산화물질을 포함할 수 있다.
- [0016] 또한, 상기 금속층은 Mo, Cr, Ti, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Li, Ca 및 이들의 화합물로 이루어진 군에서 선택된 적어도 하나의 금속물질을 포함할 수 있다.
- [0017] 또한, 상기 기판 상에 버퍼층을 더 포함할 수 있다.
- [0018] 본 발명의 다른 측면에 의하면, 기판 상에 금속산화층 및 제1금속층을 순차로 증착하여, 유기 발광 소자의 화소 전극, 박막 트랜지스터의 게이트 전극, 및 커패시터의 제1전극을 동시에 형성하는 제 1 마스크 공정; 상기 제 1

마스크 공정 결과의 구조물 상에 게이트 절연막 및 반도체층을 순차로 증착하여, 상기 화소 전극의 일부를 개구시켜 콘택홀을 형성하고, 상기 박막 트랜지스터의 반도체층의 일부에 불순물을 도핑하여 소스/드레인 영역 및 상기 소스/드레인 영역 사이의 채널층을 형성하는 제 2 마스크 공정; 상기 제 2 마스크 공정 결과의 구조물 상에 제2금속층을 증착하여, 상기 박막 트랜지스터의 소스/드레인 영역에 접속하는 소스/드레인 전극 및 커패시터의 제2전극을 동시에 형성하고, 상기 소스/드레인 전극 중 일 전극을 상기 콘택홀을 통하여 상기 화소 전극에 접속시키는 제 3 마스크 공정; 및 상기 제 3 마스크 공정 결과의 구조물 상에 화소정의막 형성물질을 형성하여, 화소 전극의 일부가 노출되도록 개구부를 구비하는 화소정의막을 형성하는 제 4 마스크 공정;을 포함하는 유기 발광 디스플레이 장치의 제조 방법을 제공한다.

- [0019] 또한, 상기 제 2 마스크 공정에 있어서, 상기 반도체층은 상기 기판 상에 비정질 실리콘층을 형성하고 이를 결정화하여 형성될 수 있다.
- [0020] 또한, 상기 제 2 마스크 공정은, 상기 콘택홀에 대응되는 투광부 및 상기 소스/드레인 영역에 대응되는 반투광부를 포함하는 하프톤 마스크(half-tone mask)를 이용할 수 있다.
- [0021] 또한, 상기 제 3 마스크 공정은, 상기 화소 전극에 대응되는 투광부 및 상기 채널 영역에 대응되는 반투광부를 포함하는 하프톤 마스크(half-tone mask)를 이용할 수 있다.
- [0022] 또한, 상기 제 4 마스크 공정은, 상기 화소 전극을 이루는 금속 산화물층이 노출되도록 화소 정의막을 형성할 수 있다.
- [0023] 또한, 상기 제 2 마스크 공정은, 상기 커패시터 제2전극과 게이트 절연막 사이에 반도체층이 포함되도록 커패시터를 형성할 수 있다.
- [0024] 또한, 상기 제 2 마스크 공정은, 상기 콘택홀에 대응되는 투광부, 및 상기 소스/드레인 영역, 및 상기 커패시터 제1전극에 각각 대응되는 반투광부를 포함하는 하프톤 마스크(half-tone mask)를 이용할 수 있다.
- [0025] 또한, 상기 제 1 마스크 공정에 있어서, 상기 금속 산화물층은 ITO, IZO, ZnO 및 In₂O₃로 이루어진 군에서 선택된 적어도 하나의 금속산화물질로 형성될 수 있다.
- [0026] 또한, 상기 제 1 마스크 공정에 있어서, 상기 금속층은 Mo, Cr, Ti, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Li, Ca 및 이들의 화합물로 이루어진 군에서 선택된 적어도 하나의 금속물질로 형성될 수 있다.
- [0027] 또한, 상기 제 1 마스크 공정 전에 상기 기판 상에 버퍼층을 형성하는 단계를 더 포함할 수 있다.
- [0028] 또한, 상기 제 4 마스크 공정의 구조물 상에 유기 발광층 및 대향 전극을 형성하는 단계를 더 포함할 수 있다.

효 과

- [0029] 상술한 바와 같이 이루어진 본 발명의 바람직한 일 실시 예에 따른 유기 발광 디스플레이 장치 및 이의 제조 방법에 의하면, 최소한의 마스크를 사용하여 상술한 구조의 유기 발광 디스플레이 장치를 제조할 수 있기 때문에, 마스크 저감에 따른 비용의 절감 및 제조 공정의 단순화와 이로 인한 비용을 절감할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0030] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시 예들을 참조하여 본 발명을 보다 상세히 설명한다.
- [0031] 먼저, 도 1 내지 도 16을 참조하여 본 발명의 일 실시 예에 따른 유기 발광 디스플레이 장치 및 이의 제조 방법을 상세히 설명한다. 도 1 내지 4는 본 발명의 일 실시 예에 따른 제 1 마스크 공정의 개략적인 단면도이고, 도 5 내지 9는 제 2 마스크 공정의 개략적인 단면도이고, 도 10 내지 13은 제 3 마스크 공정을 개략적인 단면도이고, 도 14 내지 15는 제 4 마스크 공정의 개략적인 단면도이며, 도 16은 상기 마스크 공정의 결과물을 포함하는 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.
- [0032] 도 1을 참조하면, 기판(10) 상에 버퍼층(11), 금속 산화물층(12), 및 금속층(13)이 차례로 증착된다.
- [0033] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 물론 불투명 재질도 가능하며, 플라스틱재와 같은 다른 재질로 이루어질 수도 있다. 다만, 후술하겠지만, 본 실시 예와 같은 배면 발광형의 유기 발광 디스플레이 장치의 경우에는 상기 기판(10)은 투명 재질로 형성되어야 한다.
- [0034] 기판(10)의 상에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 버퍼층(11)이 구비될 수 있다. 상

기 버퍼층은 SiO₂ 및/또는 SiN_x 등을 이용하여 PECVD(plasma enhanced chemical vapor deosition) APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 다양한 방법에 의해 증착될 수 있다.

- [0035] 버퍼층(11) 상에 ITO, IZO, ZnO, 또는 In₂O₃ 등의 금속산화물질을 포함하는 금속산화물층(12)이 증착되고, 상기 금속산화물층(12) 상에 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti 또는 이들의 화합물을 포함한 제1금속층(13)이 순차로 증착된다.
- [0036] 도 2를 참조하면, 상기 금속산화물층(12) 및 제1금속층(13) 상에는 프리 베이킹(pre-baking) 또는 소프트 베이킹(soft baking)으로 용제를 제거한 제 1 포토레지스터(photoresistor)(P1)가 도포되고, 포토레지스터(P1)를 패터닝하기 위하여 소정 패턴이 그려진 제 1 마스크(M1)가 기판(10) 상에 정렬된다.
- [0037] 제 1 마스크(M1)는 투광부(M11) 및 차광부(M12a, M12b, M12c)를 구비한다. 투광부(M11)는 소정 파장대의 광을 투과시키고, 차광부(M12a, M12b, M12c)는 조사되는 광을 차단한다. 위와 같은 패턴이 그려진 제 1 마스크(M1)를 기판(10) 상에 정렬하여 소정 파장대의 광을 조사하여 제 1 포토레지스터(P1)를 감광시킨다.
- [0038] 도 3을 참조하면, 현상(developing) 공정을 통하여 감광된 부분이 제거된 후 잔존하는 제 1 포토레지스터(P1)의 패턴이 개략적으로 도시되어 있다. 본 실시 예에서는 감광된 부분이 제거되는 포지티브 PR(positive-PR)이 사용되었지만, 본 발명은 이에 한정되지 않고 네가티브 PR(negative-PR)가 사용될 수 있음은 물론이다.
- [0039] 상기 도면을 참조하면, 제 1 마스크의 투광부(M11)에 대응하는 포토레지스터 부분(P11)은 제거되고, 차광부(M12a, M12b, M12c)에 대응하는 포토레지스터 부분(P12a, P12b, P12c)이 남아있다.
- [0040] 도 4를 참조하면, 상기 잔존하는 포토레지스터(P12a, P12b, P12c)를 이용한 식각(etching) 공정 후의 기판(10) 상에 형성된 패턴을 도시하고 있다. 금속 산화물층(12) 및 제1금속층(13)은 소정의 패턴을 가진 제 1 마스크(M1)에 의한 사진 식각 공정을 거쳐 후술할 유기발광소자(20, 도 16 참조)의 화소 전극(22, 23), 박막 트랜지스터(30, 도 16 참조)의 게이트 전극(22, 23) 및 커패시터(40, 도 16 참조)의 제1전극(42, 43)으로 각각 패터닝된다. 이때, 식각은 습식 식각 및 건식 식각 모두 적용 가능하며, 건식 식각을 적용할 경우에는 플라즈마 식각, 반응 이온 식각(Reactive Ion Etching: RIE), 반응 스퍼터 식각(Reactive Sputter Etching), 반응이온빔 밀링 등의 방법이 적용될 수 있다.
- [0041] 도 5를 참조하면, 상술한 마스크 공정(M1)에 의하여 형성된 화소 전극(22, 23), 게이트 전극(32, 33) 및 커패시터 제1전극(42, 43) 상에 게이트 절연막(14)이 증착된다. 이 게이트 절연막(14)은 SiN_x 또는 SiO_x 등의 무기 절연막을 PECVD법, APCVD법, LPCVD법, ERC법 등의 방법으로 증착될 수 있다.
- [0042] 게이트 절연막(14) 상에 반도체층(15)이 형성된다. 반도체층(15)은 먼저 비정질 실리콘이 게이트 절연막(14) 상에 증착된 후 결정화 과정을 거쳐 다결정 실리콘으로 구성된다. 비정질 실리콘은 RTA(Rapid Thermal Annealing)공정, SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Annealing), MIC(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization), SLS법(Sequential Lateral Solidification) 등 다양한 방법에 의해 다결정 실리콘으로 결정화될 수 있다.
- [0043] 반도체층(15) 상에는 제 2 포토레지스터(photoresistor)(P2)가 도포되고, 포토레지스터(P2)를 패터닝하기 위하여 소정 패턴이 그려진 제 2 마스크(M2)가 기판(10) 상에 정렬된다.
- [0044] 제 2 마스크(M2)는 투광부(M21), 차광부(M22a, M22b, M22c) 및 반투광부(M23a, M23b)를 구비한 하프톤(half-tone) 마스크이다. 투광부(M21)는 소정 파장대의 광을 투과시키고, 차광부(M22a, M22b, M22c)는 조사되는 광을 차단하며, 반투광부(M23a, M23b)는 조사되는 광의 일부만 통과시킨다. 상기 도면에 도시된 하프톤 마스크(M2)는, 마스크의 각 부분의 기능을 개념적으로 설명하기 위한 개념도이며, 실제로는 상기와 같은 하프톤 마스크(M2)는 석영(Qz)과 같은 투명 기판 상에 소정 패턴으로 형성될 수 있다. 이때, 차광부(M22a, M22b, M22c)는 석영 기판 상에 Cr 또는 CrO₂ 등의 재료로 패터닝하여 형성되고, 반투광부(M23a, M23b)는 Cr, Si, Mo, Ta, Al 가운데 적어도 하나 이상의 물질을 이용하여, 그 조성 성분의 비 또는 두께를 조절함으로써 조사되는 광의 광투과율을 조절할 수 있다.
- [0045] 위와 같은 패턴이 그려진 제 2 마스크(M2)를 기판(10)에 정렬하여 제 2 포토레지스터(P2)에 소정 파장대의 광을 조사하여 노광을 실시한다.
- [0046] 도 6을 참조하면, 현상 공정을 통하여 감광된 부분이 제거된 후 잔존하는 제 2 포토레지스터(P2)의 패턴이 개략적으로 도시되어 있다.

- [0047] 제 2 마스크의 투광부(M21)에 대응하는 포토레지스터 부분(P21)은 제거되고, 차광부(M22a, M22b, M22c)에 대응하는 포토레지스터 부분(P22a, P22b, P22c), 및 반투광부(M23a, M23b)에 대응하는 포토레지스터 부분(P23a, P23b)은 남아있다. 이때, 반투광부(M23a, M23b)에 대응하는 포토레지스터 부분(P23a, P23b)의 높이는 차광부(M22a, M22b, M22c)에 대응하는 포토레지스터 부분(P22a, P22b, P22c)의 높이보다 낮다. 제 2 포토레지스터(P2)의 높이는 제 2 마스크의 반투광부(M23a, M23b) 패턴을 구성하는 물질의 성분비 또는 두께로 조절할 수 있다.
- [0048] 도 7을 참조하면, 잔존하는 포토레지스터 패턴들(P22a, P22b, P22c, P23a, P23b)을 마스크로 하여 1차 식각 공정이 수행되면, 포토레지스터가 없는 부분(P21)에 대응하는 화소 전극(22, 23) 상의 일부 게이트 절연막(14)과 반도체층(15)이 식각되어, 콘택홀(24)이 형성된다. 이때, 식각 공정은 습식 식각 및 건식 식각 모두 적용 가능하다.
- [0049] 도 8을 참조하면, 높이가 낮은 포토레지스터 부분(P23a, P23b)은 애싱(ashing) 공정 후 완전히 제거되고, 애싱 공정 전 높이가 높았던 포토레지스터 부분(P22a, P22b, P22c)은 애싱 공정 후 높이가 낮아진 채로 패턴(P22a', P22b', P22c')이 남아있다. 이와 같이 남아 있는 포토레지스터 패턴(P22a', P22b', P22c')을 마스크로 하여, 포토레지스터가 제거되어 노출된 반도체층(15)에 N+ 또는 P+형의 도펀트를 주입함으로써, 박막 트랜지스터의 소스/드레인 영역(35a, 35b)을 형성한다.
- [0050] 도 9를 참조하면, 스트립핑(striping) 등의 공정으로 잔존하는 포토레지스터(P22a', P22b', P22c')가 모두 제거된 후, 기판(10) 상에 형성된 패턴을 도시하고 있다. 상기 도면에 의하면, 최상층에 위치하는 반도체층(15) 중, 박막 트랜지스터(30, 도 20참조)의 소스/드레인 영역(35a, 35b)은 불순물로 도핑되고, 게이트 절연막(15)을 사이에 두고 게이트 전극(32, 33)에 대응하는 소스/드레인 영역(35a, 35b) 사이에는 채널 영역(35c)이 형성된다.
- [0051] 도 10을 참조하면, 상술한 마스크 공정(M2)에 의하여 형성된 구조물 상에 제2금속층(16)을 증착한다. 상기 제2금속층(16)은 Mo, Cr, Ti, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Li, Ca 및 이들의 화합물로 이루어진 군에서 선택된 적어도 하나의 금속물질을 포함할 수 있다.
- [0052] 제2금속층(15) 상에는 제 3 포토레지스터(photoresistor)(P3)가 도포되고, 포토레지스터(P3)를 패터닝하기 위하여 소정 패턴이 그려진 제 3 마스크(M3)가 기판(10) 상에 정렬된다.
- [0053] 제 3 마스크(M3)는 투광부(M31a, M31b), 차광부(M32a, M32b, M32c) 및 반투광부(M33)를 구비한다. 이와 같은 패턴이 그려진 제 3 마스크(M3)를 기판(10)에 정렬하여 제 3 포토레지스터(P3)에 소정 파장대의 광을 조사하여 노광을 실시한다.
- [0054] 도 11을 참조하면, 현상 공정을 통하여 감광된 부분이 제거된 후 잔존하는 제 3 포토레지스터(P3)의 패턴이 개략적으로 도시되어 있다.
- [0055] 제 3 마스크의 투광부(M31a, M31b)에 대응하는 포토레지스터 부분(P31a, P31b)은 제거되고, 차광부(M32a, M32b, M32c)에 대응하는 포토레지스터 부분(P32a, P32b, P32c), 및 반투광부(M33)에 대응하는 포토레지스터 부분(P33)은 남아있다. 이때, 반투광부(M33)에 대응하는 포토레지스터 부분(P33)의 높이는 차광부(M32a, M32b, M32c)에 대응하는 포토레지스터 부분(P32a, P32b, P32c)의 높이보다 낮다.
- [0056] 도 12를 참조하면, 잔존하는 포토레지스터 패턴들(P32a, P32b, P32c, P33)을 마스크로 하여 1차 식각 공정이 수행되면, 포토레지스터가 없는 부분(P31a, P31b)에 대응하는 화소 전극(22, 23), 및 박막 트랜지스터(30, 도 20 참조)와 커패시터 (40, 도 20 참조) 사이의 반도체층(15)과 제2금속층(16)이 식각된다. 이때, 식각 공정은 습식 식각 및 건식 식각 모두 적용 가능하다.
- [0057] 도 13을 참조하면, 높이가 낮은 포토레지스터 부분(P33)은 애싱(ashing) 공정 후 완전히 제거되고, 애싱 공정 전 높이가 높았던 포토레지스터 부분(P32a, P32b, P32c)은 애싱 공정 후 높이가 낮아진 채로 패턴(P32a', P32b', P32c')이 남아있다. 이와 같이 남아 있는 포토레지스터 패턴(P32a', P32b', P32c)을 마스크로 하여 2차 식각 공정을 진행하면, 포토레지스터가 완전히 제거된 영역(P33')에 대응하는 반도체층의 채널층(35c)이 노출된다.
- [0058] 한편, 상기 도면에는 도시되지 않았으나, 남아있는 포토레지스터(P32a', P32b', P32c')가 스트립핑(striping) 등의 공정으로 모두 제거된다. 따라서, 소스/드레인 영역(35a, 35b)에 접속되는 제2금속층(16)은 소스/드레인 전극(36a, 36b)으로 기능하고, 커패시터 제1전극(42, 43) 상에 대응되도록 패터닝되는 제2금속층(16)은 커패시

터 제2전극(46)으로 기능한다. 이때, 소스/드레인 전극(36a, 36b) 중 일 전극은 전술한 콘택홀(24)에 의해 화소 전극(22, 23)에 접속한다.

- [0059] 도 14를 참조하면, 상술한 마스크 공정(M3)에 의하여 형성된 구조물 상에 제 4 포토레지스터(P4)를 도포되고, 포토레지스터(P4)를 패터닝하기 위하여 소정 패턴이 그려진 제 4 마스크(M4)가 기판(10) 상에 정렬된다.
- [0060] 제 4 마스크(M4)는 투광부(M41) 및 차광부(M42)를 구비한다. 위와 같은 패턴이 그려진 제 4 마스크(M4)를 기판(10) 상에 정렬하여 소정 파장대의 광을 조사하여 제 4 포토레지스터(P4)를 감광시킨다.
- [0061] 이때, 제 4 포토레지스터(P4)는 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 이와 같은 제 4 포토레지스터(P4)는, 전술한 제 1 내지 제 3 포토레지스터(P1, P2, P3)와 같이 식각 공정후 제거되지 않고 잔존하며, 후술할 유기 발광 디스플레이 장치의 화소 정의막(pixel define layer: PDL) 역할을 하게 된다.
- [0062] 도 15를 참조하면, 현상 공정을 통하여 감광된 부분이 제거된 후 잔존하는 제 4 포토레지스터(P4)의 패턴이 개략적으로 도시되어 있다.
- [0063] 상기 도면을 참조하면, 제 4 마스크의 투광부(M41)에 대응하는 포토레지스터 부분(P41)은 제거되고, 차광부(M42)에 대응하는 포토레지스터 부분(27)이 잔존한다.
- [0064] 투광부(M41)에 대응하는 화소 전극(22) 상의 게이트 절연막(15)과 금속층(23)이 식각 되어, 화소 전극(22, 23)을 이루는 금속 산화물층(22)의 중앙이 개구된다. 화소 전극(22, 23)의 가장자리에 잔존하는 제 4 포토레지스터(P4)는 유기 발광 디스플레이 장치의 화소 정의막(27)으로 기능한다.
- [0065] 한편, 상기 실시 예에서는 화소 전극(22, 23)을 이루는 금속층(23)이 식각 된 실시 예가 도시되었지만, 본 발명은 이에 한정되지 않는다. 상기 실시 예와 같이 금속층(23)이 식각된 경우에는, 화소 전극의 금속 산화물층(22)은 광투광성을 갖는 물질들로 구성되기 때문에 배면 발광형 유기 발광 디스플레이 장치에 적용될 수 있다. 그러나, 본 발명의 다른 실시 예로써, 화소 전극(22, 23) 상의 게이트 절연막(15)만 식각되고, 금속층(23)은 잔존하는 구조도 적용가능하다. 이때, 금속층(23)은 반사막으로 사용될 수 있어서, 전면 발광형 유기 발광 디스플레이 장치에 적용될 수 있다.
- [0066] 도 16을 참조하면, 도 15의 구조물 상에 유기 발광층(28)과 대향 전극(29)이 형성된다.
- [0067] 유기 발광층(28)은 화소 전극(22, 23)과 공통 전극(29)의 전기적 구동에 의해 발광한다. 상기 도면에는 유기 발광층(28)의 형상만이 도시되어 있으나, 유기 발광층(28)으로 저분자 또는 고분자 유기물이 사용되는 여부에 따라 추가의 박막들이 더 형성될 수 있다. 또한, 유기 발광층(28)과 추가되는 박막들(미도시)은 상기 도면에 도시된 형상이나 배치에 한정되지 않으며 자유로운 설계 변경이 가능함은 물론이다.
- [0068] 유기 발광층(28)이 저분자 유기물로 형성되는 경우, 유기 발광층(28)을 중심으로 화소 전극(22, 23)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer :HIL) 등이 적층되고, 대향 전극(29) 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0069] 한편, 고분자 유기물로 형성되는 경우에는, 유기 발광층(28)을 중심으로 화소 전극(22, 23) 방향으로 홀 수송층(HTL)만이 포함될 수 있다. 홀 수송층(HTL)은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(22, 23) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0070] 유기 발광층(28) 상에는 공통 전극인 대향 전극(29)이 증착된다. 본 실시 예에 따른 유기 발광 디스플레이 장치의 경우, 화소 전극(22, 23)은 애노드 전극으로 사용되고, 대향 전극(29)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0071] 유기 발광 디스플레이 장치가 기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의

경우, 화소 전극(2, 23)은 투명 전극이 되고 공통 전극(29)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착할 수 있다.

[0072] 한편, 상기 도면에는 도시되지 않았지만, 대향 전극(29) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층(28)을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.

[0073] 상기와 같은 본 발명의 일 실시 예에 따른 유기 발광 디스플레이 장치 및 이의 제조 방법에 의하면, 최소한의 마스크를 사용하여 상술한 구조의 유기 발광 디스플레이 장치를 제조할 수 있기 때문에, 마스크 저감에 따른 비용의 절감 및 제조 공정의 단순화와 이로 인한 비용을 절감할 수 있다.

[0074] 이하, 도 17 내지 22를 참조하여 본 발명의 다른 실시 예에 따른 유기 발광 디스플레이 장치 및 이의 제조 방법을 상세히 설명한다. 도 17 내지 21은 본 발명의 다른 실시 예에 따른 제 2 마스크 공정의 개략적인 단면도이고, 도 22는 상기 마스크 공정의 결과물을 포함하는 유기 발광 디스플레이 장치를 개략적으로 도시한 단면도이다.

[0075] 도 17을 참조하면, 전술한 실시 예에 따른 제 1 마스크 공정(M1)에 의하여 형성된 화소 전극(22, 23), 게이트 전극(32, 33) 및 커패시터 제1전극(42, 43) 상에 게이트 절연막(14) 및 반도체층(15)이 순차로 형성되고, 반도체층(15)은 결정화 과정을 거쳐 다결정 실리콘으로 구성된다.

[0076] 반도체층(15) 상에는 제 2 포토레지스터(photoresistor)(P2)가 도포되고, 포토레지스터(P2)를 패터닝하기 위하여 소정 패턴이 그려진 제 2' 마스크(M2')가 기판(10) 상에 정렬된다.

[0077] 제 2' 마스크(M'2)는 투광부(M'21), 차광부(M'22a, M'22b, M'22c) 및 반투광부(M'23a, M'23b, M'23c)를 구비한 하프톤(half-tone) 마스크이다.

[0078] 위와 같은 패턴이 그려진 제 2' 마스크(M'2)를 기판(10)에 정렬하여 제 2 포토레지스터(P'2)에 소정 파장대의 광을 조사하여 노광을 실시한다.

[0079] 도 18을 참조하면, 현상 공정을 통하여 감광된 부분이 제거된 후 잔존하는 제 2 포토레지스터(P'2)의 패턴이 개략적으로 도시되어 있다.

[0080] 제 2' 마스크의 투광부(M'21)에 대응하는 포토레지스터 부분(P'21)은 제거되고, 차광부(M'22a, M'22b, M'22c)에 대응하는 포토레지스터 부분(P'22a, P'22b, P'22c), 및 반투광부(M'23a, M'23b, M'23c)에 대응하는 포토레지스터 부분(P'23a, P'23b, P'23c)은 남아있다.

[0081] 도 19를 참조하면, 잔존하는 포토레지스터 패턴들(P'22a, P'22b, P'22c, P'23a, P'23b, P'23c)을 마스크로 하여 1차 식각 공정이 수행되면, 포토레지스터가 없는 부분(P'21)에 대응하는 화소 전극(22, 23) 상의 일부 게이트 절연막(14)과 반도체층(15)이 식각되어, 콘택홀(24)이 형성된다.

[0082] 도 20 내지 22를 참조하면, 높이가 낮은 포토레지스터 부분(P'23a, P'23b, P'23c)은 애싱(ashing) 공정 후 완전히 제거되고, 애싱 공정 전 높이가 높았던 포토레지스터 부분(P'22a, P'22b, P'22c)은 애싱 공정 후 높이가 낮아진 채로 패턴(P'22a', P'22b', P'22c')이 남아있다. 이와 같이 남아 있는 포토레지스터 패턴(P'22a', P'22b', P'22c')을 마스크로 하여, 포토레지스터가 제거되어 노출된 박막 트랜지스터의 반도체층(15) 및 커패시터의 반도체층(15)에 N+ 또는 P+형의 도펀트를 주입함으로써, 박막 트랜지스터(30)의 소스/드레인 영역(35a, 35b) 및 커패시터(40)의 제2전극(45')의 일부를 형성한다.

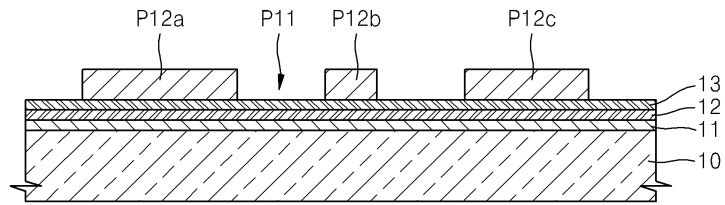
[0083] 상기와 같은 본 발명의 다른 실시 예에 따른 유기 발광 디스플레이 장치에 따르면, 불순물을 주입된 커패시터(40) 영역의 반도체층(45')은 커패시터의 제2전극으로서 기능 할 수 있다.

[0084] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

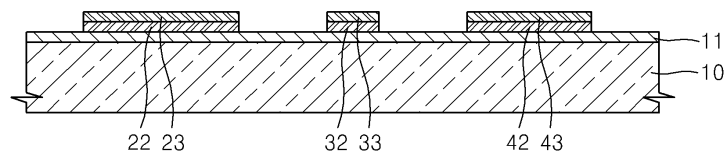
도면의 간단한 설명

[0085] 도 1 내지 4는 본 발명의 일 실시 예에 따른 제 1 마스크 공정을 개략적으로 도시한 단면도이다.

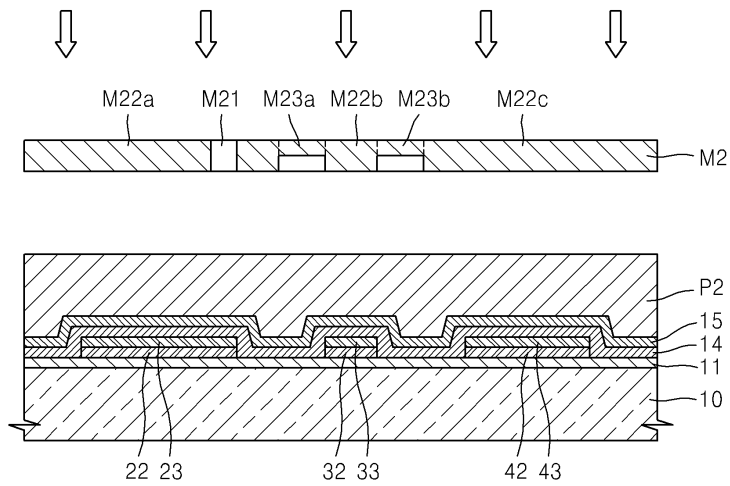
도면3



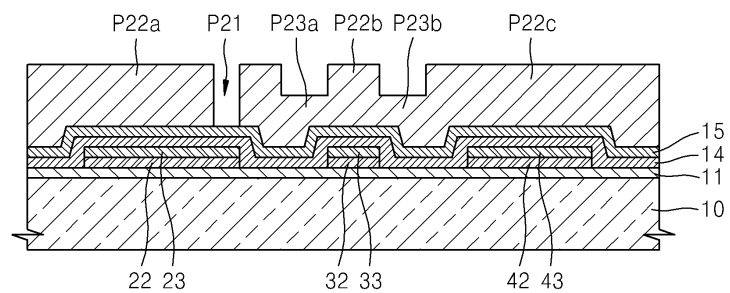
도면4



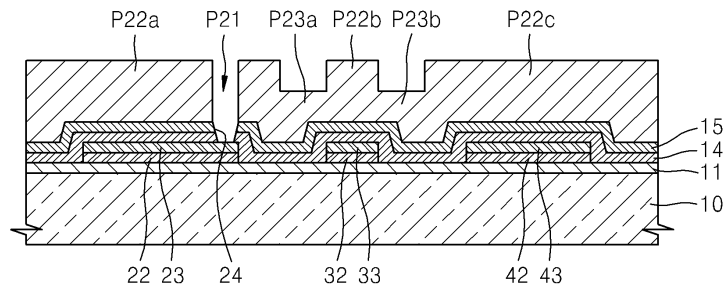
도면5



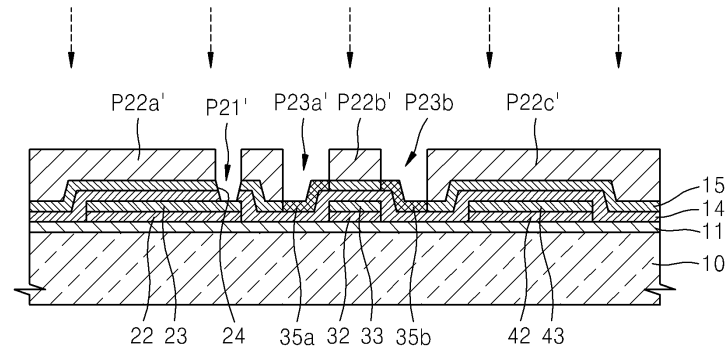
도면6



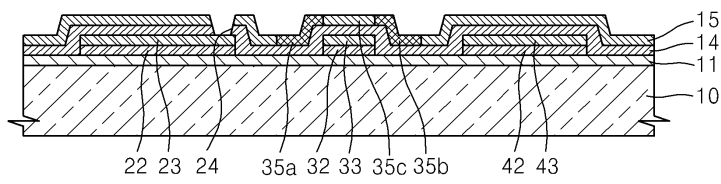
도면7



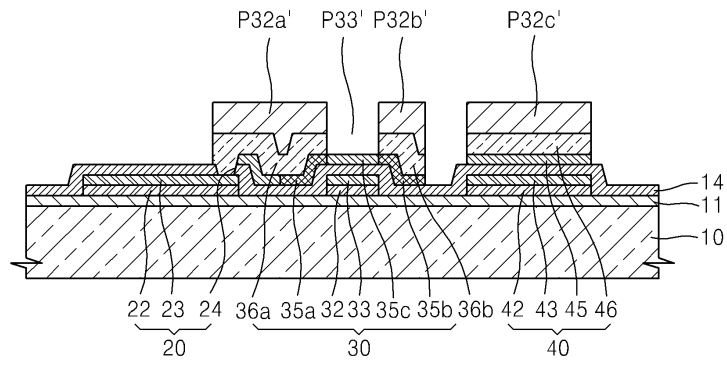
도면8



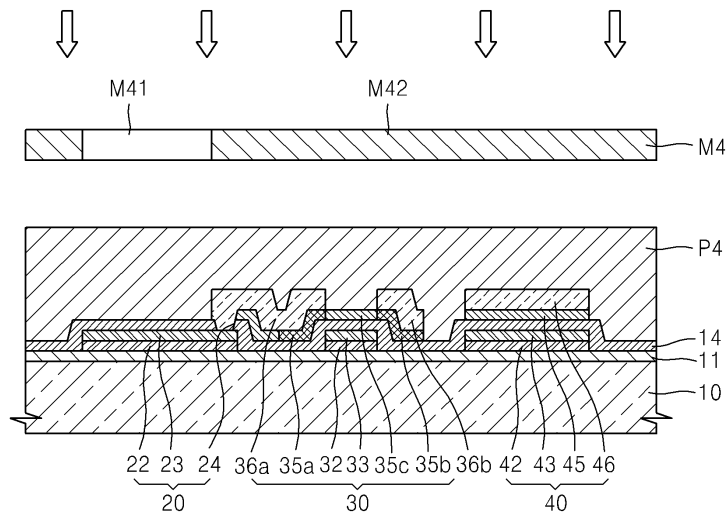
도면9



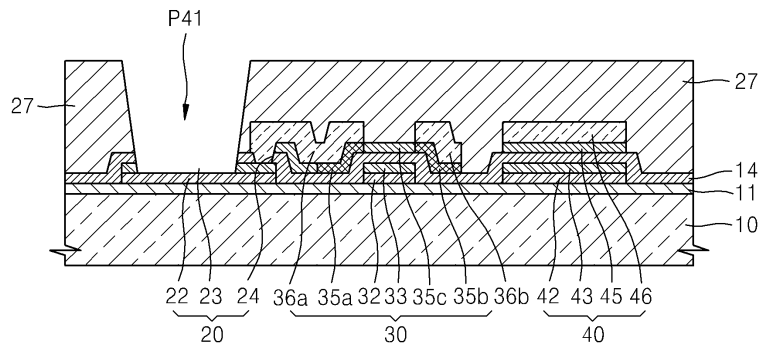
도면13



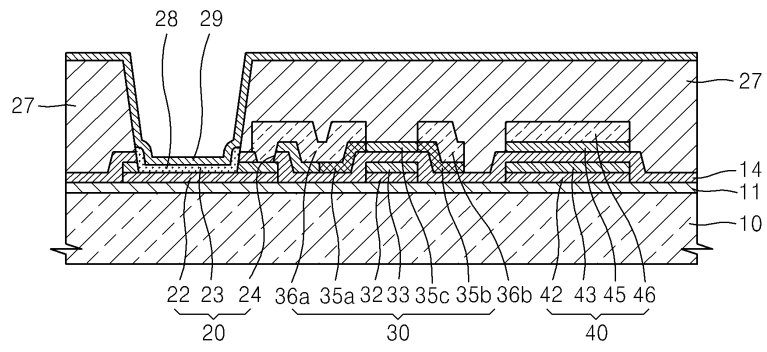
도면14



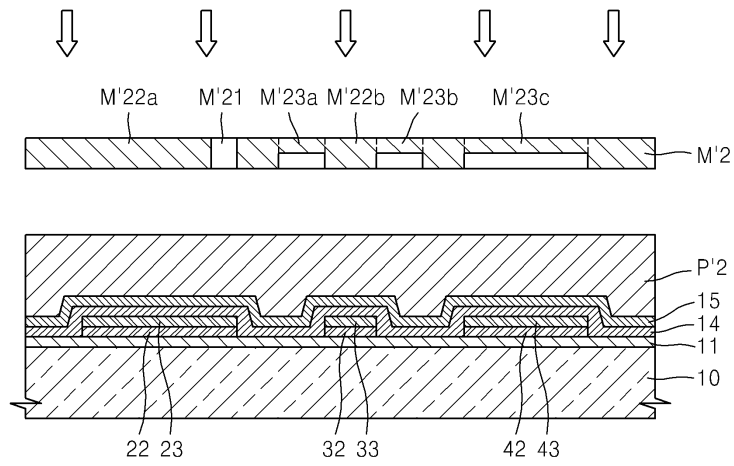
도면15



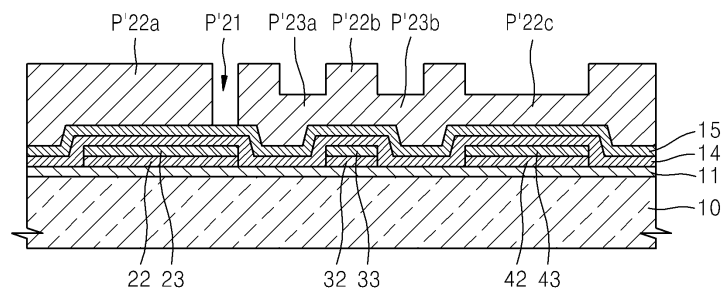
도면16



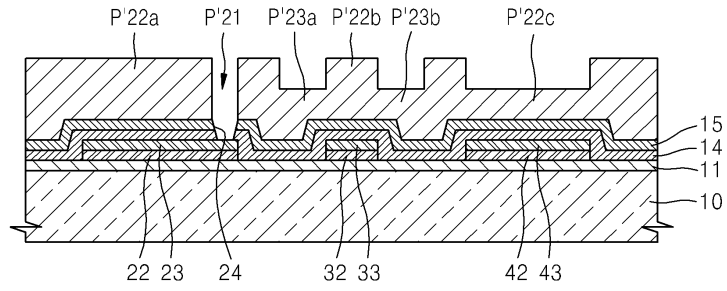
도면17



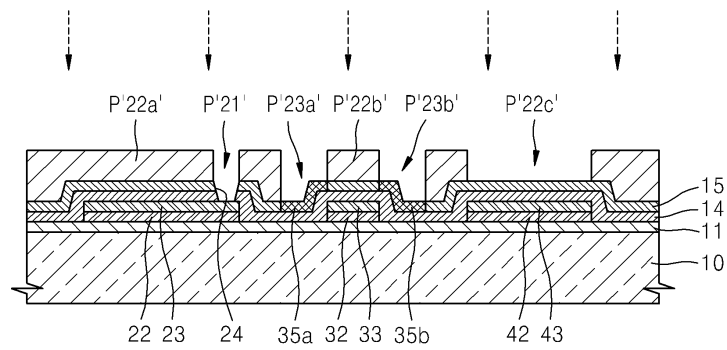
도면18



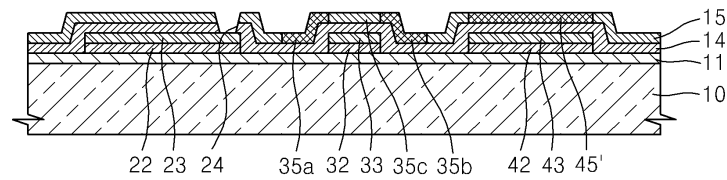
도면19



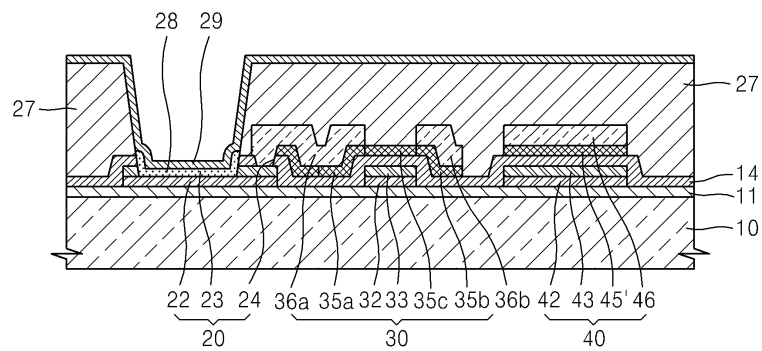
도면20



도면21



도면22



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 有机发光显示装置和制造有机发光显示装置的方法 | | |
| 公开(公告)号 | KR1020100116876A | 公开(公告)日 | 2010-11-02 |
| 申请号 | KR1020090035523 | 申请日 | 2009-04-23 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三圣母工作显示有限公司 | | |
| 当前申请(专利权)人(译) | 三圣母工作显示有限公司 | | |
| [标]发明人 | KANG JIN GYU | | |
| 发明人 | KANG, JIN GYU | | |
| IPC分类号 | H01L51/52 H01L51/56 H05B33/26 | | |
| CPC分类号 | H01L27/3246 H01L27/3265 H01L27/1214 H01L27/12 H01L27/3262 H01L27/326 H01L27/13 H01L27/1288 H01L27/1255 | | |
| 其他公开文献 | KR101050461B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

有机发光显示装置及其制造方法技术领域本发明涉及有机发光显示装置及其制造方法。栅电极，设置在基板上并包括金属氧化物层和金属层；半导体层，包括源/漏区和沟道层，栅极绝缘膜插入其间；以及源极/漏极至少一个薄膜晶体管包括电极；至少一个电容器包括所述栅电极和所述电容器相同的材料和第一电极在相同层中的相同的材料形成的电容器的形成，夹着栅极上的源/漏电极和相同的层间绝缘膜上的第二电极；和门电极像素电极在同一层上由相同材料形成并通过接触孔连接到源/漏电极，设置在像素电极上的有机发光层和覆盖有机发光层的对电极， OLED显示装置及其制造方法提供。

