



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월06일
(11) 등록번호 10-0810643
(24) 등록일자 2008년02월28일

(51) Int. Cl.

H05B 33/02 (2006.01)

(21) 출원번호 10-2007-0024584

(22) 출원일자 2007년03월13일

심사청구일자 2007년03월13일

(56) 선행기술조사문헌

KR100776481 B1

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

최중현

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

전우식

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인

박상수

전체 청구항 수 : 총 29 항

심사관 : 하정균

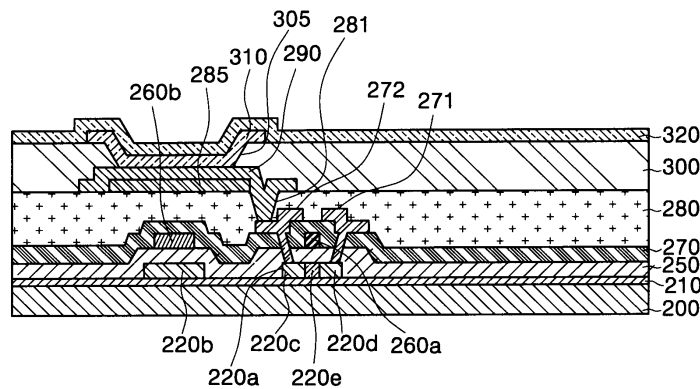
(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 균일한 전기적 특성을 갖는 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

본 발명은 기판; SGS 결정화 성장 영역으로 형성된 소스/드레인 영역 및 채널 영역을 포함하는 반도체층, 상기 반도체층의 일영역에 대응되도록 형성된 게이트 전극, 상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막, 및 상기 반도체층의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극을 포함하는 박막트랜지스터; 상기 기판 상에 상기 박막트랜지스터와 이격된 영역에 위치하며, SGS 결정화 시드 영역으로 형성된 캐패시터 제 1 전극, 상기 캐패시터 제 1 전극 상에 위치하는 상기 게이트 절연막, 및 상기 게이트 절연막 상에 위치하는 캐패시터 제 2 전극을 포함하는 캐패시터; 및 상기 박막트랜지스터에 전기적으로 연결되며, 제 1 전극, 발광층을 포함하는 유기막층 및 제 2 전극을 포함하는 유기전계발광다이오드를 포함하는 것을 특징으로 한다.

대표도 - 도2h



특허청구의 범위

청구항 1

기관;

SGS 결정화 성장 영역으로 형성된 소스/드레인 영역 및 채널 영역을 포함하는 반도체층,

상기 반도체층의 일영역에 대응되도록 형성된 게이트 전극,

상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막, 및

상기 반도체층의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극을 포함하는 박막트랜지스터;

상기 기관 상에 상기 박막트랜지스터와 이격된 영역에 위치하며, SGS 결정화 시드 영역으로 형성된 캐패시터 제 1 전극,

상기 캐패시터 제 1 전극 상에 위치하는 상기 게이트 절연막, 및

상기 게이트 절연막 상에 위치하는 캐패시터 제 2 전극을 포함하는 캐패시터; 및

상기 박막트랜지스터에 전기적으로 연결되며, 제 1 전극, 발광층을 포함하는 유기막층 및 제 2 전극을 포함하는 유기전계발광다이오드를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 반도체층은 채널영역의 길이 방향과 상기 SGS 결정화 성장 방향이 평행하게 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 1 항에 있어서,

상기 시드는 금속 촉매로 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 3 항에 있어서,

상기 금속 촉매는 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd 및 Pt로 이루어진 군에서 선택되는 어느 하나인 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 1 항에 있어서,

상기 캐패시터 제 1 전극은 금속실리사이드를 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제 1 항에 있어서,

상기 캐패시터 제 2 전극은 게이트 전극 또는 소스/드레인 전극과 동일한 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

기관을 제공하고,

상기 기관 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층 상에 제1 및 제2캐핑층을 형성하고,

상기 제2캐핑층을 식각하여 상기 제1캐핑층의 일부 영역을 노출시키며,
 상기 기판 전면에 금속 촉매층을 형성하고,
 상기 기판을 열처리하여 상기 노출된 제1캐핑층 하부 영역의 비정질 실리콘층을 결정화하여 SGS 결정화 시드 영역으로 형성하고, 상기 비정질 실리콘층의 나머지 영역을 결정화하여 SGS 결정화 성장 영역으로 형성하며,
 상기 제1캐핑층, 제2캐핑층 및 금속 촉매층을 제거하고,
 상기 결정화된 실리콘층을 패터닝하여 상기 SGS 결정화 시드 영역은 캐패시터의 제 1 전극으로, 상기 SGS 결정화 성장 영역은 반도체층으로 형성하고,
 상기 반도체층과 대응되는 영역에 게이트 전극을 형성하고,
 상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막을 형성하고,
 상기 게이트 절연막 상에 캐패시터 제 2 전극을 형성하며,
 상기 반도체층의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극을 형성하며,
 상기 소스/드레인 전극과 전기적으로 연결되도록 제 1 전극을 형성하고,
 상기 제 1 전극 상에 유기막층을 형성하며,
 상기 기판 전면에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 8

제 7 항에 있어서,
 상기 SGS 결정화가 수행되는 단계는 각 단위화소 외각의 메탈배선이 형성될 영역에 상기 SGS 결정성이 서로 만나게 되는 것을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 9

제 7 항에 있어서,
 상기 게이트 절연막 상에 상기 반도체층의 일부 영역과 대응되게 포토레지스트 패턴을 형성하고,
 상기 포토레지스트 패턴을 마스크로 이용하여 불순물 주입 공정을 진행하여 반도체층의 소스/드레인 영역 및 채널 영역을 정의하고, 상기 캐패시터의 제 1 전극에 불순물을 주입하며,
 상기 포토레지스트 패턴을 제거하는 것을 더욱 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 10

제 7 항에 있어서,
 상기 반도체층은 채널영역의 길이 방향과 상기 SGS 결정화 성장 방향이 평행하도록 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 11

제 7 항에 있어서,
 상기 금속 촉매층은 10^{11} 내지 10^{15} atoms/cm²의 면밀도로 형성되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 12

제 7 항에 있어서,
 상기 금속 촉매층은 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd 및 Pt로 이루어진 군에서 선택되는 어느 하나인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 13

제 7 항에 있어서,

상기 열처리는 200 내지 900℃의 온도 범위에서 수행하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 14

제 7 항에 있어서,

상기 SGS 결정화 성장 영역은 상기 SGS 결정화 시드 영역으로부터 결정성이 성장되어 결정화됨을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 15

제 1 단위화소영역, 배선영역 및 제 2 단위화소영역이 정의된 기관;

상기 기관의 제 1 단위화소영역 및 제 2 단위화소영역 상에 위치하며, SGS 결정화 성장 영역으로 형성된 소스/드레인 영역 및 채널 영역을 포함하는 반도체층들,

상기 반도체층들의 일영역에 대응되도록 형성된 게이트 전극들,

상기 반도체층들과 상기 게이트 전극들을 절연시키는 게이트 절연막, 및

상기 반도체층들의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극들을 포함하는 박막트랜지스터들;

상기 기관 상에 각 단위화소마다 배선영역을 중심으로 대칭적으로 위치하고, 상기 제 1 단위화소영역 및 제 2 단위화소영역 상에 위치하며 SGS 결정화 시드 영역으로 형성된 캐패시터 제 1 전극들,

상기 캐패시터 제 1 전극 상에 위치하는 상기 게이트 절연막, 및

상기 게이트 절연막 상에 위치하는 캐패시터 제 2 전극들을 포함하는 캐패시터들;

상기 박막트랜지스터에 전기적으로 연결되며, 제 1 전극, 발광층을 포함하는 유기막층 및 제 2 전극을 포함하는 유기전계발광다이오드들을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 16

제 15 항에 있어서,

상기 반도체층은 채널영역의 길이 방향과 상기 SGS 결정화 성장 방향이 평행하게 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 17

제 15 항에 있어서,

상기 시드는 금속 촉매로 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 18

제 17 항에 있어서,

상기 금속 촉매는 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd 및 Pt로 이루어진 군에서 선택되는 어느 하나인 것을 특징으로 하는 유기전계발광표시장치.

청구항 19

제 15 항에 있어서,

상기 캐패시터 제 1 전극은 금속실리사이드를 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 20

제 15 항에 있어서,

상기 캐패시터 제 2 전극은 게이트 전극 또는 소스/드레인 전극과 동일한 물질로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 21

제 15 항에 있어서,

상기 배선영역에 그레이н 바운더리가 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 22

제 1 단위화소영역, 배선영역 및 제 2 단위화소영역이 정의된 기판을 제공하고,

상기 기판 상에 비정질 실리콘층을 형성하며,

상기 비정질 실리콘층 상에 제1 및 제2캐핑층을 형성하고,

상기 배선영역을 중심으로 대칭되도록 이격된 영역의 제2캐핑층의 일부를 식각하여 상기 제1캐핑층의 일부 영역을 노출시키며,

상기 기판 전면에 금속 촉매층을 형성하고,

상기 기판을 열처리하여 상기 노출된 제1캐핑층 하부 영역들의 비정질 실리콘층을 결정화하여 SGS 결정화 시드 영역으로 형성하고, 상기 비정질 실리콘층의 나머지 영역을 결정화하여 SGS 결정화 성장 영역으로 형성하며,

상기 제1캐핑층, 제2캐핑층 및 금속 촉매층을 제거하고,

상기 결정화된 실리콘층을 패터닝하여 상기 SGS 결정화 시드 영역은 캐패시터의 제 1 전극들로, 상기 SGS 결정화 성장 영역은 반도체층들로 형성하며,

상기 반도체층들과 대응되는 영역에 게이트 전극들을 형성하고,

상기 반도체층들과 상기 게이트 전극들을 절연시키는 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 캐패시터 제 2 전극들을 형성하며,

상기 반도체층의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극들을 형성하며,

상기 소스/드레인 전극들과 전기적으로 연결되도록 제 1 전극들을 형성하고,

상기 제 1 전극들 상에 유기막층을 형성하며,

상기 기판 전면에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 23

제 22 항에 있어서,

상기 SGS 결정화가 수행되는 단계는 각 단위화소 외각의 메탈배선이 형성될 영역에 상기 SGS 결정성이 서로 만나게 되는 것을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 24

제 22 항에 있어서,

상기 게이트 절연막 상에 상기 반도체층의 일부 영역과 대응되게 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 마스크로 이용하여 불순물 주입 공정을 진행하여 반도체층의 소스/드레인 영역 및 채널 영역을 정의하고, 상기 캐패시터의 제 1 전극에 불순물을 주입하며,

상기 포토레지스트 패턴을 제거하는 것을 더욱 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 25

제 22 항에 있어서,

상기 반도체층은 채널영역의 길이 방향과 상기 SGS 결정화 성장 방향이 평행하도록 형성하는 것을 특징으로 하

는 유기전계발광표시장치의 제조방법.

청구항 26

제 22 항에 있어서,

상기 금속 촉매층은 10^{11} 내지 10^{15} atoms/cm² 의 면밀도로 형성되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 27

제 22 항에 있어서,

상기 금속 촉매층은 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd 및 Pt로 이루어진 군에서 선택되는 어느 하나인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 28

제 22 항에 있어서,

상기 열처리는 200 내지 900℃의 온도 범위에서 수행하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 29

제 22 항에 있어서,

상기 SGS 결정화 성장 영역은 상기 SGS 결정화 시드 영역으로부터 결정성이 성장되어 결정화됨을 특징으로 하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것으로, 보다 자세하게는 균일한 전기적 특성을 갖는 유기전계발광표시장치 및 그 제조방법에 관한 것이다.
- <17> 최근에 음극선관(Cathode Ray Tube)과 같은 종래의 표시소자의 단점을 해결하는 액정표시장치(Liquid Crystal Display Device), 유기전계발광표시장치(Organic Light Emitting Diode Display Device) 또는 PDP(Plasma Display Panel)등과 같은 평판형 표시장치(Flat Panel Display Device)가 주목받고 있다.
- <18> 이때, 상기 유기전계발광표시장치 또는 액정표시장치 등과 같은 평판형 표시소자에는 스위칭(switcing) 소자 또는 구동(driving) 소자로서, 박막트랜지스터(Thin Film Transistor)가 이용되고, 상기 박막트랜지스터와 연계되어 외부 신호를 저장하고, 다음 신호 주기까지 저장된 외부 신호를 공급해주는 캐패시터(Capacitor)가 이용된다.
- <19> 도 1a 내지 도 1e는 종래 기술에 의한 유기전계발광표시장치의 단면도이다.
- <20> 먼저, 도 1a를 참조하면, 플라스틱 또는 유리로 이루어진 기판(100) 상에 버퍼층(110)을 형성하고, 상기 버퍼층(100) 상에 비정질 실리콘층을 형성한 후, 패터닝하여 반도체층(120) 및 캐패시터 제 1 전극(125)을 형성한다. 이어서, 상기 기판(100) 상에 절연막(130)을 형성한다.
- <21> 다음에, 도 1b를 참조하면, 상기 반도체층(120)과 대응되는 영역에 포토레지스트패턴(140)을 형성한다. 상기 포토레지스트패턴(140)을 마스크로 이용하여 불순물 주입 공정을 진행하여 상기 반도체층(120)의 소스/드레인 영역 및 채널 영역을 정의하고, 상기 캐패시터 제 1 전극(125)에 불순물을 주입한다.
- <22> 이후에 도 1c를 참조하면, 상기 절연막(130)을 식각하여 절연막 패턴을 형성하고, 상기 기판 상에 금속촉매층(150)을 형성하고, 상기 반도체층(120) 및 캐패시터 제 1 전극(125) 이외의 영역의 금속촉매층(150)을

제거한다.

- <23> 이어서, 도 1d를 참조하면, 상기 기판(100) 상에 게이트 절연막(160)을 형성하고, 상기 기판을 열처리하여 소스/드레인 영역 및 캐패시터의 제 1 전극(125)을 MIC 결정화법으로 결정화하고, 상기 채널 영역을 MILC 결정화법으로 결정화한다.
- <24> 이후에, 도 1e를 참조하면, 상기 반도체층(120) 영역과 대응되게 게이트 전극(170)을 형성하고, 상기 캐패시터 제 1 전극(125)과 대응되게 캐패시터 제 2 전극(175)을 형성한다. 이어, 상기 기판(100) 상에 층간 절연막(180)을 형성하고, 상기 층간 절연막(180) 상에 소스/드레인 전극(191, 192)을 형성하여 박막 트랜지스 및 캐패시터를 완성하고, 도면에는 표시하지 않았지만, 제 1 전극, 유기막층, 제 2 전극을 형성하여 종래 기술에 따른 유기전계발광표시장치를 완성한다.
- <25> 그러나, 상기와 같이, 반도체층을 MIC/MILC법을 사용하여 결정화하면, 채널 영역에서 MILC 결정성과 MILC 결정성이 만나 결정화되지 않은 영역인 MILC 프런트(front)가 생기게 되고, 상기 프런트(front)는 전하의 이동도(mobility)를 저하시켜 소자의 특성이 저하되는 단점이 있다.

발명이 이루고자 하는 기술적 과제

- <26> 따라서, 본 발명은 상기와 같은 종래 기술의 제반단점과 문제점을 해결하기 위한 것으로, 균일한 전기적 특성을 갖는 유기전계발광표시장치 및 그 제조방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

- <27> 본 발명의 상기 목적은
- <28> 기판;
- <29> SGS 결정화 성장 영역으로 형성된 소스/드레인 영역 및 채널 영역을 포함하는 반도체층,
- <30> 상기 반도체층의 일영역에 대응되도록 형성된 게이트 전극,
- <31> 상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막, 및
- <32> 상기 반도체층의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극을 포함하는 박막트랜지스터;
- <33> 상기 기판 상에 상기 박막트랜지스터와 이격된 영역에 위치하며, SGS 결정화 시드 영역으로 형성된 캐패시터 제 1 전극,
- <34> 상기 캐패시터 제 1 전극 상에 위치하는 상기 게이트 절연막, 및
- <35> 상기 게이트 절연막 상에 위치하는 캐패시터 제 2 전극을 포함하는 캐패시터; 및
- <36> 상기 박막트랜지스터에 전기적으로 연결되며, 제 1 전극, 발광층을 포함하는 유기막층 및 제 2 전극을 포함하는 유기전계발광다이오드를 포함하는 것을 특징으로 하는 유기전계발광표시장치에 의해 달성된다.
- <37> 또한, 본 발명의 상기 목적은,
- <38> 기판을 제공하고,
- <39> 상기 기판 상에 비정질 실리콘층을 형성하고,
- <40> 상기 비정질 실리콘층 상에 제1 및 제2캡핑층을 형성하고,
- <41> 상기 제2캡핑층을 식각하여 상기 제1캡핑층의 일부 영역을 노출시키며,
- <42> 상기 기판 전면에 금속 촉매층을 형성하고,
- <43> 상기 기판을 열처리하여 상기 노출된 제1캡핑층 하부 영역의 비정질 실리콘층을 결정화하여 SGS 결정화 시드 영역으로 형성하고, 상기 비정질 실리콘층의 나머지 영역을 결정화하여 SGS 결정화 성장 영역으로 형성하며,
- <44> 상기 제1캡핑층, 제2캡핑층 및 금속 촉매층을 제거하고,
- <45> 상기 결정화된 실리콘층을 패터닝하여 상기 SGS 결정화 시드 영역은 캐패시터의 제 1 전극으로, 상기 SGS 결정화 성장 영역은 반도체층으로 형성하고,

- <46> 상기 반도체층과 대응되는 영역에 게이트 전극을 형성하고,
- <47> 상기 반도체층과 상기 게이트 전극을 절연시키는 게이트 절연막을 형성하고,
- <48> 상기 게이트 절연막 상에 캐패시터 제 2 전극을 형성하며,
- <49> 상기 반도체층의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극을 형성하며,
- <50> 상기 소스/드레인 전극과 전기적으로 연결되도록 제 1 전극을 형성하고,
- <51> 상기 제 1 전극 상에 유기막층을 형성하며,
- <52> 상기 기판 전면에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법에 의해서도 달성된다.
- <53> 또한, 본 발명의 상기 목적은,
- <54> 제 1 단위화소영역, 배선영역 및 제 2 단위화소영역이 정의된 기판;
- <55> 상기 기판의 제 1 단위화소영역 및 제 2 단위화소영역 상에 위치하며, SGS 결정화 성장 영역으로 형성된 소스/드레인 영역 및 채널 영역을 포함하는 반도체층들,
- <56> 상기 반도체층들의 일영역에 대응되도록 형성된 게이트 전극들,
- <57> 상기 반도체층들과 상기 게이트 전극들을 절연시키는 게이트 절연막, 및
- <58> 상기 반도체층들의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극들을 포함하는 박막트랜지스터들;
- <59> 상기 기판 상에 각 단위화소마다 배선영역을 중심으로 대칭적으로 위치하고, 상기 제 1 단위화소영역 및 제 2 단위화소영역 상에 위치하며 SGS 결정화 시드 영역으로 형성된 캐패시터 제 1 전극들,
- <60> 상기 캐패시터 제 1 전극 상에 위치하는 상기 게이트 절연막, 및
- <61> 상기 게이트 절연막 상에 위치하는 캐패시터 제 2 전극들을 포함하는 캐패시터들;
- <62> 상기 박막트랜지스터에 전기적으로 연결되며, 제 1 전극, 발광층을 포함하는 유기막층 및 제 2 전극을 포함하는 유기전계발광다이오드들을 포함하는 것을 특징으로 하는 유기전계발광표시장치에 의해서도 달성된다.
- <63> 또한, 본 발명의 상기 목적은,
- <64> 제 1 단위화소영역, 배선영역 및 제 2 단위화소영역이 정의된 기판을 제공하고,
- <65> 상기 기판 상에 비정질 실리콘층을 형성하며,
- <66> 상기 비정질 실리콘층 상에 제1 및 제2캐핑층을 형성하고,
- <67> 상기 배선영역을 중심으로 대칭되도록 이격된 영역의 제2캐핑층의 일부를 식각하여 상기 제1캐핑층의 일부 영역을 노출시키며,
- <68> 상기 기판 전면에 금속 촉매층을 형성하고,
- <69> 상기 기판을 열처리하여 상기 노출된 제1캐핑층 하부 영역들의 비정질 실리콘층을 결정화하여 SGS 결정화 시드 영역으로 형성하고, 상기 비정질 실리콘층의 나머지 영역을 결정화하여 SGS 결정화 성장 영역으로 형성하며,
- <70> 상기 제1캐핑층, 제2캐핑층 및 금속 촉매층을 제거하고,
- <71> 상기 결정화된 실리콘층을 패터닝하여 상기 SGS 결정화 시드 영역은 캐패시터의 제 1 전극들로, 상기 SGS 결정화 성장 영역은 반도체층들로 형성하며,
- <72> 상기 반도체층들과 대응되는 영역에 게이트 전극들을 형성하고,
- <73> 상기 반도체층들과 상기 게이트 전극들을 절연시키는 게이트 절연막을 형성하고,
- <74> 상기 게이트 절연막 상에 캐패시터 제 2 전극들을 형성하며,
- <75> 상기 반도체층의 소스/드레인 영역에 전기적으로 연결된 소스/드레인 전극들을 형성하며,
- <76> 상기 소스/드레인 전극들과 전기적으로 연결되도록 제 1 전극들을 형성하고,

- <77> 상기 제 1 전극들 상에 유기막층을 형성하며,
- <78> 상기 기판 전면에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법에 의해서도 달성된다.
- <79> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <80> <실시예 1>
- <81> 도 2a 내지 도 2h는 본 발명의 제 1 실시 예에 따른 유기전계발광표시장치의 단면도 및 평면도이다.
- <82> 먼저 도 2a를 참조하면, 플라스틱, 도전성기판 또는 투명 유리로 이루어진 기판(200)을 제공한다. 상기 기판(200) 상에 버퍼층(210)을 형성한다. 상기 버퍼층(210)은 화학적 기상 증착(Cheical Vapor Deposition)법 또는 물리적 기상 증착(Physical Vapor Deposition)법을 이용하여 실리콘 산화막, 실리콘 질화막과 같은 절연막을 이용하여 단층 또는 이들의 복층으로 형성하는 것이 바람직하다. 이때, 상기 버퍼층(210)은 상기 기판(200)에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화 시 열의 전달 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- <83> 이어서, 상기 기판(200) 전면에 비정질 실리콘층(220)을 형성한다. 상기 비정질 실리콘층(220)은 스퍼터(Sputter) 장치와 같은 물리적 기상 증착법(Physical Vapor Deposition) 또는 PECVD(Plasma Enhanced Chemical Vapor Deposition) 또는 LPCVD(Low Pressure Chemical Vapor Deposition) 장치와 같은 화학적 기상 증착법(Cheical Vapor Deposition)을 이용하여 형성할 수 있다. 또한, 상기 비정질 실리콘층(220)을 형성할 때, 또는, 형성한 후에 탈수소 처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다.
- <84> 이어서, 상기 기판(200) 전면에 제1캐핑층(230a) 및 제2캐핑층(230b)을 형성한다. 상기 캐핑층들은 추후의 공정에서 형성되는 금속 촉매가 열처리 공정을 통해 확산할 수 있는 실리콘 질화막으로 형성하는 것이 바람직하고, 실리콘 질화막과 실리콘 산화막의 복층을 사용할 수 있다. 또한, 상기 캐핑층들은 화학적 기상 증착법 또는 물리적 기상 증착법 등과 같은 방법으로 형성하며, 이때, 상기 캐핑층들의 두께는 1 내지 2000Å으로 형성하는 것이 바람직하다.
- <85> 이후에, 도 2b를 참조하면, 상기 제2캐핑층(230b)의 일부 영역, 즉 상기 비정질 실리콘층(220)이 추후 캐패시터 제 1 전극으로 형성될 영역에 해당하는 상부의 제2캐핑층(230b)의 일부 영역을 식각하여 개구부(235)를 형성한다.
- <86> 이어서, 상기 기판(200) 전면에 금속 촉매를 증착하여 금속 촉매층(240)을 형성한다. 이때, 상기 금속 촉매는 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd 및 Pt로 이루어진 군에서 선택되는 어느 하나를 사용할 수 있는데, 바람직하게는 니켈(Ni)을 이용한다. 이때, 상기 금속 촉매층(240)은 10^{11} 내지 10^{15} atoms/cm²의 면밀도로 형성하는데, 상기 금속 촉매가 10^{11} atoms/cm²의 면밀도보다 적게 형성된 경우에는 결정화의 핵인 시드의 양이 적어 상기 비정질 실리콘층이 다결정 실리콘층으로 결정화하기 어렵고, 상기 금속 촉매가 10^{15} atoms/cm²의 면밀도보다 많게 형성된 경우에는 비정질 실리콘층으로 확산되는 금속 촉매의 양이 많아 다결정 실리콘층의 결정립이 작아지게 되는 단점이 있다.
- <87> 이어, 상기 버퍼층(210), 비정질 실리콘층(220), 제1캐핑층(230a), 제2캐핑층(230b) 및 금속 촉매층(240)이 형성된 기판(200)을 열처리하여 금속 촉매층(240)의 금속 촉매 중 일부를 비정질 실리콘층(220)의 표면으로 이동시킨다. 즉, 열처리에 의해 제1캐핑층(230a)을 통과하여 확산하는 금속 촉매들 중 미량의 금속 촉매들만이 비정질 실리콘층(220)으로 확산하게 되고, 대부분의 금속 촉매들은 상기 비정질 실리콘층(220)에 도달하지도 못하거나 제1 및 제2캐핑층(230a, 230b)를 통과하지 못하게 된다.
- <88> 따라서, 상기 제1 및 제2캐핑층(230a, 230b)의 확산 저지 능력에 의해 비정질 실리콘층(220)의 표면에 도달하는 금속 촉매의 양이 결정되어 지는데, 상기 캐핑층들의 확산 저지 능력은 상기 캐핑층들의 두께와 밀접한 관계가 있다. 즉, 캐핑층의 두께가 두꺼워질수록 확산되는 양은 적어지게 되어 결정립의 크기가 커지게 되고, 두께가 얇아질수록 확산되는 양은 많아지게 되어 결정립의 크기는 작아지게 된다.
- <89> 이때, 상기 열처리 공정은 200 내지 900℃의 온도 범위에서 수 초 내지 수 시간 동안 수행하여 상기 금속 촉매

를 확산시키게 되는데, 상기 열처리 공정은 로(Furnace) 공정, RTA(Rapid Thermal Annealing) 공정, UV 공정 또는 레이저(Laser) 공정 중 어느 하나의 공정을 이용할 수 있다.

- <90> 따라서, 상기 제1캐핑층(230a)을 통과하여 비정질 실리콘층(220)으로 확산한 금속 촉매가 비정질 실리콘층의 실리콘과 결합하여 금속 실리사이드를 형성하고, 상기 금속 실리사이드가 결정화의 핵인 시드(seed)를 형성하게 되어 비정질 실리콘층을 다결정 실리콘층으로 결정화하게 된다.
- <91> 상기와 같이, 비정질 실리콘층 상에 캐핑층을 형성하고, 상기 캐핑층 상에 금속 촉매층을 형성한 후 열처리하여 금속 촉매를 확산시킨 후, 상기 확산된 금속 촉매에 의해 비정질 실리콘층이 다결정 실리콘층으로 결정화하는 방법을 SGS(Super Grained Silicon) 결정화법이라 한다.
- <92> 즉, 도 2b에 도시된 A 영역은 상기 제1캐핑층(230a)을 통과하여 비정질 실리콘층(220)으로 확산한 금속 촉매가 실리콘과 결합하여 금속 실리사이드인 시드를 형성하게 되어, 시드가 존재하는 SGS 결정화 시드 영역이 되고, B 영역은 제1 및 제2캐핑층(230a, 230b)으로 인해 금속 촉매가 비정질 실리콘층(220)으로 확산되지 못하여 시드가 거의 존재하지 않고, 상기 SGS 결정화 시드 영역으로부터 결정이 성장하여 다결정 실리콘층으로 결정화되는 SGS 결정화 성장 영역이 되게 된다.
- <93> 보다 자세하게 도 2c를 참조하면, 단위화소 영역이 도시되어 있고, 상기 단위화소의 개구부(235)를 통해 도 2b의 A 영역인 SGS 결정화 시드 영역이 형성되고, 상기 SGS 결정화 시드 영역의 주변 영역인 B 영역은 상기 SGS 결정화 시드 영역으로부터 결정이 성장하여 다결정 실리콘으로 결정화되는 SGS 결정화 성장 영역이 되게 된다. 따라서, 추후 메탈배선이 형성될 단위화소의 외곽 영역에서 다른 단위화소의 SGS 결정화 성장이 만나게 되어 그레인 바운더리(grain boundary)가 생기게 된다.
- <94> 따라서, 각 단위화소 내에 그레인 바운더리가 없는 균일한 다결정 실리콘층이 존재하게 되고, SGS 결정화 시드 영역을 제외한 각 단위화소 내의 어디에나 그레인 바운더리가 없는 반도체층을 형성할 수 있다는 이점이 있다.
- <95> 이어서, 도 2d를 참조하면, 상기 제1캐핑층(230a), 제2캐핑층(230b) 및 금속 촉매층(240)을 제거한 후, 상기 결정화된 다결정 실리콘층을 패터닝하여 반도체층(220a) 및 캐패시터 제 1 전극(220b)을 형성한다.
- <96> 여기서, 상기 캐패시터 제 1 전극(220b)은 이전 결정화 공정에서 SGS 결정화 시드 영역을 사용하는데, 이는 캐패시터가 금속에 가까울수록 특성이 좋아지기 때문에 금속 실리사이드가 존재하는 시드 영역을 그대로 사용하는 것이 바람직하기 때문이다.
- <97> 또한, 상기 반도체층(220a)은 이전 결정화 공정에서 SGS 결정화 성장 영역으로, 상기 반도체층의 채널 영역의 길이 방향과 SGS 결정화 성장 방향이 평행하도록 형성하는 것이 바람직하다. 즉, 상기 반도체층(220a)의 채널 영역의 길이 방향이 SGS 결정화가 이루어지는 방향에 평행하도록 형성되기 때문에, 그레인 바운더리가 없는 채널 영역을 형성할 수 있어, 전하의 이동도(mobility)를 저하시키지 않고 소자의 전기적 특성을 향상시킬 수 있다.
- <98> 이후에, 도 2e를 참조하면, 상기 기판(200) 전면에 게이트 절연막(250)을 형성한다. 상기 게이트 절연막(250)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이종층일 수 있고, 캐패시터의 제 1 전극(220b)과 추후 형성되는 캐패시터 제 2 전극 사이에 위치함으로써, 상기 게이트 절연막(250)의 두께를 조절하여 캐패시터의 정전 용량(capacitance)을 조절할 수 있는데, 정전 용량은 캐패시터의 절연막의 두께가 얇을수록 커짐으로 상기 게이트 절연막(250)의 두께는 얇게 형성하는 것이 바람직하다.
- <99> 다음에, 상기 기판(200) 상에 포토레지스트를 스핀 코팅과 같은 방법으로 도포하고, 노광 및 현상 공정을 진행하여 상기 반도체층(220a)의 일부 영역에 포토레지스트 패턴(251)을 형성한다. 이때, 상기 포토레지스트 패턴(251)은 상기 반도체층(220a)의 중심부에 형성하는 것이 바람직하다. 이는 상기 포토레지스트 패턴(251)이 형성된 영역이 이후 반도체층(220a)의 채널 영역으로 정의되기 때문이다.
- <100> 이어서, 상기 포토레지스트 패턴(251)이 형성된 기판(200) 전면에 상기 포토레지스트 패턴(251)을 마스크로 하여 불순물 주입 공정을 시행한다. 이로써, 상기 반도체층(220a) 영역에 소스/드레인 영역(220c, 220d)과 채널 영역(220e)이 정의된다. 이때, 상기 반도체층(220a)이 소스/드레인 영역(220c, 220d)과 채널 영역(220e)으로 나누어지는 것은 상기 불순물 주입 공정에 의해 불순물이 주입된 영역은 소스/드레인 영역(220c, 220d)으로 정의되고, 상기 포토레지스트 패턴(251)에 의해 불순물이 주입되지 못하는 영역은 채널(220e)로 정의되어지기 때문이다.
- <101> 또한, 상기 캐패시터 제 1 전극(220b)에도 불순물이 주입되는데 이는 캐패시터의 전극은 전기적 특성이 도체에

가까울수록 캐패시터의 특성이 우수해짐으로써 반도체인 실리콘에 불순물을 주입하여 도체에 가깝도록 하기 위함이다.

- <102> 이어서, 도 2f를 참조하면, 상기 불순물 주입 공정이 끝난 후, 상기 포토레지스트 패턴(251)을 제거하고, 상기 기판(200) 전면에 게이트 전극 및 캐패시터 제 2 전극을 동시에 형성하는 도전 물질을 증착한 후, 상기 반도체층(220a)의 일부 영역과 상기 캐패시터 제 1 전극에 대응되게 패터닝하여 게이트 전극(260a) 및 캐패시터 제 2 전극(260b)을 형성하여 캐패시터를 완성한다. 이때, 상기 캐패시터 제 2 전극(260b)은 게이트 전극 또는 소스/드레인 전극과 동일한 물질로 이루어질 있다.
- <103> 이후에, 상기 기판(200) 전면에 층간 절연막(270)을 형성하고, 상기 층간 절연막(270) 및 게이트 절연막(250)의 일부 영역을 식각하여 반도체층(220a)의 소스/드레인 영역(220c, 220d)의 표면을 노출시킨 후, 소스/드레인 전극 물질을 증착하고, 패터닝하여 소스/드레인 전극(271, 272)을 형성하여 박막트랜지스터를 완성한다.
- <104> 상기와 같이, SGS 결정화법을 이용하여 반도체층의 채널 영역에 그레이인 바운더리가 존재하지 않게 함으로써, 전하의 이동도를 향상시켜 전기적 특성을 향상시킬 수 있는 이점이 있다.
- <105> 상기 본 발명의 일실시예에 따른 박막트랜지스터는 하기에 개시하는 유기전계발광표시장치에 한정되는 것은 아니며, 액정표시장치 등의 기타 표시장치에도 사용될 수 있다.
- <106> 이어서, 도 2g를 참조하면, 상기 기판(200) 전면에 평탄화막(280)을 형성한다. 상기 평탄화막(280)은 유기막 또는 무기막으로 형성하거나 이들의 복합막으로 형성할 수 있다. 상기 평탄화막(280)을 무기막으로 형성하는 경우는 SOG(spin on glass)를 사용하여 형성하는 것이 바람직하고, 유기막으로 형성하는 경우 아크릴계 수지, 폴리이미드계 수지 또는 BCB(benzocyclobutene)을 사용하여 형성하는 것이 바람직하다. 또한, 상기 평탄화막(280)은 소스/드레인 전극(271, 272)중 어느 하나를 노출시키는 비어홀(281)을 구비한다.
- <107> 상기 평탄화막(280) 상에 반사막(285)을 포함하는 제 1 전극(290)을 형성한다. 상기 제 1 전극(290)은 상기 비어홀(281)의 바닥에 위치하여 상기 노출된 소스/드레인 전극(271, 272)중 어느 하나에 접하고, 상기 평탄화막(280) 상으로 연장된다. 상기 제 1 전극(290)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 사용할 수 있다.
- <108> 이어서, 도 2h를 참조하면, 상기 제 1 전극(290)을 포함한 기판(200) 전면에 화소정의막(300)을 형성하되, 상기 제 1 전극(290)이 위치한 비어홀(281)을 충분히 채울 수 있을 정도의 두께로 형성한다. 상기 화소정의막(300)은 유기막 또는 무기막으로 형성할 수 있으나, 바람직하게는 유기막으로 형성한다. 더욱 바람직하게는 상기 화소정의막(300)은 BCB(benzocyclobutene), 아크릴계 고분자 및 폴리이미드로 이루어진 군에서 선택되는 하나이다. 상기 화소정의막(300)은 유동성(flowability)이 뛰어나므로 상기 기판(200) 전체에 평탄하게 형성할 수 있다. 상기 화소정의막(300)을 식각하여 상기 제 1 전극(290)을 노출시키는 개구부(305)를 형성한다.
- <109> 이어서, 상기 개구부(305)를 통해 노출된 제 1 전극(290) 상에 유기막층(310)을 형성한다. 상기 유기막층(310)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층중 어느 하나 이상의 층을 추가로 포함할 수 있다.
- <110> 상기 유기막층(310)은 풀컬러를 구현하기 위한 R, G, B 발광층임이 바람직하고, 또는 화이트를 구현하는 유기물질로 이루어지거나 R, G, B가 적층되어 화이트를 구현하는 발광층일 수 있다.
- <111> 이어서, 상기 기판(200) 전면에 투과전극으로 투명하면서 일함수가 낮은 Mg, Ag, Al, Ca 및 이들의 합금으로 이루어질 수 있는 제 2 전극(320)을 형성하여 본 발명의 제 1 실시 예에 따른 유기전계발광표시장치를 완성한다.
- <112> 상기와 같이, SGS 결정화법을 이용하여 반도체층의 채널 영역에 그레이인 바운더리가 존재하지 않게 함으로써, 전하의 이동도를 향상시켜 전기적 특성을 향상된 유기전계발광표시장치를 제공할 수 있는 이점이 있다.
- <113> <실시예 2>
- <114> 도 3은 본 발명의 제 2 실시 예에 따른 유기전계발광표시장치의 평면도이다.
- <115> 도 3를 참조하면, 일방향으로 배열된 스캔 라인(1), 상기 스캔 라인(1)과 서로 절연되면서 교차하는 데이터 라인(2) 및 상기 데이터 라인(2)과 서로 절연되면서 교차하고 상기 스캔 라인(1)에 평행하게 공통 전원전압라인(3)이 위치한다. 상기 스캔 라인(1), 상기 데이터 라인(2) 및 공통 전원전압라인(3)에 의해 다수의 단위화소, 예를 들면, 적색(R), 녹색(G) 및 청색(B)의 단위화소로 정의된다.

- <116> 이로써, 상기 각 단위화소에는 상기 스캔 라인(1)에 인가된 신호에 따라 상기 데이터 라인(2)에 인가된 데이터 신호를, 예를 들면, 데이터 전압과 상기 공통 전원라인(3)에 인가된 전압차에 따른 전하를 축적하는 캐패시터(7) 및 상기 캐패시터(7)에 축적된 전하에 의한 신호를 상기 스위칭 박막트랜지스터(5)를 통해 구동 박막트랜지스터(6)로 입력한다.
- <117> 이어서 데이터 신호를 입력받은 상기 구동 박막트랜지스터(6)는 화소전극, 상부전극 및 두 전극 사이에 유기발광층을 구비한 상기 유기 발광 다이오드(8)에 전기적 신호를 보내 광을 방출하게 한다.
- <118> 도 4a 내지 4f는 도 3의 I-I'에 따른 유기전계발광표시장치의 단면도이다.
- <119> 도 4a를 참조하면, 먼저 도 4a를 참조하면, 플라스틱, 도전성기판 또는 투명 유리로 이루어진 기판(400)을 제공한다. 상기 기판(400)은 제 1 단위화소영역(a), 배선영역(b) 및 제 2 단위화소영역(c)이 정의되어 있다.
- <120> 상기 기판(400) 상에 버퍼층(410)을 형성한다. 상기 버퍼층(410)은 화학적 기상 증착(Chemical Vapor Deposition)법 또는 물리적 기상 증착(Physical Vapor Deposition)법을 이용하여 실리콘 산화막, 실리콘 질화막과 같은 절연막을 이용하여 단층 또는 이들의 복층으로 형성하는 것이 바람직하다. 이때, 상기 버퍼층(410)은 상기 기판(400)에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화 시 열의 전달 속도를 조절함으로써, 비정질 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- <121> 이어서, 상기 기판(400) 전면에 비정질 실리콘층(420a)을 형성한다. 상기 비정질 실리콘층(420a)은 스퍼터(Sputter) 장치와 같은 물리적 기상 증착법(Physical Vapor Deposition) 또는 PECVD(Plasma Enhanced Chemical Vapor Deposition) 또는 LPCVD(Low Pressure Chemical Vapor Deposition) 장치와 같은 화학적 기상 증착법(Chemical Vapor Deposition)을 이용하여 형성할 수 있다. 또한, 상기 비정질 실리콘층(420a)을 형성할 때, 또는, 형성한 후에 탈수소 처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다.
- <122> 이어서, 상기 기판(400) 전면에 제1캐핑층(430a) 및 제2캐핑층(430b)을 형성한다. 상기 캐핑층들은 추후의 공정에서 형성되는 금속 촉매가 열처리 공정을 통해 확산할 수 있는 실리콘 질화막으로 형성하는 것이 바람직하고, 실리콘 질화막과 실리콘 산화막의 복층을 사용할 수 있다. 또한, 상기 캐핑층들은 화학적 기상 증착법 또는 물리적 기상 증착법 등과 같은 방법으로 형성하며, 이때, 상기 캐핑층들의 두께는 1 내지 2000Å으로 형성하는 것이 바람직하다.
- <123> 이후에, 도 4b를 참조하면, 상기 제2캐핑층(430b)의 일부 영역, 즉 상기 비정질 실리콘층(420a)이 추후 캐패시터 제 1 전극으로 형성될 영역에 해당하는 상부의 제2캐핑층(430b)의 일부 영역을 식각하여 개구부(435a, 435b)를 형성한다.
- <124> 이때, 상기 개구부(435a, 435b)는 배선영역(b)을 중심으로 대칭되도록 이격된 영역의 제2캐핑층(430b)을 식각하여 상기 제1캐핑층(430a)의 일부 영역을 노출시킨다. 이는 추후 SGS 결정화 공정시, 그레인 바운더리를 상기 배선영역(b)에 형성시키기 위함이다.
- <125> 이어서, 상기 기판(400) 전면에 금속 촉매를 증착하여 금속 촉매층(440)을 형성한다. 이때, 상기 금속 촉매는 Ni, Pd, Ti, Ag, Au, Al, Sn, Sb, Cu, Co, Mo, Tr, Ru, Rh, Cd 및 Pt로 이루어진 군에서 선택되는 어느 하나를 사용할 수 있는데, 바람직하게는 니켈(Ni)을 이용한다. 이때, 상기 금속 촉매층(440)은 10^{11} 내지 10^{15} atoms/cm²의 면밀도로 형성하는데, 상기 금속 촉매가 10^{11} atoms/cm²의 면밀도보다 적게 형성된 경우에는 결정화의 핵인 시드의 양이 적어 상기 비정질 실리콘층이 다결정 실리콘층으로 결정화하기 어렵고, 상기 금속 촉매가 10^{15} atoms/cm²의 면밀도보다 많게 형성된 경우에는 비정질 실리콘층으로 확산되는 금속 촉매의 양이 많아 다결정 실리콘층의 결정립이 작아지게 되는 단점이 있다.
- <126> 이어, 상기 버퍼층(410), 비정질 실리콘층(420a), 제1캐핑층(430a), 제2캐핑층(430b) 및 금속 촉매층(440)이 형성된 기판(400)을 열처리하여 금속 촉매층(440)의 금속 촉매 중 일부를 비정질 실리콘층(420a)의 표면으로 이동시킨다. 즉, 열처리에 의해 제1캐핑층(430a)을 통과하여 확산하는 금속 촉매들 중 미량의 금속 촉매들만이 비정질 실리콘층(420a)으로 확산하게 되고, 대부분의 금속 촉매들은 상기 비정질 실리콘층(420a)에 도달하지도 못하거나 제1 및 제2캐핑층(430a, 430b)를 통과하지 못하게 된다.
- <127> 따라서, 상기 제1 및 제2캐핑층(430a, 430b)의 확산 저지 능력에 의해 비정질 실리콘층(420a)의 표면에 도달하는 금속 촉매의 양이 결정되어 지는데, 상기 캐핑층들의 확산 저지 능력은 상기 캐핑층들의 두께와 밀접한 관계가 있다. 즉, 캐핑층의 두께가 두꺼워질수록 확산되는 양은 적어지게 되어 결정립의 크기가 커지게 되고, 두께

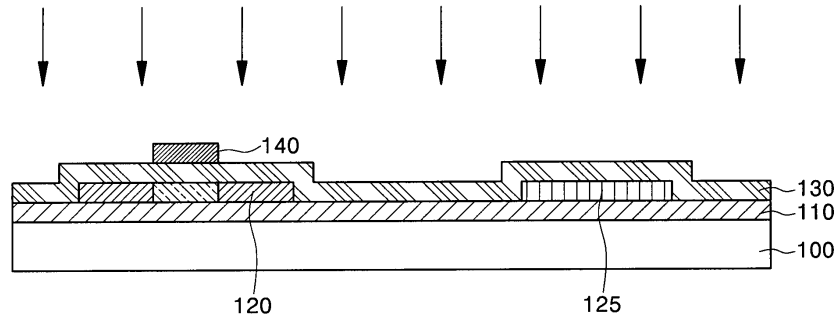
가 얇아질수록 확산되는 양은 많아지게 되어 결정립의 크기는 작아지게 된다.

- <128> 이때, 상기 열처리 공정은 200 내지 900℃의 온도 범위에서 수 초 내지 수 시간 동안 수행하여 상기 금속 촉매를 확산시키게 되는데, 상기 열처리 공정은 로(Furnace) 공정, RTA(Rapid Thermal Annealing) 공정, UV 공정 또는 레이저(Laser) 공정 중 어느 하나의 공정을 이용할 수 있다.
- <129> 따라서, 상기 제1캡핑층(430a)을 통과하여 비정질 실리콘층(420a)으로 확산한 금속 촉매가 비정질 실리콘층의 실리콘과 결합하여 금속 실리사이드를 형성하고, 상기 금속 실리사이드가 결정화의 핵인 시드(seed)를 형성하게 되어 비정질 실리콘층을 다결정 실리콘층으로 결정화하게 된다.
- <130> 상기와 같이, 비정질 실리콘층 상에 캡핑층을 형성하고, 상기 캡핑층 상에 금속 촉매층을 형성한 후 열처리하여 금속 촉매를 확산시킨 후, 상기 확산된 금속 촉매에 의해 비정질 실리콘층이 다결정 실리콘층으로 결정화하는 방법을 SGS(Super Grained Silicon) 결정화법이라 한다.
- <131> 즉, 도 4b에 도시된 A 영역은 상기 제1캡핑층(430a)을 통과하여 비정질 실리콘층(420a)으로 확산한 금속 촉매가 실리콘과 결합하여 금속 실리사이드인 시드를 형성하게 되어 시드가 존재하는 SGS 결정화 시드 영역이 되고, B 영역은 제1 및 제2캡핑층(430a, 430b)으로 인해 금속 촉매가 비정질 실리콘층(420a)으로 확산되지 못하여 시드가 거의 존재하지 않고, 상기 SGS 결정화 시드 영역으로부터 결정이 성장하여 다결정 실리콘층으로 결정화되는 SGS 결정화 성장 영역이 되게 된다.
- <132> 보다 자세하게, 상기 제 1 및 제 2 단위화소영역(a,b)의 개구부(435a,435b)를 통해 A 영역인 SGS 결정화 시드 영역이 형성되고, 상기 SGS 결정화 시드 영역의 주변 영역인 B 영역은 상기 SGS 결정화 시드 영역으로부터 결정이 성장하여 다결정 실리콘층으로 결정화되는 SGS 결정화 성장 영역이 되게 된다. 따라서, 추후 메탈배선이 형성될 배선영역(b)에서 제1 및 제2 단위화소영역의 SGS 결정화성장이 만나게 되어 그레인 바운더리(grain boundary)가 생기게 된다.
- <133> 따라서, 배선영역(b)에 그레인 바운더리를 형성함으로써, 각 단위화소 내에 그레인 바운더리가 없는 균일한 다결정 실리콘층이 존재하게 되고, SGS 결정화 시드 영역을 제외한 각 단위화소 내의 어디에나 그레인 바운더리가 없는 반도체층을 형성할 수 있다는 이점이 있다.
- <134> 본 발명의 제 2 실시 예에서는 SGS 결정화 시드 영역, 즉 추후 캐패시터 제 1 전극이 형성될 영역을 각 단위화소의 중앙에 위치시켜 결정화를 수행하였다. 더 나아가, 상기 배선영역을 중심으로 대칭되도록 상기 SGS 결정화 시드 영역인 캐패시터 제 1 전극이 형성될 영역을 위치시키면, 그레인 바운더리가 배선영역에 형성될 수 있다.
- <135> 이어서, 상기 결정화 된 다결정 실리콘층을 패터닝하여, 상기 제 1 단위화소영역(a)의 반도체층(420c,420d) 및 캐패시터 제 1 전극(420e)을 형성하고, 상기 제 2 단위화소영역(b)의 반도체층(420c',420d') 및 캐패시터 제 1 전극(420e')을 형성한다.
- <136> 상기 캐패시터 제 1 전극(420e,420e')은 이전 결정화 공정에서 SGS 결정화 시드 영역을 사용하는데, 이는 캐패시터가 금속에 가까울수록 특성이 좋아지기 때문에 금속 실리사이드가 존재하는 시드 영역을 그대로 사용하는 것이 바람직하기 때문이다.
- <137> 또한, 상기 반도체층(420c,420d,420c',420d')은 이전 결정화 공정에서 SGS 결정화 성장 영역으로, 상기 반도체층의 채널 영역의 길이 방향과 SGS 결정화 성장 방향이 평행하도록 형성하는 것이 바람직하다. 즉, 상기 반도체층(420c,420d,420c',420d')의 채널 영역의 길이 방향이 SGS 결정화가 이루어지는 방향에 평행하도록 형성되기 때문에, 그레인 바운더리가 없는 채널 영역을 형성할 수 있어, 전하의 이동도(mobility)를 저하시키지 않고 소자의 전기적 특성을 향상시킬 수 있다.
- <138> 이후에, 도 4d를 참조하면, 상기 기판(400) 전면에 게이트 절연막(450)을 형성한다. 상기 게이트 절연막(450)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이종층일 수 있고, 캐패시터의 제 1 전극(420e,420e')과 추후 형성되는 캐패시터 제 2 전극 사이에 위치함으로써, 상기 게이트 절연막(450)의 두께를 조절하여 캐패시터의 정전용량(capacitance)을 조절할 수 있는데, 정전 용량은 캐패시터의 절연막의 두께가 얇을수록 커짐으로 상기 게이트 절연막(450)의 두께는 얇게 형성하는 것이 바람직하다.
- <139> 다음에, 상기 기판(400) 상에 포토레지스트를 스핀 코팅과 같은 방법으로 도포하고, 노광 및 현상 공정을 진행하여 상기 반도체층(420c,420d,420c',420d')의 일부 영역에 포토레지스트 패턴(451c,451d,451c',451d')을 형성한다. 이때, 상기 포토레지스트 패턴은 상기 반도체층(420c,420d,420c',420d')의 중심부에 형성하는 것이 바람직하다. 이는 상기 포토레지스트 패턴(451c,451d,451c',451d')이 형성된 영역이 이후 반도체층

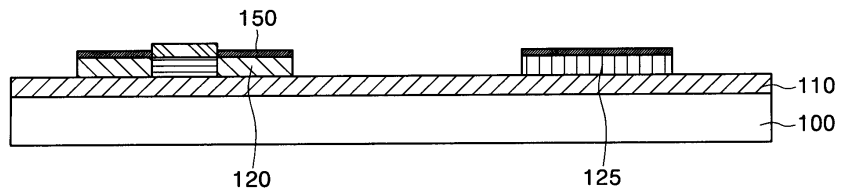
(420c, 420d, 420c', 420d')의 채널 영역으로 정의되기 때문이다.

- <140> 이어서, 상기 포토레지스트 패턴이 형성된 기판(400) 전면에 상기 포토레지스트 패턴(451c, 451d, 451c', 451d')을 마스크로 하여 불순물 주입 공정을 시행한다. 이로써, 상기 반도체층(420c, 420d, 420c', 420d') 영역에 소스/드레인 영역과 채널 영역이 정의된다. 이때, 상기 반도체층(420c, 420d, 420c', 420d')이 소스/드레인 영역과 채널 영역으로 나누어지는 것은 상기 불순물 주입 공정에 의해 불순물이 주입된 영역은 소스/드레인 영역으로 정의되고, 상기 상기 포토레지스트 패턴에 의해 불순물이 주입되지 못하는 영역은 채널로 정의되어지기 때문이다.
- <141> 또한, 상기 캐패시터 제 1 전극(420e, 420e')에도 불순물이 주입되는데 이는 캐패시터의 전극은 전기적 특성이 도체에 가까울수록 캐패시터의 특성이 우수해짐으로써 반도체인 실리콘에 불순물을 주입하여 도체에 가깝도록 하기 위함이다.
- <142> 이어서, 도 4e를 참조하면, 상기 불순물 주입 공정이 끝난 후, 상기 포토레지스트 패턴(451c, 451d, 451c', 451d')을 제거하고, 상기 기판(400) 전면에 게이트 전극 및 캐패시터 제 2 전극을 동시에 형성하는 도전 물질을 증착한 후, 상기 반도체층(420c, 420d, 420c', 420d')의 일부 영역과 상기 캐패시터 제 1 전극에 대응되게 패터닝하여 게이트 전극(460a, 460b, 460a', 460b') 및 캐패시터 제 2 전극(460c, 460c')을 형성하여 캐패시터를 완성한다. 이때, 상기 캐패시터 제 2 전극(460c, 460c')은 게이트 전극 또는 소스/드레인 전극과 동일한 물질로 이루어질 있다.
- <143> 이후에, 상기 기판(400) 전면에 층간 절연막(470)을 형성하고, 상기 층간 절연막(470) 및 게이트 절연막(450)의 일부 영역을 식각하여 반도체층(420c, 420d, 420c', 420d')의 소스/드레인 영역의 표면을 노출시킨 후, 소스/드레인 전극 물질을 증착하고, 패터닝하여 소스/드레인 전극(471a, 472a, 471b, 471b', 471a', 472a', 471b', 472b')을 형성하여 박막트랜지스터 및 캐패시터를 완성한다.
- <144> 상기와 같이, SGS 결정화법을 이용하여 반도체층의 채널 영역에 그레이 바운더리가 존재하지 않게 함으로써, 전하의 이동도를 향상시켜 전기적 특성을 향상시킬 수 있는 이점이 있다.
- <145> 상기 본 발명의 일실시예에 따른 박막트랜지스터는 하기에 개시하는 유기전계발광표시장치에 한정되는 것은 아니며, 액정표시장치 등의 기타 표시장치에도 사용될 수 있다.
- <146> 이어서, 도 4f를 참조하면, 상기 기판(400) 전면에 평탄화막(480)을 형성한다. 상기 평탄화막(480)은 유기막 또는 무기막으로 형성하거나 이들의 복합막으로 형성할 수 있다. 상기 평탄화막(480)을 무기막으로 형성하는 경우는 SOG(spin on glass)를 사용하여 형성하는 것이 바람직하고, 유기막으로 형성하는 경우 아크릴계 수지, 폴리이미드계 수지 또는 BCB(benzocyclobutene)을 사용하여 형성하는 것이 바람직하다. 또한, 상기 평탄화막(480)은 소스/드레인 전극 중 어느 하나를 노출시키는 비어홀(481a, 481b)을 구비한다.
- <147> 상기 평탄화막(480) 상에 제 1 전극(490a, 490b)을 형성한다. 상기 제 1 전극(490a, 490b)은 상기 비어홀(481a, 481b)의 바닥에 위치하여 상기 노출된 소스/드레인 전극 중 어느 하나에 접하고, 상기 평탄화막(480) 상으로 연장된다. 상기 제 1 전극(490a, 490b)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 사용할 수 있다.
- <148> 이어서, 상기 제 1 전극(490a, 490b)을 포함한 기판(400) 전면에 화소정의막(500)을 형성하되, 상기 제 1 전극(490a, 490b)이 위치한 비어홀(481a, 481b)을 충분히 채울 수 있을 정도의 두께로 형성한다. 상기 화소정의막(500)은 유기막 또는 무기막으로 형성할 수 있으나, 바람직하게는 유기막으로 형성한다. 더욱 바람직하게는 상기 화소정의막(500)은 BCB(benzocyclobutene), 아크릴계 고분자 및 폴리이미드로 이루어진 군에서 선택되는 하나이다. 상기 화소정의막(500)은 유동성(flowability)이 뛰어나므로 상기 기판(400) 전체에 평탄하게 형성할 수 있다. 상기 화소정의막(500)을 식각하여 상기 제 1 전극(490a, 490b)을 노출시키는 개구부를 형성한다.
- <149> 이어서, 상기 개구부를 통해 노출된 제 1 전극(490a, 490b) 상에 유기막층(510a, 510b)을 형성한다. 상기 유기막층(510a, 510b)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층중 어느 하나 이상의 층을 추가로 포함할 수 있다.
- <150> 상기 유기막층(510a, 510b)은 풀컬러를 구현하기 위한 R, G, B 발광층임이 바람직하고, 또는 화이트를 구현하는 유기물질로 이루어지거나 R, G, B가 적층되어 화이트를 구현하는 발광층일 수 있다.
- <151> 이어서, 상기 기판(400) 전면에 투과전극으로 투명하면서 일함수가 낮은 Mg, Ag, Al, Ca 및 이들의 합금으로 이

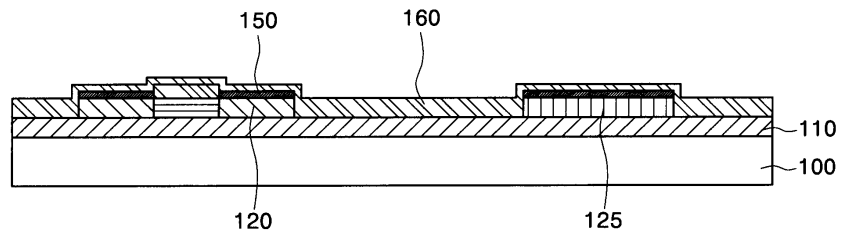
도면1b



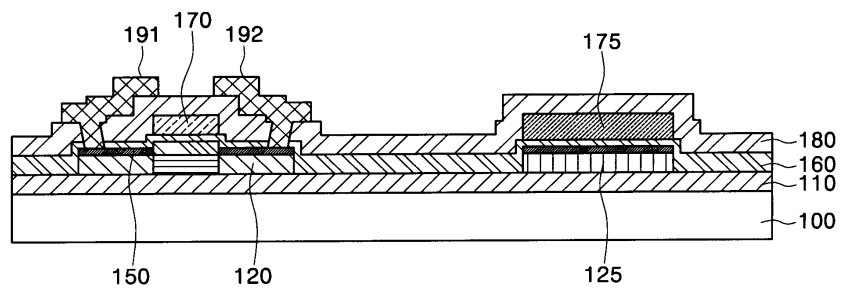
도면1c



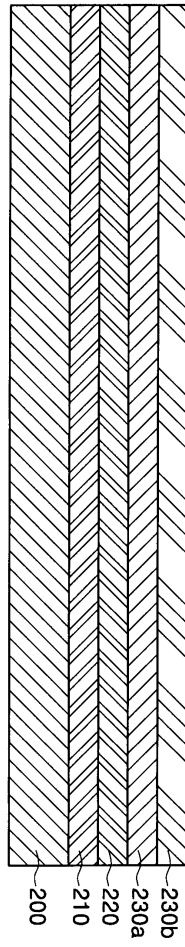
도면1d



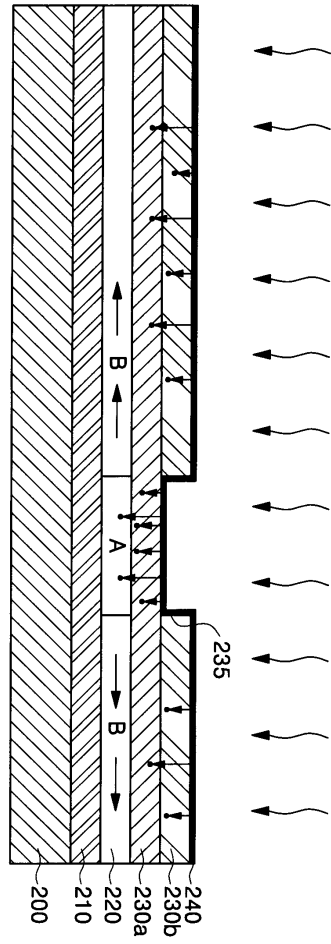
도면1e



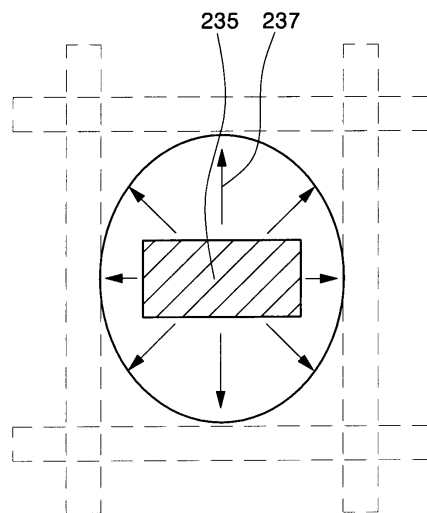
도면2a



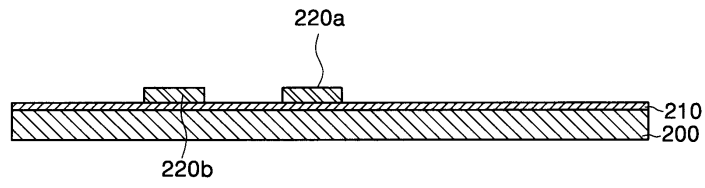
도면2b



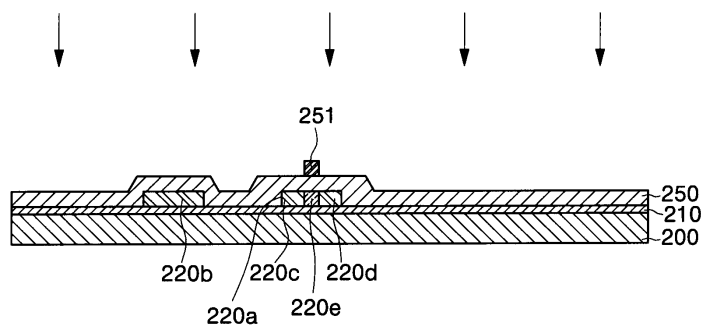
도면2c



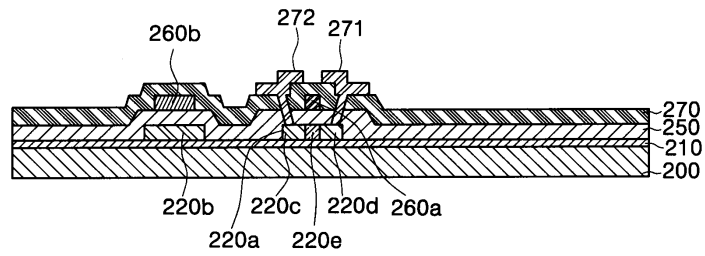
도면2d



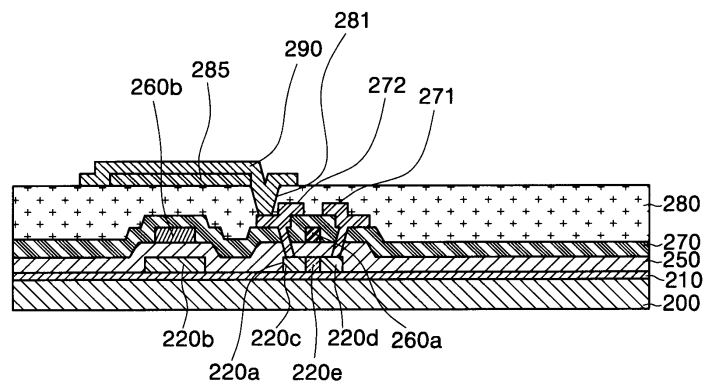
도면2e



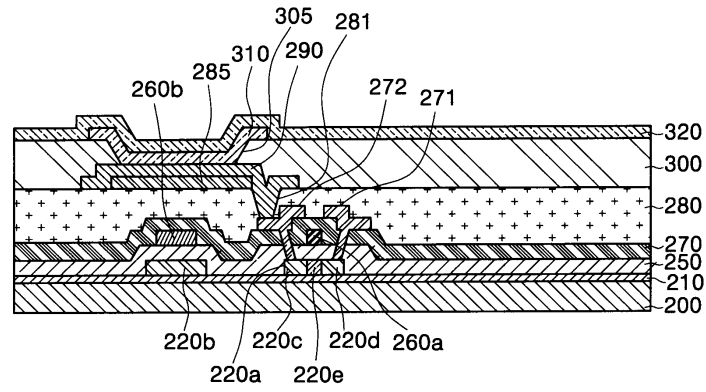
도면2f



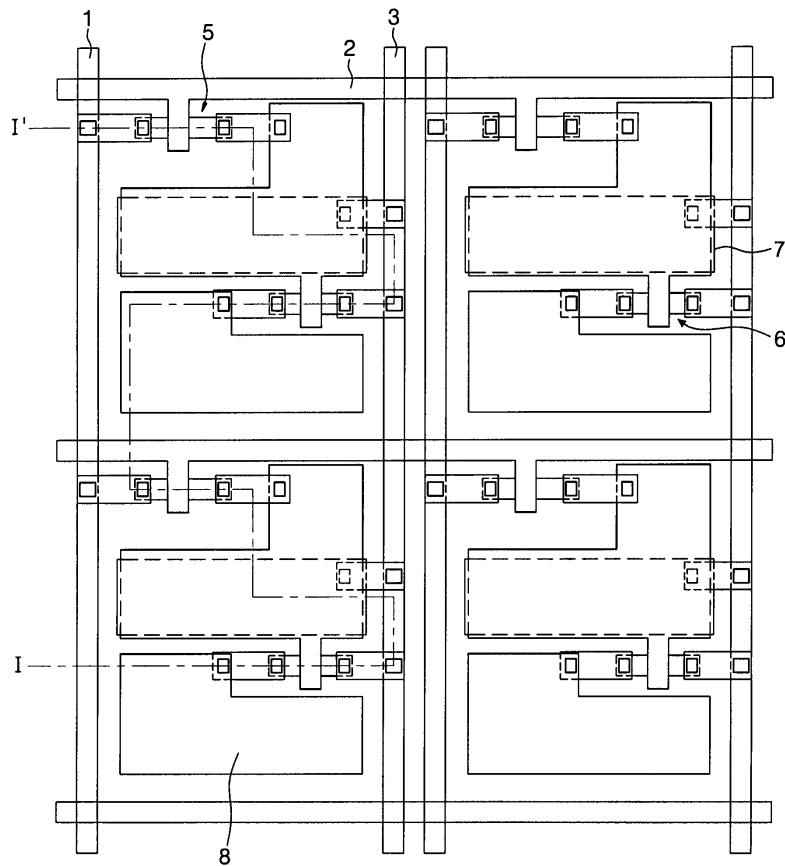
도면2g



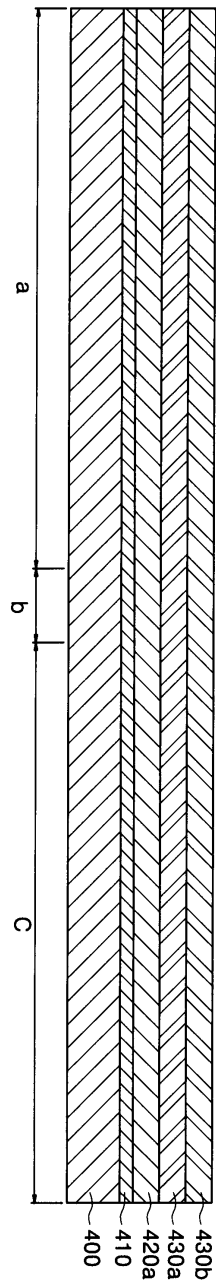
도면2h



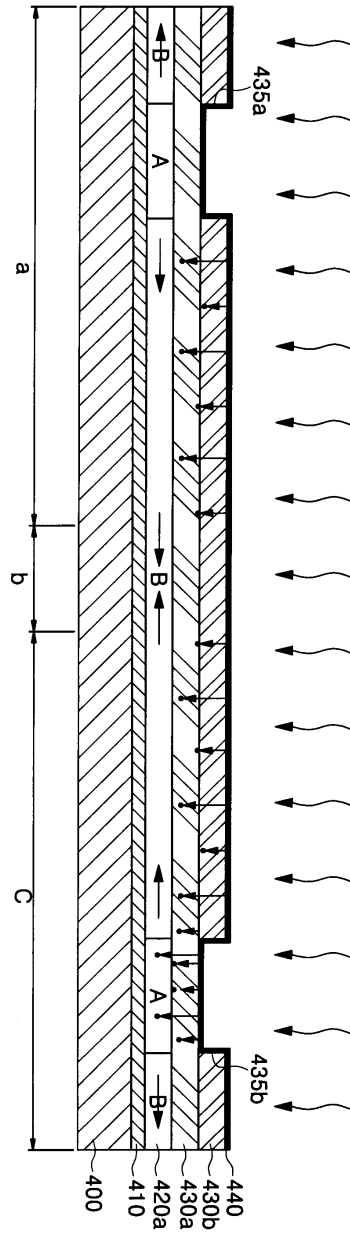
도면3



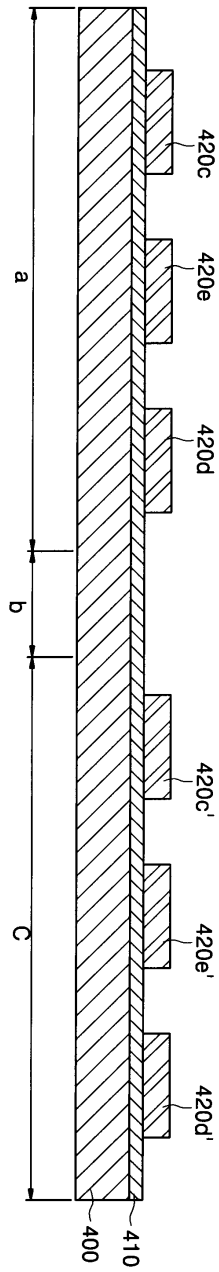
도면4a



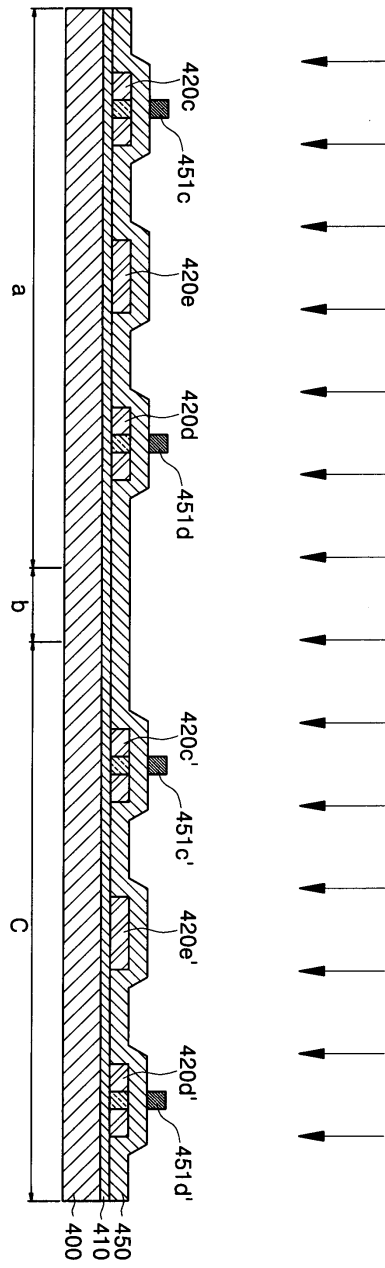
도면4b



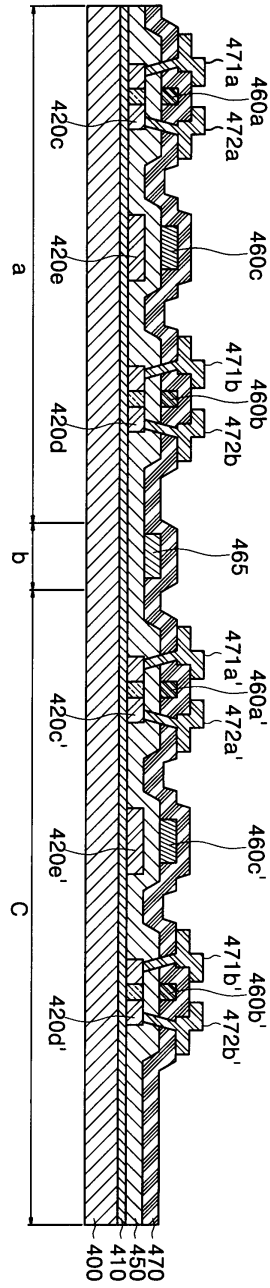
도면4c



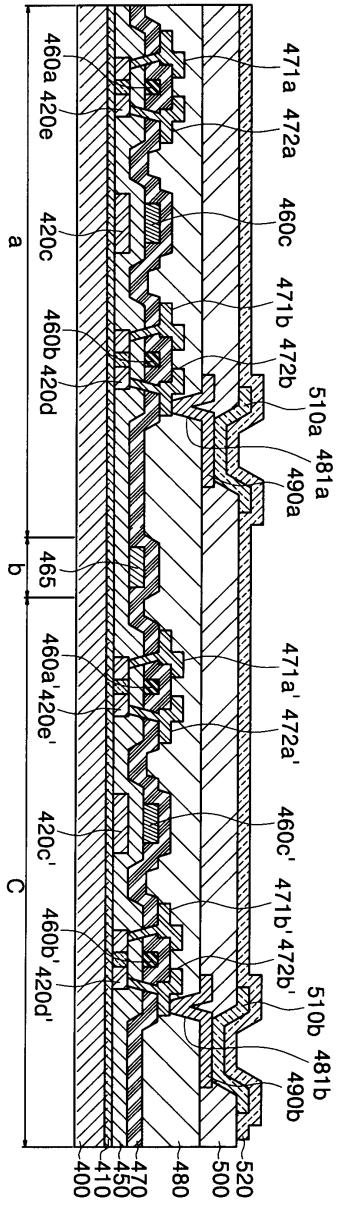
도면4d



도면4e



도면4f



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100810643B1	公开(公告)日	2008-03-06
申请号	KR1020070024584	申请日	2007-03-13
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHOI JONG HYUN 최종현 JUN WOO SIK 전우식		
发明人	최종현 전우식		
IPC分类号	H05B33/02		
CPC分类号	H01L27/3244 H01L21/02532 H01L27/13 H01L27/1214 H01L21/02672 H01L27/12 H01L27/1277 H01L27/1255		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

本发明涉及具有有机发光器件的均匀电特性及其制造方法的显示器。基板本发明涉及基板;形成在包括源/漏区和形成在所述栅极绝缘栅膜的沟道区SGS结晶生长区半导体层,以对应于半导体层的区域,电极,绝缘的栅电极的半导体层,和半导体层一种薄膜晶体管,包括电连接到源/漏区的源/漏电极;设置在电容器上的栅极绝缘膜,并且其中位于的区域中的栅极绝缘膜从衬底上的薄膜晶体管间隔开并且定位在所述电容器的第一电极,所述第一电极通过SGS结晶种子区域2形成的电容器包括电极的电容器;并且其特征在于包括有机发光二极管,其被电耦合到所述薄膜晶体管,包括有机层和第二电极,包括第一电极,一个发光层。

