



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년08월27일
H05B 33/22 (2006.01)	(11) 등록번호	10-0752385
	(24) 등록일자	2007년08월20일

(21) 출원번호	10-2006-0102537	(65) 공개번호
(22) 출원일자	2006년10월20일	(43) 공개일자
심사청구일자	2006년10월20일	

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 손현철
 경기 용인시 기흥구 공세동 삼성SDI중앙연구소

 정창용
 경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인 박상수

(56) 선행기술조사문헌	
KR1020010067258 A	KR1020040014370 A
KR1020050052291 A	KR1020050098596 A
KR1020060097595 A	

심사관 : 손희수

전체 청구항 수 : 총 9 항

(54) 유기 전계 발광표시장치 및 그 제조 방법

(57) 요약

유기 전계 발광표시장치 및 그 제조 방법에 관한 것으로서, 더 상세하게는 기관; 상기 기관 상에 형성된 박막트랜지스터; 상기 박막트랜지스터를 포함하는 기관 전면에 걸쳐 위치하는 보호막; 상기 보호막 상에 아일랜드 형태로 형성되어, 상기 보호막의 일부를 노출시키도록 형성되는 제 1 평탄화막; 상기 제 1 평탄화막을 포함한 기관 전면에 위치하는 제 2 평탄화막; 상기 제 2 평탄화막 상에 형성되어 있으며, 상기 제 2 평탄화막에 형성된 비아홀을 통해 상기 박막트랜지스터의 소오스/드레인 전극 중 어느 하나의 전극과 연결되어 있는 화소전극; 상기 화소전극 상에 위치하는 적어도 발광층을 포함하는 유기막층 패턴; 및 상기 유기막층 패턴 상에 위치하는 상부전극을 포함하는 것을 특징으로 하는 유기 전계 발광표시장치에 관한 것이다.

또한, 기관을 제공하고, 상기 기관 상에 박막 트랜지스터를 형성하고, 상기 박막 트랜지스터를 포함하는 상기 기관 전면에 걸쳐 보호막을 형성하고, 상기 보호막 상에 위치하여 일부영역에 아일랜드 형태로 형성되어, 상기 보호막의 일부를 노출시키도록 제 1 평탄화막을 형성하고, 상기 제 1 평탄화막을 포함한 기관 전면에 제 2 평탄화막을 형성하고, 상기 제 2 평탄화막 상의 일부영역에 형성되어 있으며, 상기 제 2 평탄화막에 형성된 비아홀을 통해 상기 박막트랜지스터의 소오스/드레인

전극 중 어느 하나의 전극과 연결되어 있는 화소전극을 형성하고, 상기 화소전극 상에 적어도 발광층을 포함하는 유기막층 패턴을 형성하고, 상기 유기막층 패턴 상에 상부전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기 전계 발광표시장치의 제조 방법에 관한 것이다.

대표도

도 2

특허청구의 범위

청구항 1.

기관;

상기 기관 상에 형성된 박막트랜지스터;

상기 박막트랜지스터를 포함하는 기관 전면에 걸쳐 위치하는 보호막;

상기 보호막 상에 아일랜드 형태로 형성되어, 상기 보호막의 일부를 노출시키도록 형성되는 제 1 평탄화막;

상기 제 1 평탄화막을 포함한 기관 전면에 위치하는 제 2 평탄화막;

상기 제 2 평탄화막 상에 형성되어 있으며, 상기 제 2 평탄화막에 형성된 비아홀을 통해 상기 박막트랜지스터의 소오스/드레인 전극 중 어느 하나의 전극과 연결되어 있는 화소전극;

상기 화소전극 상에 위치하는 적어도 발광층을 포함하는 유기막층 패턴; 및

상기 유기막층 패턴 상에 위치하는 상부전극을 포함하는 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 2.

제 1항에 있어서,

상기 제 1 평탄화막과 상기 제 2 평탄화막의 두께의 합이 $1\mu\text{m}$ 내지 $2\mu\text{m}$ 인 것을 포함하는 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 3.

제 1항에 있어서,

상기 제 1 평탄화막의 높이는 상기 기관을 기준으로 상기 노출된 보호막의 높이보다 낮은 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 4.

제 1항에 있어서,

상기 제 2 평탄화막의 높이는 상기 기관을 기준으로 상기 노출된 보호막의 높이보다 높거나 또는 같은 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 5.

제 1항에 있어서,

상기 화소전극의 높이는 상기 기판을 기준으로 상기 노출된 보호막의 높이보다 높거나 또는 같은 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 6.

제 1항에 있어서,

상기 제 1 평탄화막과 제 2 평탄화막은 감광성 수지로 이루어지는 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 7.

제 6항에 있어서,

상기 제 1 및 제 2 평탄화막은 폴리아미드 수지, 폴리이미드 수지, 아크릴 수지, 벤조사이클로부틴계 수지, PBO 및 실리콘 계 수지로 이루어진 군에서 선택된 하나의 물질 또는 둘 이상의 물질이 결합된 물질로 형성되는 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 8.

제 1항에 있어서,

상기 보호막이 노출되는 영역은 상기 박막 트랜지스터의 최상부 영역인 것을 특징으로 하는 유기 전계 발광표시장치.

청구항 9.

기판을 제공하고,

상기 기판 상에 박막 트랜지스터를 형성하고,

상기 박막 트랜지스터를 포함하는 상기 기판 전면에 걸쳐 보호막을 형성하고,

상기 보호막 상에 위치하여 일부영역에 아일랜드 형태로 형성되어, 상기 보호막의 일부를 노출시키도록 제 1 평탄화막을 형성하고,

상기 제 1 평탄화막을 포함한 기판 전면에 제 2 평탄화막을 형성하고,

상기 제 2 평탄화막 상의 일부영역에 형성되어 있으며, 상기 제 2 평탄화막에 형성된 비아홀을 통해 상기 박막트랜지스터의 소오스/드레인 전극 중 어느 하나의 전극과 연결되어 있는 화소전극을 형성하고,

상기 화소전극 상에 적어도 발광층을 포함하는 유기막층 패턴을 형성하고,

상기 유기막층 패턴 상에 상부전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기 전계 발광표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광표시장치 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 제 1 평탄화막을 아일랜드 형태로 형성하고 제 2 평탄화막을 형성함으로써 평탄화 유기막 이전 공정의 단차를 제거하고, 평탄화막의 두께를 최소로 하여 화소 수축(pixel Shrinkage)을 개선하는 유기 전계 발광표시장치의 제조방법에 관한 것이다.

고도의 정보화 시대가 도래함에 따라 신속, 정확한 정보를 손안에서 얻고자 하는 요구가 많아지면서, 가볍고 얇아서 휴대하기가 편하고 정보 처리 속도가 빠른 디스플레이 장치에 대한 개발이 급속하게 이루어지고 있다. 기존의 CRT는 중량, 체적 및 소비전력이 크고, LCD는 공정의 복잡성, 좁은 시야각, 대조비 및 대면적화에 대한 기술적인 한계가 있었다. 이와 같은 문제점들을 보완한 유기 전계 발광표시장치가 차세대 디스플레이로서 급상승하고 있다.

유기 전계 발광표시장치는 유기 발광층을 포함한 유기막에 전압을 인가하여 줌으로써 전자와 정공이 발광층내에서 재결합하여 빛을 발생하는 자체 발광형으로써 LCD와 같은 백라이트가 필요하지 않아 경량박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있으며, 응답속도는 CRT와 같은 수준이며, 소비 전력 측면에서도 유리하다.

일반적으로, 유기 전계 발광표시장치는 양극 및 음극 사이에 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층 등의 여러 층으로 이루어져 있으며, 상기의 유기 전계 발광표시장치에 R, G 및 B의 삼원색을 나타내는 발광층을 패터닝함으로써 풀칼라를 구현할 수 있다.

상기 다층의 유기막은 새도우 마스크를 이용한 진공증착법 또는 통상적인 광식각법을 이용하여 유기막 패턴을 형성할 수 있으나 진공 증착법의 경우에는 유기막을 미세 패턴으로 형성하는데 어려움이 있어 완벽한 풀칼라 구현이 쉽지 않으며, 광식각법인 경우에는 현상액 또는 식각액에 의해 유기막의 손상으로 수명 및 효율 등의 발광 특성이 나빠지는 문제점이 있다.

도 1 은 종래의 유기 전계 발광표시장치의 제조 공정을 설명하기 위한 단면도이다.

도 1 을 참고하면, 절연기판(10)상에 버퍼층(11)이 형성되어, 상기 버퍼층 상(11)에 박막트랜지스터(20)가 형성된다.

상기 박막트랜지스터(20)는 상기 버퍼층(11)상에 형성된 반도체층(21), 게이트 절연막(12), 게이트 전극(22), 층간 절연막(13) 그리고 상기 층간 절연막 상에 소오스/드레인 전극 물질로 소오스/드레인 전극(23, 23')이 이루어진다.

이어서, 상기 박막트랜지스터(20)를 포함하는 상기 층간 절연막(13)의 전면에 걸쳐 보호막(14)을 형성하고, 상기 보호막(14) 상부에 평탄화막(15)을 형성하고 드레인 전극(23')의 소정 부분을 노출시키기 위한 비아홀(41)을 형성한다.

상기 비아홀(41)을 통하여 드레인 전극(23')의 노출된 소정부분과 접하는 화소전극(42)을 형성한다.

이때, 상기 화소 전극(42)상의 개구부를 제외한 부분에 화소정의막(16)을 형성하고, 상기 화소 전극(42) 상의 개구부 영역에 유기발광층을 포함한 유기막층(62')을 형성하고, 기판 전면에 걸쳐 상부 전극(17)을 형성한다.

이때, 상기 기판의 박막 트랜지스터(20)에 의한 단차를 극복하기 위하여 평탄화막을 형성하지만, 박막트랜지스터가 형성되는 영역이 높기 때문에 평탄화막(16)을 두껍게 형성해야 한다. 일반적으로 평탄화막은 두껍게 형성하면 평탄화도가 증가하고, 기생 캐패시터를 방지해 주는 장점이 있어 2.5 μ m 정도의 두께로 형성했다. 그러나 두꺼운 평탄화막을 형성하기 위해서는 긴 공정시간이 요구되는 단점이 있다. 또한, 평탄화막은 아크릴계, 폴리이미드, 광감성 레지스트 등의 유기막을 이용하여 형성하는데, 상기 유기막은 고온에서 아웃가스를 방출하여 유기발광층에 영향을 주어, 유기발광층을 열화시킬 수 있고, 이 때문에 화소수축(pixel shrinkage)을 일으킬 수 있는 문제점이 있다.

한편, 도 3은 종래의 유기 전계 발광표시장치의 평면을 광학현미경으로 촬영한 사진으로, 'a' 부분의 명암의 차이로 유기 전계 발광표시장치 내에 단차가 있음을 알 수 있다. 명암이 어두운 부분이 밝은 부분보다 높이가 낮은 부분이다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 보완하기 위한 것으로, 본 발명의 목적은 평탄화막의 증착구조를 변경하여 두께를 최대한 얇게하여 화소 수축을 방지하면서 평탄화도도 개선되는 유기 전계 발광표시장치 및 그 제조방법에 관한 것이다.

발명의 구성

유기 전계 발광표시장치 및 그 제조 방법에 관한 것으로서, 더 상세하게는 기판; 상기 기판 상에 형성된 박막트랜지스터; 상기 박막트랜지스터를 포함하는 기판 전면에 걸쳐 위치하는 보호막; 상기 보호막 상에 아일랜드 형태로 형성되어, 상기 보호막의 일부를 노출시키도록 형성되는 제 1 평탄화막; 상기 제 1 평탄화막을 포함한 기판 전면에 위치하는 제 2 평탄화막; 상기 제 2 평탄화막 상에 형성되어 있으며, 상기 제 2 평탄화막에 형성된 비아홀을 통해 상기 박막트랜지스터의 소오스/드레인 전극 중 어느 하나의 전극과 연결되어 있는 화소전극; 상기 화소전극 상에 위치하는 적어도 발광층을 포함하는 유기막층 패턴; 및 상기 유기막층 패턴 상에 위치하는 상부전극을 포함하는 것을 특징으로 하는 유기 전계 발광표시장치에 관한 것이다.

또한, 기판을 제공하고, 상기 기판 상에 박막 트랜지스터를 형성하고, 상기 박막 트랜지스터를 포함하는 상기 기판 전면에 걸쳐 보호막을 형성하고, 상기 보호막 상에 위치하여 일부영역에 아일랜드 형태로 형성되어, 상기 보호막의 일부를 노출시키도록 제 1 평탄화막을 형성하고, 상기 제 1 평탄화막을 포함한 기판 전면에 제 2 평탄화막을 형성하고, 상기 제 2 평탄화막 상의 일부영역에 형성되어 있으며, 상기 제 2 평탄화막에 형성된 비아홀을 통해 상기 박막트랜지스터의 소오스/드레인 전극 중 어느 하나의 전극과 연결되어 있는 화소전극을 형성하고, 상기 화소전극 상에 적어도 발광층을 포함하는 유기막층 패턴을 형성하고, 상기 유기막층 패턴 상에 상부전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기 전계 발광표시장치의 제조 방법에 관한 것이다.

도 2는 본 발명의 실시예에 따른 유기 전계 발광표시장치의 단면도이다.

이하, 도 2를 참고하여 본 발명을 설명하면, 기판(100) 상에 박막 트랜지스터(115)가 위치한다. 더욱 상세하게 설명하면, 상기 기판(100) 상에 상기 기판(100)으로부터 유출되는 불순물을 막아주기 위한 버퍼층(110)이 위치할 수 있다. 상기 버퍼층(110) 상에 다결정 실리콘이며, 불순물을 주입하여 소스/드레인 영역(120b/120a)과 채널 영역(102c)으로 이루어져 있는 반도체층(120)이 위치한다. 그리고 상기 반도체층(120) 상에 게이트 절연막(130)이 위치하며, 상기 게이트 절연막(130) 상에서는 상기 반도체층(120) 상부에 게이트 전극(140)이 위치한다. 그리고 나서, 상기 게이트 전극(140) 상에 층간 절연막(150)이 위치하며, 상기 층간 절연막(150) 상에 소오스/드레인 전극(160b, 160a)이 위치함으로써 박막 트랜지스터(115)가 형성된다. 상기 서술한 구조는 탑 게이트(top gate) 구조이나 바텀 게이트(bottom gate) 구조에도 적용될 수 있다.

이후, 상기 박막 트랜지스터(115) 상에 보호막(170)이 위치할 수 있다. 여기서 상기 보호막(170)은 무기물질로 이루어질 수 있다. 이를테면, 상기 보호막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막과 실리콘 질화막의 적층막 중에서 선택된 하나의 물질로 이루어질 수 있다.

이어서, 상기 보호막(170) 상에 아일랜드(island) 형태로 형성되며, 박막 트랜지스터(115) 영역 상부에 위치하는 보호막의 일부를 노출시키는 제 1 평탄화막(180a)이 형성된다. 여기서 박막트랜지스터(115)의 상부 부분의 보호막은 노출될 수 있고 가장 높은 영역일 수 있으나, 상기 제 1 평탄화막(180a)의 높이는 상기 기판을 기준으로 상기 노출된 보호막의 높이보다 낮은 것이 바람직하다. 이렇게 아일랜드(island) 형태로 제 1 평탄화막(180a)을 형성한 후 제 2 평탄화막(180b)을 한번 더 형성해 준다. 상기 제 2 평탄화막(180b)의 높이는 상기 기판을 기준으로 상기 노출된 보호막의 높이보다 높거나 또는 같을 수 있다. 제 1 평탄화막(180a) 및 제 2 평탄화막(180b)의 두께의 합이 1 μ m 내지 2 μ m로 증착이 가능하여 종래보다 더 얇게 형성할 수 있다.

계속해서 상기 평탄화막(180b)상에 형성된 비아홀(190)을 통하여 상기 박막트랜지스터의 드레인 전극(160a)과 전기적으로 연결되는 화소전극(200)이 위치한다. 여기서, 상기 화소전극(200) 상에 위치하며, 상기 화소전극의 발광영역을 노출시키는 개구부(220)를 구비하는 화소정의막(210)을 더 포함할 수 있다. 상기 화소전극(200) 상에 적어도 발광층을 포함하는 유기막층 패턴(320')이 위치하며, 상기 유기막층 패턴 상에 상부전극(330)이 위치한다.

이후, 도 2를 계속 참조하여, 본 발명의 실시예에 따른 유기 전계 발광표시장치의 제조방법을 설명한다.

도 2를 참조하면, 기판(100)이 제공되고, 상기 기판(100) 상으로부터 유출되는 불순물을 막아주기 위해 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막과 실리콘 질화막의 적층막으로 이루어진 군에서 선택된 버퍼층(110)을 형성한다.

상기의 버퍼층(110)상에 비정질 실리콘막을 증착한 다음 상기 비정질 실리콘막을 통상의 결정화 방법을 통하여 결정화시킨 후 패터닝하여 반도체층(120)을 형성한다. 이후, 상기 반도체층(120)을 포함하는 기판 전면에 걸쳐 게이트 절연막(130)을 형성한다. 이후에, 상기 게이트 절연막(130) 상에 도전막을 형성한 후 패터닝하여, 상기 반도체층(120)과 이격되는 부분에는 게이트 전극(140)을 형성하고, 상기 반도체층(120)에 이온 도핑 처리를 함으로써 드레인 영역(120a), 소스 영역(120b) 및 채널영역(120c)을 형성한 후, 상기 게이트 전극(140)을 포함하는 게이트 절연막 상에 층간 절연막(150)을 형성한다. 이때 게이트 전극 물질은 크롬(Cr), 몰리브덴(Mo) 또는 알루미늄(Al)과 같은 금속물질이나 이들의 합금이 포함되는 적어도 하나 이상의 금속 물질로 이루어진다.

이어서, 상기 게이트 절연막(130)과 상기 층간 절연막(150)을 식각하여 드레인 영역(120a)과 소스 영역(120b)의 소정 부분이 노출되는 제 1 콘택홀(125a), 제 2 콘택홀(125b)을 형성하고, 상기 콘택홀(125a, 125b)을 포함한 층간 절연막(150) 상에 소스/드레인 영역(120b, 120a)과 각각 전기적으로 연결되어지는 소스/드레인 전극(160a, 160b)을 형성한다. 상기 소스/드레인 전극을 포함한 층간 절연막(150) 상의 전면에 걸쳐 보호막(170)을 형성한다. 여기서 상기 소스/드레인 전극 물질은 텅스텐(W), 몰리브덴(Mo) 또는 알루미늄(Al)과 같은 금속 물질이나 이들의 합금이 포함되는 적어도 하나 이상의 금속 물질로 이루어진다.

이후, 상기 보호막(170) 상에 단차를 극복하기 위한 제 1 평탄화막(180a)을 형성한다. 상기 제 1 평탄화막(180a)은 보호막 상에 일부영역에 형성하게 되는데 다른 패턴들과 겹쳐지지 않게 아일랜드(island) 형태로 형성된다. 이때, 상기 제 1 평탄화막(180a)은 유동성이 좋은 유기막으로 이루어질 수 있다. 이후, 상기 제 1 평탄화막(180a) 및 상기 층간 절연막(150) 상의 전면에 걸쳐 제 2 평탄화막(180b)을 형성한다. 이때 제 2 평탄화막(180b)은 유기막으로서 감광성 수지로 이루어지는 것이 더 바람직하다. 이를테면, 상기 감광성 수지는 폴리아미드 수지, 폴리이미드 수지, 아크릴 수지, 벤조사이클로부텐계 수지, PBO 및 실리콘계 수지로 이루어진 군에서 선택된 하나의 물질 또는 둘 이상의 물질이 결합된 물질일 수 있다.

이때, 상기 기판을 기준으로 상기 제 2 평탄화막(180b)의 높이는 노출된 보호막(170)의 높이보다 높거나 같을 수 있고, 상기 노출된 보호막(170)은 상기 박막 트랜지스터의 상부에 위치한 보호막으로 최상부 영역 일 수 있다.

여기서 상기 제 2 평탄화막(180b)의 높이를 노출된 보호막과 같게 할 경우, 제 2 평탄화막(180b)을 기판 전면에 걸쳐 형성한 후 건식 식각법 또는 습식 식각법에 의해 제거할 수 있다. 또한, 상기 제 2 평탄화막(180b)이 감광성 수지인 유기막일 경우에 있어서는 상기 제 2 평탄화막(180b) 전면에 걸쳐 노광후 현상액에 의해 쉽게 상기 제 2 평탄화막(180b)을 제거할 수 있다. 이때, 박막 트랜지스터(115) 영역과 같은 기판 높이가 높은 영역 상의 제 2 평탄화막(180b)의 두께는 낮은 영역 상의 제 2 평탄화막(180b)의 두께보다 얇게 형성된다. 그러므로 상기 제 2 평탄화막(180b) 전면에 걸쳐 노광을 하여 평탄화막을 전면 제거할 때에 상기 기판을 기준으로 높은 영역 상의 제 2 평탄화막이 낮은 영역 상의 제 2 평탄화막보다 먼저 제거된다. 이 때, 상기 제 2 평탄화막(180b) 하부에는 무기막으로 형성된 보호막(170)이 존재하므로 노광에 의한 영향을 받지 않는다. 이로 인하여 상기 기판을 기준으로 높은 영역의 제 2 평탄화막(180b)은 제거되어 상기 제 2 평탄화막의 하부의 보호막(170)이 노출된다.

이어서, 도 2에서와 같이 상기 제 2 평탄화막(180b) 패턴 상에 소스/드레인 전극(160a, 160b)들 중에 하나를 노출시키는 비아홀(190)을 형성한 후, 상기 평탄화막 상에 상기 소스/드레인 전극(160a, 160b) 중 어느 하나에 연결되는 화소전극(200)을 형성한다. 본 발명의 실시예에서는 상기 비아홀을 통하여 드레인 전극(160a)과 연결되도록 화소전극(200)을 형성하였다.

상기 화소전극(200)이 형성된 기판 전면에 굴곡진 화소전극을 덮을 수 있는 화소정의막(210)을 더 형성할 수 있다. 이때, 상기 화소정의막(210)의 두께는 크게 한정하지는 않지만 5000Å 내지 10000Å 이하로 형성하는 것이 바람직하다. 왜냐하면 너무 얇으면 증착이 어렵고, 너무 두꺼우면 박막소자를 완성하고자 하는데 어려움이 있기 때문이다. 여기서 화소 정의

막(210)은 유기막으로서 폴리스틸렌, 폴리메틸케타아크릴레이트, 폴리아크릴로니트릴, 폴리아미드, 폴리이미드, 폴리아릴에테르, 헥테로사이클릭 폴리머, 파릴렌, 불소 고분자, 에폭시 수지, 벤조사이클로부틴계 수지, 실록세인계 수지 및 실란 수지로 이루어진 군에서 선택되는 하나의 물질로 형성될 수 있다.

이후 화소 정의막(210)을 패터닝하여 화소전극의 소정부분을 노출시키는 개구부(220)를 형성한다. 이로써, 평탄화막에 의해 평탄화도가 개선되지 않은 부분의 평탄화막을 제거함에 따라 평탄화가 개선된 기관(250)을 제조할 수 있다. 이후에 개구부를 통해 노출된 상기 화소 전극(200)상에 적어도 발광층을 포함하는 유기막층 패턴을 형성한다. 여기서, 상기 유기막층 패턴은 레이저 열전사법, 스핀코팅 및 저분자 증착법 중 하나의 방식을 선택하여 형성할 수 있다.

이어서, 유기막층 패턴 상에 상부 전극(330)을 형성하고, 도면에는 도시하지 않았으나 메탈 캔 및 봉지 기관으로 봉지하여 유기 전계 발광표시장치를 완성할 수 있다.

발명의 효과

상술한 바와 같이, 아일랜드 형태의 제 1 평탄화막을 형성하고 제 2 평탄화막을 형성함으로써, 평탄화도를 좋게 하기 위하여 두껍게 형성되었던 종래의 평탄화막에서 발생하는 화소수축(pixel shrinkage)을 방지할 수 있어 신뢰성이 향상되고 유기 전계 발광표시장치의 불량률을 개선할 수 있다.

도면의 간단한 설명

도 1은 종래의 유기 전계 발광표시장치의 제조 방법에 관한 단면도이고,

도 2는 본 발명의 실시예에 따른 유기 전계 발광표시장치의 제조방법에 관한 단면도이고,

도 3은 종래의 유기 전계 발광표시장치의 평면을 광학현미경으로 찍은 사진이다.

<도면부호에 대한 간단한 설명>

180a : 제 1 평탄화막

180b : 제 2 평탄화막

200 : 화소 전극

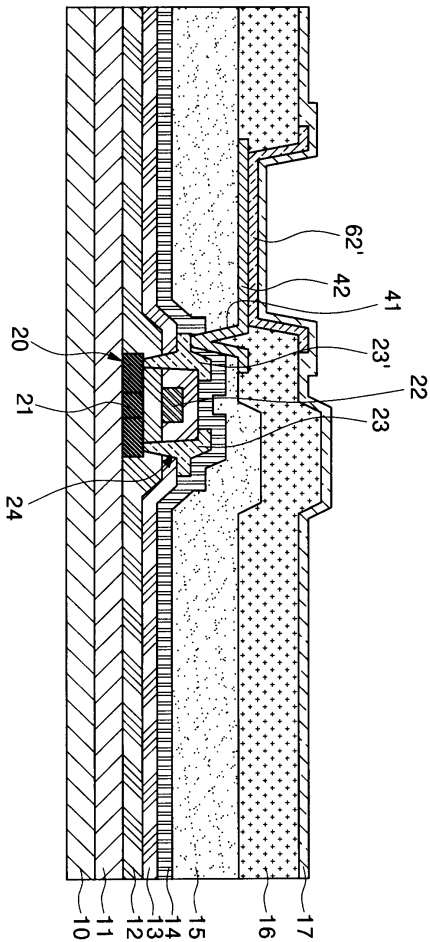
160a : 드레인 전극

160b : 소스 전극

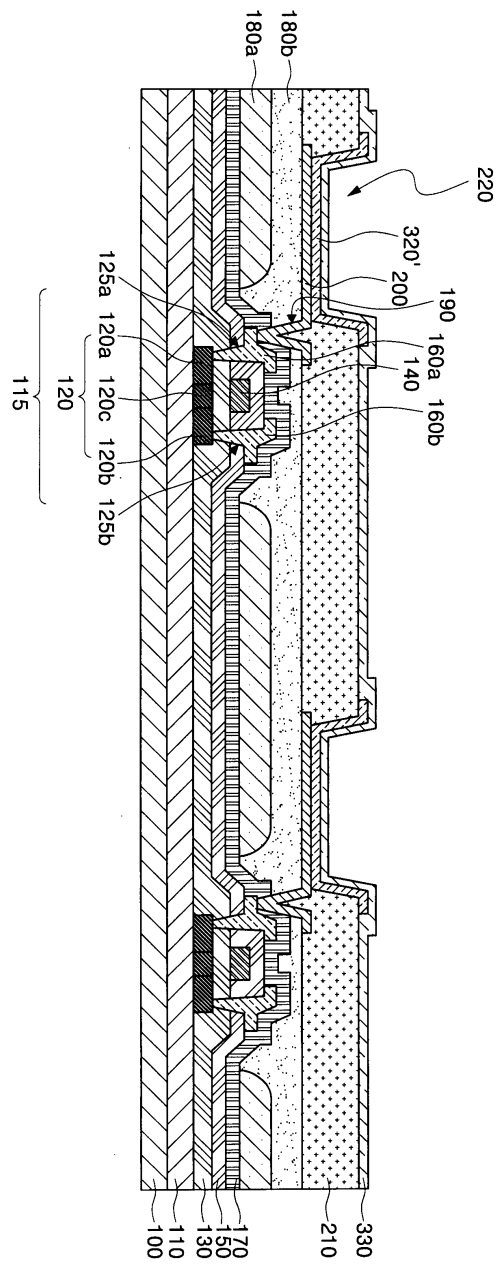
170 : 보호막

도면

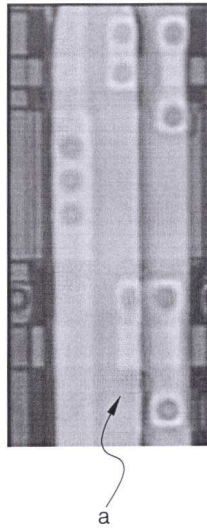
도면1



도면2



도면3



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100752385B1	公开(公告)日	2007-08-20
申请号	KR1020060102537	申请日	2006-10-20
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SON HYUN CHUL 손현철 JEONG CHANG YONG 정창용		
发明人	손현철 정창용		
IPC分类号	H05B33/22		
CPC分类号	H01L27/3248 H01L27/3258 H01L51/0015 H01L51/56		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示装置及其制造方法，以通过防止像素收缩现象来提高显示装置的操作可靠性。TFT（薄膜晶体管）（115）形成在基板（100）上。保护膜（170）布置成覆盖基板的整个表面。在保护膜上以岛状形成第一平坦化膜（180a）并暴露保护膜的一部分。在包括第一平坦化膜的基板的整个表面上形成第二平坦化膜（180b）。像素电极（200）形成在第二平坦化膜上，并通过形成在第二平坦化膜上的通孔连接到TFT的源/漏电极之一。有机膜图案（320）包括形成在像素电极上的至少一个发光层。上电极（330）布置在有机膜图案上。

