



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

G09G 3/30 (2006.01)

(45) 공고일자

2007년01월26일

(11) 등록번호

10-0675319

(24) 등록일자

2007년01월22일

(21) 출원번호 10-2000-0081417  
 (22) 출원일자 2000년12월23일  
 심사청구일자 2005년12월23일

(65) 공개번호 10-2002-0052136  
 (43) 공개일자 2002년07월02일

(73) 특허권자 엘지.필립스 엘시디 주식회사  
 서울 영등포구 여의도동 20번지

(72) 발명자 박준규  
 서울특별시 관악구 신림1동 1630-17번지

배성준  
 경기도 성남시 분당구 금곡동 청솔마을 104동 703호

이한상  
 서울특별시 관악구 신림1동 1608-9202호

안태준  
 서울특별시 성동구 행당1동 102-8호 4동 8반

(74) 대리인 김영호

(56) 선행기술조사문헌

JP11282419 A

JP2000221942 A

US6023259 B

US6693383 B

\* 심사관에 의하여 인용된 문헌

**심사관 : 최정윤**

전체 청구항 수 : 총 30 항

**(54) 일렉트로 루미네센스 패널****(57) 요약**

본 발명은 휙도를 향상시킬 수 있도록 한 일렉트로 루미네센스 패널에 관한 것이다.

본 발명의 일렉트로 루미네센스 패널은 게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 상기 데이터 라인들의 교차부들에 배치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스 패널에 있어서, 상기 게이트 라인들 중 임의의 제 1 게이트 라인들과 상기 데이터 라인들의 교차부에 설치되어

상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 제 1 일렉트로 루미네센스 셀(OLED) 구동회로와; 상기 제 1 게이트 라인들을 제외한 게이트 라인들과 상기 데이터 라인들의 교차부에 설치되어 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 제 2 일렉트로 루미네센스 셀(OLED) 구동회로를 구비한다.

본 발명에 따른 일렉트로 루미네센스 패널은 하나의 데이터 라인들에 하나의 보상회로를 구성함으로써 각 패셀별로 보상회로를 적용한 일렉트로 루미네센스 패널보다 개구율을 크게 향상 시킬수 있는 장점과 아울러 수율이 향상되고, 화소셀상에 발생되는 줄무늬를 제거할 수 있다.

## 대표도

도 5

## 특허청구의 범위

### 청구항 1.

게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 상기 데이터 라인들의 교차부들에 배치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스 패널에 있어서,

상기 게이트 라인들 중 임의의 제 1 게이트 라인들과 상기 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 제 1 일렉트로 루미네센스 셀(OLED) 구동회로와;

상기 제 1 게이트 라인들을 제외한 게이트 라인들과 상기 데이터 라인들의 교차부에 설치되어 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 제 2 일렉트로 루미네센스 셀(OLED) 구동회로를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 2.

제 1 항에 있어서,

상기 제 1 일렉트로 루미네센스 셀(OLED) 구동회로는,

상기 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원과;

상기 공급전원과 상기 데이터 라인들 사이에 접속된 제 1 피모스(PMOS) 박막 트랜지스터와;

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제 2 피모스(PMOS) 박막 트랜지스터와;

상기 제 1 및 상기 제 2 피모스(PMOS) 박막 트랜지스터의 게이트 전극들 사이에 접속되어 스위치 역할을 하는 제 3 피모스(PMOS) 박막 트랜지스터와;

상기 제 2 피모스(PMOS) 박막 트랜지스터의 게이트 전극과 상기 공급전원사이에 접속되는 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 3.

제 2 항에 있어서,

상기 제 1 피모스(PMOS) 박막 트랜지스터 및 상기 제 2 피모스(PMOS) 박막 트랜지스터의 폭(반도체층과 게이트 라인들이 오버랩되는 부분)과 길이(소오스-드레인의 거리)의 비율에 의해 상기 제 2 피모스(PMOS) 박막 트랜지스터에 흐르는 전류를 조정하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

#### 청구항 4.

제 1 항에 있어서,

상기 제 2 일렉트로 루미네센스 셀(OLED) 구동회로는,

상기 일렉트로 루미네센스 셀(OLED)에 전원을 공급하는 공급전원과;

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제 4 피모스(PMOS) 박막 트랜지스터와;

상기 데이터 라인들 및 상기 제 4 피모스(PMOS) 박막 트랜지스터의 게이트 전극 사이에 접속되어 스위치 역할을 하는 제 5 피모스(PMOS) 박막 트랜지스터와;

상기 제 4 트랜지스터의 게이트 전극과 상기 공급전원 사이에 접속되는 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

#### 청구항 5.

제 4 항에 있어서,

상기 제 1 피모스(PMOS) 박막 트랜지스터 및 상기 제 4 피모스(PMOS) 박막 트랜지스터의 폭(반도체층과 게이트 라인들이 오버랩되는 부분)과 길이(소오스-드레인의 거리)의 비율에 의해 상기 제 4 피모스(PMOS) 박막 트랜지스터에 흐르는 전류를 조정하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

#### 청구항 6.

제 1 게이트 라인들과 데이터 라인들의 교차부에 설치되어 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 제 1 일렉트로 루미네센스 셀(OLED) 구동회로와;

상기 제 1 게이트 라인들을 제외한 게이트 라인들과 상기 데이터 라인들의 교차부에 설치되어 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 제 2 일렉트로 루미네센스 셀(OLED) 구동회로를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

#### 청구항 7.

제 6 항에 있어서,

상기 제 1 일렉트로 루미네센스 셀(OLED) 구동회로는,

상기 일렉트로 루미네센스 셀(OLED)들에 전원을 공급하는 공급전원과;

상기 공급전원과 상기 데이터 라인들 사이에 접속된 제 1 피모스(PMOS) 박막 트랜지스터와;

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED)사이에 접속된 제 2 피모스(PMOS) 박막 트랜지스터와;

상기 제 1 및 상기 제 2 피모스(PMOS) 박막 트랜지스터의 게이트 전극들 사이에 접속되어 스위치 역할을 하는 제 3 피모스(PMOS) 박막 트랜지스터와;

상기 제 2 피모스(PMOS) 박막 트랜지스터의 게이트 전극과 상기 공급전원 사이에 접속되는 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 8.

제 6 항에 있어서,

상기 제 2 일렉트로 루미네센스 셀(OLED) 구동회로는,

상기 일렉트로 루미네센스 셀(OLED)에 전원을 공급하는 공급전원과;

상기 공급전원과 상기 일렉트로 루미네센스 셀(OLED) 사이에 접속된 제 4 피모스(PMOS) 박막 트랜지스터와;

상기 데이터 라인들 및 상기 제 4 피모스(PMOS) 박막 트랜지스터의 게이트 전극 사이에 접속되어 스위치 역할을 하는 제 5 피모스(PMOS) 박막 트랜지스터와;

상기 제 4 트랜지스터의 게이트 전극과 상기 공급전원 사이에 접속되는 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 9.

유리 기판 위에 서로 교차하는 게이트 라인들 및 데이터 라인들과;

상기 게이트 라인들 및 상기 데이터 라인들의 교차부에 형성되며 상기 게이트 라인들을 인에이블하는 게이트 신호가 상기 게이트 라인들에 공급되고 상기 데이터 라인들에 화소 신호가 공급될 때 상기 화소 신호의 크기에 상응하는 빛으로 발광하는 제 1 및 제 2 화소 소자를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 10.

제 9 항에 있어서,

상기 게이트 라인들에 접속되어 상기 게이트 라인들에 상기 게이트 신호를 공급하는 게이트 구동회로 및 상기 데이터 라인들에 접속되어 상기 데이터 라인들에 화소 신호를 공급하는 데이터 구동회로를 더 구비하며,

상기 게이트 구동회로는 상기 게이트 라인들에 게이트 신호가 순차로 공급하며, 상기 데이터 구동회로는 상기 데이터 라인들을 통하여 상기 제 1 및 제 2 화소 소자에 데이터 신호를 공급하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 11.

제 10 항에 있어서,

상기 제 1 화소 소자는 제 1 게이트 라인들과 상기 데이터 라인들의 교차부에 설치된 제 1 일렉트로 루미네센스 셀(OLED) 구동회로에 의해 구동되며,

상기 제 2 화소 소자는 제 2 게이트 라인들과 상기 데이터 라인들의 교차부에 설치된 제 2 일렉트로 루미네센스 셀(OLED) 구동회로에 의해 구동되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 12.

제 11 항에 있어서,

제 1 일렉트로 루미네센스 셀(OLED) 구동회로는,

기저전압원에 접속된 유기 발광 다이오드와;

상기 제 1 게이트 라인들과 상기 데이터 라인들의 교차부에 설치된 적어도 3개의 박막 트랜지스터를 포함하는 보상회로를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 13.

제 12 항에 있어서,

상기 유기 발광 다이오드는,

상기 보상회로로부터 공급되는 전류량에 대응하는 빛으로 발광하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 14.

제 12 항에 있어서,

상기 제 1 일렉트로 루미네센스 셀(OLED) 구동회로는,

게이트 신호에 의해 상기 게이트 라인들이 인에이블될 때 상기 데이터 라인들이 인에이블된 기간 동안 상기 데이터 라인들에 공급되는 역방향 전류량에 따라 변하는 정방향 전류 신호를 상기 유기 발광 다이오드에 공급하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 15.

제 13 항에 있어서,

상기 보상회로는,

공급전압라인들에 전류 미러를 형성하도록 접속된 제 1 및 제 2 피모스(PMOS) 박막 트랜지스터와;

상기 제 1 및 제 2 피모스(PMOS) 박막 트랜지스터의 게이트 전극들 사이에 접속된 제 3 피모스(PMOS) 박막 트랜지스터와;

상기 제 2 피모스(PMOS) 박막 트랜지스터와 상기 공급전압라인들 사이에 접속된 제 1 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 16.

제 15 항에 있어서,

상기 제 1 캐패시터는 상기 공급전압라인들이 상기 데이터 라인들에 접속될 때 상기 데이터 라인들 상의 전류신호를 충전하여 그 충전되어진 전류신호를 상기 제 2 피모스(PMOS) 박막 트랜지스터의 게이트 전극에 공급하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 17.

제 15 항에 있어서,

상기 제 2 피모스(PMOS) 박막 트랜지스터는 상기 제 1 캐패시터에 충전된 전류신호에 의해 턠-온 됨으로써 상기 공급전압라인들 상의 공급전압을 상기 유기 발광 다이오드에 공급하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 18.

제 15 항에 있어서,

상기 제 3 피모스(PMOS) 박막 트랜지스터는 상기 제 1 및 상기 제 2 피모스(PMOS) 박막 트랜지스터의 스위치 역할을 하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 19.

제 18 항에 있어서,

상기 제 3 피모스(PMOS) 박막 트랜지스터가 턠-온되면 상기 제 1 및 제 2 피모스(PMOS) 박막 트랜지스터는 전류 미러 회로가 되며, 이와 동시에 제 1 피모스(PMOS) 박막 트랜지스터가 턠-온되어 제 1 피모스(PMOS) 박막 트랜지스터를 통해 제1 데이터 라인들에는 일정한 크기의 전류가 흐르고, 제 2 피모스(PMOS) 박막 트랜지스터를 통해 유기 발광 다이오드에 동일한 크기의 전류가 흐르는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 20.

제 19 항에 있어서,

상기 유기 발광 다이오드는 상기 제1 캐패시터에 충전된 전류에 의한 홀딩시간 동안 공급되는 전류에 의하여 발광하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 21.

제 19 항에 있어서,

상기 제 1 데이터 라인들에 흐르는 전류 및 상기 유기 발광 다이오드에 흐르는 전류는 상기 제 1 피모스(PMOS) 박막 트랜지스터 및 상기 제 2 피모스(PMOS) 박막 트랜지스터의 폭(반도체층과 게이트 라인들이 오버랩되는 부분)과 길이(소오스-드레인의 거리)의 비율에 의하여 결정되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 22.

제 19 항에 있어서,

상기 제 1 피모스(PMOS) 박막 트랜지스터 및 상기 제 2 피모스(PMOS) 박막 트랜지스터는 문턱전압에 영향을 받지 않으면서 제 2 피모스(PMOS) 박막 트랜지스터에 흐르는 전류를 조정 가능한 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 23.

제 11 항에 있어서,

제 2 일렉트로 루미네센스 셀(OLED) 구동회로는,

기저전압원에 접속된 일렉트로 루미네센스 셀과;

상기 제 2 게이트 라인들과 상기 데이터 라인들의 교차부에 설치된 적어도 2개의 박막 트랜지스터를 포함하는 셀 구동회로를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 24.

제 23 항에 있어서,

상기 제 2 일렉트로 루미네센스 셀(OLED) 구동회로는,

게이트 신호에 의해 상기 게이트 라인들이 인에이블될 때 상기 데이터 라인들이 인에이블된 기간 동안 상기 데이터 라인들에 공급되는 역방향 전류량에 따라 변하는 정방향 전류 신호를 상기 유기 발광 다이오드에 공급하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 25.

제 23 항에 있어서,

상기 셀 구동회로는,

상기 유기 발광 다이오드와 상기 공급전압라인들 사이에 접속된 제 4 피모스(PMOS) 박막 트랜지스터와;

상기 제 4 피모스(PMOS) 박막 트랜지스터의 게이트 전극들과 상기 데이터 라인들 사이에 접속되어 스위치 역할을 하는 제 5 피모스(PMOS) 박막 트랜지스터와;

상기 제 4 피모스(PMOS) 박막 트랜지스터와 상기 공급전압라인들 사이에 접속된 제 2 캐패시터를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

### 청구항 26.

제 25 항에 있어서,

상기 제 2 캐패시터는 상기 공급전압라인들이 상기 데이터 라인들에 접속될 때 상기 데이터 라인들 상의 전류신호를 충전 하며 그 충전되어진 전류신호를 상기 제 4 피모스(PMOS) 박막 트랜지스터의 게이트 전극에 공급하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

**청구항 27.**

제 26 항에 있어서,

상기 제 4 피모스(PMOS) 박막 트랜지스터는 상기 캐패시터에 충전된 전류신호에 의해 턴-온 됨으로써 상기 공급전압라인들 상의 공급전압을 상기 제2 캐패시터에 공급하며, 공급전압을 상기 공급전압라인을 통해 상기 유기 발광 다이오드를 공급하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

**청구항 28.**

제 25 항에 있어서,

상기 제 5 피모스(PMOS) 박막 트랜지스터는 상기 제 4 피모스(PMOS) 박막 트랜지스터의 스위치 역할을 하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

**청구항 29.**

제 28 항에 있어서,

상기 제 5 피모스(PMOS) 박막 트랜지스터가 턴-온되면 상기 제 4 피모스(PMOS) 박막 트랜지스터는 상기 제 1 일렉트로 루미네센스 셀(OLED) 구동회로의 상기 제 1 피모스(PMOS) 박막 트랜지스터와 전류 미러 회로가 되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

**청구항 30.**

제 29 항에 있어서,

상기 제 1 피모스(PMOS) 박막 트랜지스터가 턴-온되어 제 1 피모스(PMOS) 박막 트랜지스터를 통해 제1 데이터 라인에는 일정한 크기의 전류가 흐르면, 상기 제 4 피모스(PMOS) 박막 트랜지스터를 통해 상기 유기 발광 다이오드에 동일한 크기의 전류가 흐르는 것을 특징으로 하는 일렉트로 루미네센스 패널.

**명세서****발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 일렉트로 루미네센스 패널에 관한 것으로, 특히 본 발명은 휙도를 향상시킬 수 있도록 한 일렉트로 루미네센스 패널에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display : 이하 "LCD"라 함), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함) 및 일렉트로 루미네센스(Electro-Luminescence : 이하 "EL"라 함) 표시장치 등이 있다.

**작제**

## 삭제

이와 같은 평판 표시장치의 표시품질을 높이고 대화면화를 시도하는 연구들이 활발히 진행되고 있다. 이들 중 EL 표시소자는 스스로 발광하는 자발광소자이다.

이러한 EL 표시소자는 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써 화상 또는 영상을 표시하게 되며, 직류 저전압으로 구동이 가능하고 응답속도가 빠르다.

EL 패널은 도 1과 같이 유리 기판(10) 상에 서로 교차되게 배열되어진 게이트 라인들 쌍들(GL, /GL) 및 데이터 라인들(DL)과, 게이트 라인들 쌍들(GL, /GL)과 데이터 라인들(DL)의 교차부들 각각에 배열되어진 화소 소자들(PE)을 구비한다.

화소 소자들(PE) 각각은 게이트 라인들 쌍들(GL, /GL)의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인들(DL) 상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여, 게이트 드라이버(12)는 게이트 라인들 쌍들(GL, /GL)에 접속되며, 데이터 드라이버(14)는 데이터 라인들(DL)에 접속된다. 게이트 드라이버(12)는 게이트 라인들 쌍들(GL, /GL)을 순차적으로 구동시키며, 데이터 드라이버(14)는 데이터 라인들을 통해 화소들(PE)에 화소신호를 공급하게 된다.

게이트 드라이버(12) 및 데이터 드라이버(14)에 의해 구동되는 화소 소자들(PE)은 도 2에 도시된 바와 같이 기저전압라인들(GND)에 접속되어진 EL 셀(OLED)과, 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로(16)로 구성된다. 셀 구동회로(16)는 제 1, 제 2 노드(N1, N2) 및 EL 셀(OLED) 사이에 접속되어진 제 1 PMOS 박막 트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)(MP1)와, 게이트 라인들(GL)과 제 2 노드 및 EL 셀(OLED) 사이에 접속되어진 제 2 PMOS TFT(MP2)와, 제 1 및 제 2 노드(N1, N2) 사이에 접속되어진 캐패시터(C1)을 구비한다.

캐패시터(C1)는 데이터 라인들(DL)으로부터 화소신호가 인가될 때, 화소신호의 전압을 충전하여 그 충전되어진 화소전압을 제 1 PMOS TFT(MP1)의 게이트 전극에 공급한다. 제 1 PMOS TFT(MP1)는 캐패시터(C1)에 충전되어진 화소전압에 의하여 텐-온 됨으로써 공급전압라인들(VDDL)으로부터 제 1 노드(N1)를 경유하여 공급전압(VDD)이 EL 셀(OLED)에 공급되게 한다. 이 때, 제 1 PMOS TFT(MP1)는 화소신호의 전압레벨에 따라 자신의 채널 폭을 가변시켜 EL 셀(OLED)에 공급되는 전류량을 조절한다. 그러면, EL 셀(OLED)은 제 1 PMOS TFT(MP1)로부터 인가되는 전류량에 상응하는 빛을 발생한다.

제 2 PMOS TFT(MP2)는 게이트 라인들(GL)으로부터 인가되는 도 3와 같은 게이트 신호(GLS)에 응답하여 제 2 노드(N2)를 EL 셀(OLED)에 선택적으로 접속시킨다. 이를 상세히 설명하면, 제 2 PMOS TFT(MP2)는 게이트 신호(GLS)가 로우논리로 인에이블되는 기간에 제 2 노드(N2)를 EL 셀(OLED)에 접속시켜 화소신호가 캐패시터(C1)에 충전될 수 있게 한다. 다시 말하면, 제 2 PMOS TFT(MP2)는 게이트 라인들(GL) 상의 게이트 신호(GLS)가 인에이블되는 기간에 캐패시터(C1)의 전류 통로를 형성하게 된다. 캐패시터(C1)는 게이트 신호가 인에이블되는 기간에 화소신호를 충전하여 제 1 PMOS TFT(MP1)의 게이트 전극 상의 전압을 드레인 전극 상의 전압 보다 충전된 화소신호의 전압레벨 만큼의 낮아지게 한다. 이에 따라, 제 1 PMOS TFT(MP1)는 화소신호의 전압레벨에 따라 채널 폭을 조절하여 제 1 노드(N1)로부터 EL 셀(OLED) 쪽으로 흐르는 전류량을 결정하게 된다.

또한, 통상의 EL 셀(OLED) 구동회로는 게이트 라인들(GL) 상의 게이트 신호에 응답하는 제 3 PMOS TFT(MP3)와, 게이트 바 라인들(GL)으로부터의 반전된 게이트 신호(/GLS)에 응답하는 제 4 PMOS TFT(MP4)를 추가로 구비한다.

제 3 PMOS TFT(MP3)는 로우논리의 게이트신호가 게이트 라인들(GL)으로부터 공급되는 기간에 텐-온되어 제 1 노드(N1)에 접속되어진 캐패시터(C1) 및 제 1 PMOS TFT(MP1)의 드레인 전극이 데이터 라인들(DL)에 접속되게 한다. 이를 상세히 설명하면, 제 3 PMOS TFT(MP3)는 로우논리의 게이트 신호(GLS)에 응답하여 데이터 라인들(DL) 상의 화소 신호를 제 1 노드(N1) 쪽으로 전송하는 역할을 하게 된다.

## 삭제

결과적으로, 제 3 PMOS TFT(MP3)는 게이트 라인들(GL) 상의 게이트 신호가 로우논리를 유지하는 기간 텐-온되어 화소신호가 제 1 및 제 2 노드(N1, N2) 사이에 접속되어진 캐패시터(C1)에 충전되게 한다. 제 4 PMOS TFT(MP4)는 게이트 바 라인들(GL)으로부터 로우논리의 반전된 게이트 신호(/GLS)가 지신의 게이트 전극 쪽으로 공급되는 기간에 텐-온되어 캐패시터(C1) 및 제 1 PMOS TFT(MP1)의 드레인 전극이 접속되어진 제 1 노드(N1)를 공급전압라인들(VDDL)에

접속시킨다. 제 4 PMOS TFT(MP4)가 턴-온되어진 기간에 공급전압라인들(VDDL) 상의 공급전압(VDD)은 제 1 노드(N1) 및 제 1 PMOS TFT(MP1)를 경유하여 EL 셀(OLED)에 공급됨으로써 EL 셀(OLED)이 화소신호의 전압레벨에 따른 량의 빛을 발생하게 한다.

## 삭제

## 삭제

이러한 EL 소자는 EL 셀(OLED)을 이용하여 빛을 발생시키는데 필요한 전류를 PMOS TFT로부터 공급받아 동작하는데, 이러한 PMOS TFT의 특성은 도 4와 같다.

도 4의 가로축은 게이트 전압에 따른 드레인과 소오스간의 전압( $V_{DS}$ )이며, 세로축은 드레인 전류( $I_D$ )를 나타낸다.

도 4를 참조하면, PMOS TFT의 특성은 게이트 전압( $V_G$ ) 값에 따라 드레인과 소오스간의 전압( $V_{DS}$ )과 드레인 전류( $I_D$ )가 달라진다. 특히 EL 소자는 공급되는 전류에 의해 동작하여 발광하므로 전류의 조절이 무엇보다도 중요하다. 도 4에 도시된 A부분에서처럼 문턱전압( $V_{TH}$ )까지는 드레인과 소오스간의 전압( $V_{DS}$ )의 작은 변화에도 드레인 전류( $I_D$ )의 변화가 매우 크기 때문에 드레인 전류( $I_D$ )의 변화가 크게 되면 전류에 의해 발광하는 EL소자의 EL 셀상에 비내리는 듯한 줄무늬가 발생하는 문제점이 발생한다.

## 삭제

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 일렉트로 루미네센스 패널을 제작할 때 PMOS 박막 트랜지스터의 전류특성을 보상하여 휘도를 향상할 수 있도록 한 일렉트로 루미네센스 패널을 제공하는 것이다.

### 발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 일렉트로 루미네센스 패널은 게이트 라인들과, 상기 게이트 라인들과 교차되게 배열된 데이터 라인들과, 상기 게이트 라인들과 상기 데이터 라인들의 교차부들에 배치되는 일렉트로 루미네센스 셀(OLED)들을 구비하는 일렉트로 루미네센스 패널에 있어서, 상기 게이트 라인들 중 임의의 제 1 게이트 라인들과 상기 데이터 라인들의 교차부에 설치되어 상기 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 제 1 일렉트로 루미네센스 셀(OLED) 구동회로와; 상기 제 1 게이트 라인들을 제외한 게이트 라인들과 상기 데이터 라인들의 교차부에 설치되어 일렉트로 루미네센스 셀(OLED)들을 구동시키기 위한 제 2 일렉트로 루미네센스 셀(OLED) 구동회로를 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징은 첨부도면을 참조한 실시 예에 대한 설명으로 나타나게 될 것이다.

## 삭제

이하, 도 5 내지 도 8을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

일렉트로 루미네센스(Electro Luminescence ; 이하 "EL"라 함) 패널은 도 5와 같이 유리 기판(20) 상에 서로 교차되게 배열되어진 게이트 라인들 쌍들(GL, /GL) 및 데이터 라인들(DL)과, 게이트 라인들 쌍들(GL, /GL)과 데이터 라인들(DL)의 교차부들 각각에 배열되어진 화소 소자들(PE1 및 PE2)을 구비한다.

화소 소자들(PE1 및 PE2) 각각은 게이트 라인들 쌍들(GL, /GL)의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인들(DL)상의 화소 신호의 크기에 상응하는 빛을 발생한다.

EL 패널을 구동하기 위하여, 게이트 드라이버(22)는 게이트 라인들 쌍들(GL, /GL)에 접속되며, 데이터 드라이버(24)는 데이터 라인들(DL)에 접속된다. 게이트 드라이버(22)는 게이트 라인들 쌍들(GL, /GL)을 순차적으로 구동시키며, 데이터 드라이버(24)는 데이터 라인들을 통해 화소 소자들(PE1 및 PE2)에 화소신호를 공급한다.

## 삭제

게이트 드라이버(22) 및 데이터 드라이버(24)에 의해 구동되는 화소 소자들(PE1 및 PE2)은 도 6에 도시된 바와 같이 기저 전압라인들(GND)에 접속되어진 EL 셀(OLED)과 이 EL 셀(OLED)을 구동하기 위한 셀 구동회로로 구성된다.

도 6은 전류 미러(Current Mirror)회로를 포함하는 일렉트로 루미네센스 패널을 나타내는 도면이다.

도 6에 도시된 일렉트로 루미네센스 패널은 하나의 데이터 라인들에 접속된 하나의 보상회로(PE1)와 화소 소자(PE2)에 접속된 두개의 박막 트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)로 구성된 회로로써, 이하, 도 7 및 도 8을 참조하여 상세히 설명하기로 한다.

도 7을 참조하면, 보상회로(PE1)는 기저전위원(GND)에 접속되어진 EL 셀(OLED)과, EL 셀(OLED) 및 데이터 라인들(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(26)를 구비한다. EL 셀(OLED) 구동회로(26)는 게이트 라인들(GL) 상의 게이트 신호가 인에이블된 기간에 데이터 라인들(DL) 상의 역방향 전류량에 따라 변하는 정방향전류신호를 EL 셀(OLED)에 공급하게 된다.

#### 삭제

이를 위하여, EL 셀(OLED) 구동회로(26)는 EL 셀(OLED) 및 공급전압라인들(VDD)에 전류 미러를 형성하도록 접속되어진 제 1 및 제 2 PMOS TFT(P1, P2)와, 이들 제 1 및 제 2 PMOS TFT(P1, P2)의 게이트 전극들 사이에 접속되어 스위치 역할을 하는 제 3 PMOS TFT(P3)와, 제 2 PMOS TFT(P2)과 공급전압라인들(VDD)사이에 접속되어진 캐패시터( $C_{ST1}$ )를 구비한다.

캐패시터( $C_{ST1}$ )는 공급전압라인들(VDD)이 데이터 라인들(DL)에 접속될 때, 데이터 라인들(DL) 상의 신호전류를 충전하여 그 충전되어진 신호전류를 제 2 PMOS TFT(P2)의 게이트 전극에 공급한다. 제 2 PMOS TFT(P2)는 캐패시터( $C_{ST1}$ )에 충전되어진 신호전류에 의해 턴-온 됨으로써 공급전압라인들(VDD) 상의 공급전압(VDD)이 EL 셀(OLED)에 공급되게 한다.

제 3 PMOS TFT(P3)는 스위치 역할을 하는 소자이며, 제 3 PMOS TFT(P3)가 턴-온 되면 제 1 및 제 2 PMOS TFT(P1, P2)는 전류 미러의 회로가 된다. 이 때, 제 1 PMOS TFT(P1)가 턴온됨으로써 제 1 PMOS TFT(P1)에 의해  $C_{OL1}$ 라인들에 일정한 크기를 가진 전류( $I_{COL}$ )가 흐르게 되고, 캐패시터( $C_{ST1}$ )에 충전이 된다. 캐패시터( $C_{ST1}$ )는 제 1 PMOS TFT(P2)의 게이트 전극과 공급전압(VDD)에 접속되어 EL 셀(OLED)에 공급되는 데이터의 전류를 홀딩(Holding) 시킨다. 이러한 홀딩시간으로 인해 데이터라인들에서 공급되는 화상신호가 EL 셀(OLED)공급되는 것을 캐패시터( $C_{ST1}$ )에 의해 유지하게 된다.

전류 미러 회로에서 TFT의 폭(Width)을 반도체층과 게이트 라인들이 오버랩(Overlap)되는 부분이라 하며, 길이(Length)를 데이터 라인들 상의 소오스-드레인의 거리라한다. 이러한 제 1 PMOS TFT(P1)와 제 2 PMOS TFT(P2)의 폭(Width)과 길이(Length)의 비율이 같다면 같은 크기의 전류가 제 1 PMOS TFT(P1)와 제 2 PMOS TFT(P2)로 흐른다. 그러나, 제 1 PMOS TFT(P1)와 제 2 PMOS TFT(P2)의 비율이 1:K 이라면 제 2 PMOS TFT(P2)로 흐르는 전류는 제 1 PMOS TFT(P1)로 흐르는 전류와  $K \times$ 전류( $I_{COL}$ )의 크기를 가지는 전류가 흐르게 된다. 여기서, K는 PMOS TFT의 폭과 길이의 비율이다. 따라서, 제 1 PMOS TFT(P1)와 제 2 PMOS TFT(P2)는 문턱전압( $V_{TH}$ )의 영향을 받지 않으면서 제 2 PMOS TFT(P2)에 흐르는 전류를 조정 가능하게 된다.

#### 삭제

도 8은 도 5에서의 화소 소자(PE2)는 게이트 라인들과 데이터 라인들의 교차부에 적용된 구동회로로써 2개의 TFT로 구성된다.

도 8을 참조하면, 화소 소자(PE2)는 기저전위원(GND)에 접속되어진 셀(OLED)과, 상기 EL 셀(OLED) 및 데이터 라인들(DL) 사이에 접속되어진 EL 셀(OLED) 구동회로(36)를 구비한다. EL 셀(OLED) 구동회로(36)는 게이트 라인들(GL) 상의 게이트 신호가 인에이블된 기간에 데이터 라인들(DL) 상의 역방향 전류량에 따라 변하는 정방향전류신호를 EL 셀(OLED)에 공급하게 된다.

이를 위하여, EL 셀(OLED) 구동회로(36)는 EL 셀(OLED) 및 보상회로가 적용된 데이터 라인들의 제 1 PMOS TFT(P1)의 드레인 전극의 연장선상과 공급전압라인들(VDD)에 전류 미러를 형성하게 접속되어진 제 4 PMOS TFT(P4)와, 이들 제 1 및 제 4 PMOS TFT(P1, P4)의 게이트 전극들 사이에 접속되어 스위치 역할을 하는 제 5 PMOS TFT(P5)와, 제 4 PMOS TFT(P4)의 게이트 전극과 공급전압라인들(VDD)사이에 접속되어진 캐패시터( $C_{ST2}$ )를 구비한다.

## 삭제

제 5 PMOS TFT(P5)가 턴-온 되면 제 1 및 제 4 PMOS TFT(P1, P4)는 전류 미러의 회로가 된다. 이때, 제 5 PMOS TFT(P5)가 턴온됨으로써 제 1 PMOS TFT(P1)에 의해  $COL_1$ 라인들에 일정한 크기를 가진 전류( $I_{COL}$ )가 흐르게 되고, 캐패시터( $C_{ST2}$ )에 충전이 된다. 캐패시터( $C_{ST2}$ )는 제 4 PMOS TFT(P4)의 게이트 전극과 공급전압(VDD)에 접속되어 EL 셀(OLED)에 공급되는 데이터의 전류를 홀딩(Holding)시킨다. 이러한 홀딩시간으로 인해 데이터라인들에서 공급되는 화상신호가 EL 셀(OLED)공급되는 것을 캐패시터( $C_{ST2}$ )에 의해 유지하게 된다.

전류 미러회로에서 제 1 PMOS TFT(P1)와 제 4 PMOS TFT(P4)의 폭(Width)과 길이(Length)의 비율이 같다면 같은 크기의 전류가 제 1 PMOS TFT(P1)와 제 4 PMOS TFT(P4)로 흐른다. 그러나, 제 1 PMOS TFT(P1)와 제 4 PMOS TFT(P4)의 비율이 1:K 이라면 제 4 PMOS TFT(P4)로 흐르는 전류는 제 1 PMOS TFT(P1)로 흐르는 전류와  $K \times$ 전류( $I_{COL}$ )의 크기를 가지는 전류가 흐르게 된다. 따라서, 제 1 PMOS TFT(P1)와 제 4 PMOS TFT(P4)는 문턱전압( $V_{TH}$ )의 영향을 받지 않으면서 제 4 PMOS TFT(P4)의 흐르는 전류를 조정 가능하게 된다.

마찬가지로, 제 7 및 제 9 PMOS TFT(P7, P9)가 각각 턴-온 하면 제 1 PMOS TFT(P1)와 제 6 PMOS TFT(P6) 내지 제 1 PMOS TFT(P1)와 제 8 PMOS TFT(P8)가 전류 미러회로로 구성되어 상술한 바와 같이 동작한다.

## 발명의 효과

상술한 바와 같이, 본 발명에 따른 일렉트로 루미네센스 패널은 하나의 데이터 라인들에 하나의 보상회로를 구성함으로써 각 픽셀별로 보상회로를 적용한 일렉트로 루미네센스 패널보다 개구율을 크게 향상시킬 수 있는 장점과 아울러 수율이 향상되며, 또한 화소셀 상에 발생하는 줄무늬를 제거할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여 져야만 할 것이다.

## 도면의 간단한 설명

도 1은 종래의 일렉트로 루미네센스 패널을 개략적으로 나타내는 도면.

도 2는 도 1에 도시된 화소 소자를 상세히 나타내는 회로도.

도 3은 도 1에 도시된 화소 소자에 공급될 게이트 신호들을 나타내는 과정도.

도 4는 박막 트랜지스터의 특성을 나타내는 그래프.

도 5는 본 발명에 따른 일렉트로 루미네센스 패널을 개략적으로 나타내는 도면.

도 6은 본 발명에 따른 화소 소자를 상세히 나타내는 회로도.

도 7은 도 6에 도시된 화소셀(PE1)에 보상회로를 나타내는 회로도.

도 8은 도 6에 도시된 화소셀(PE2)을 나타내는 회로도.

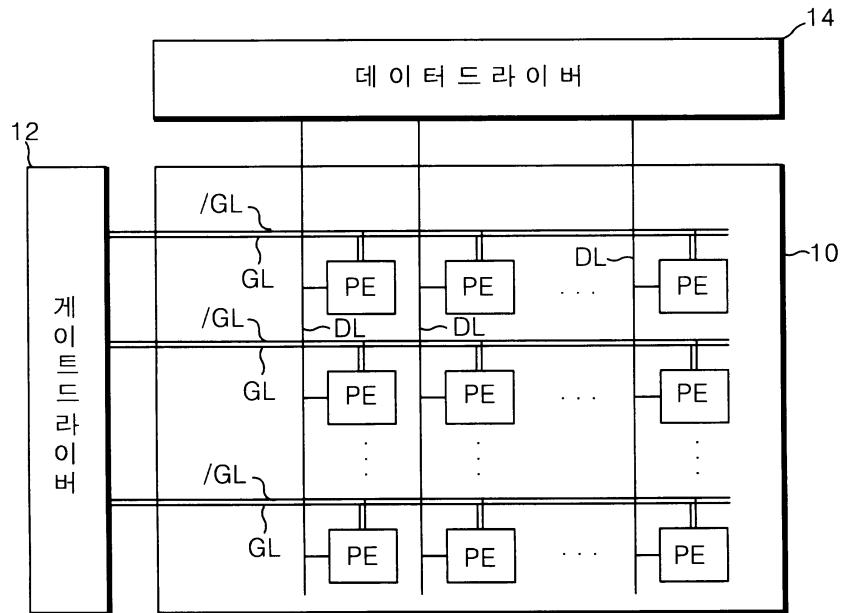
〈도면의 주요 부분에 대한 부호의 설명〉

12, 22 : 케이트 드라이버 14, 24 : 데이터 드라이버

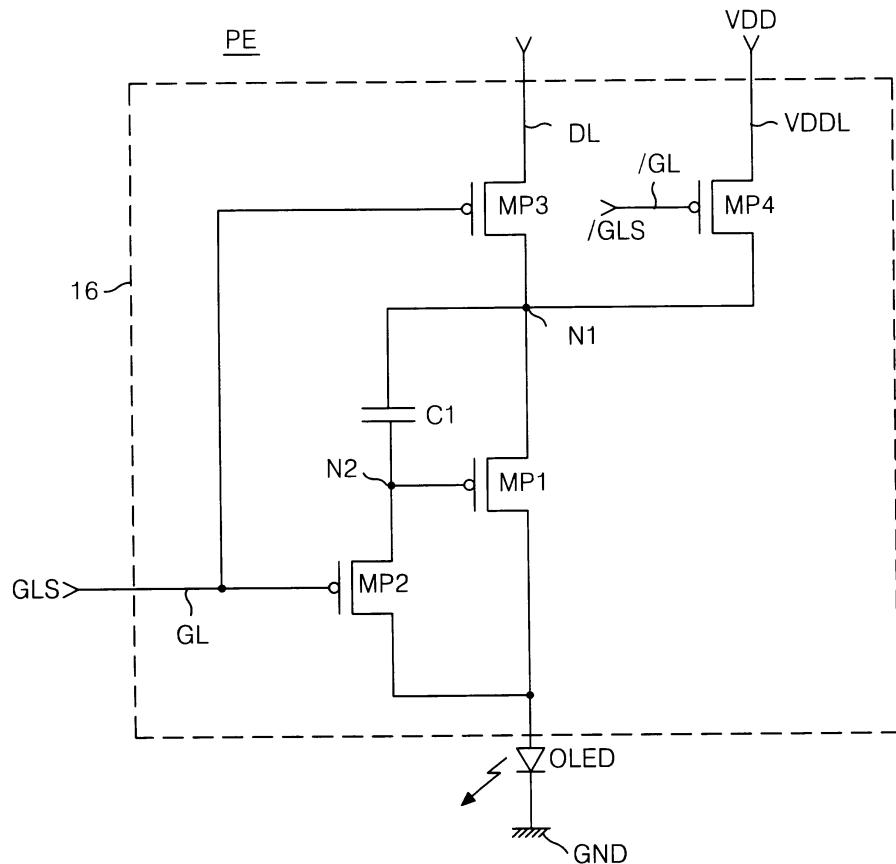
16, 26, 36 : 셀 구동회로 PE, PE1, PE2 : 화소소자

도면

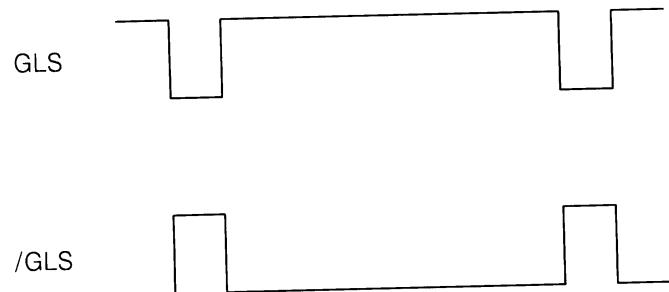
도면1



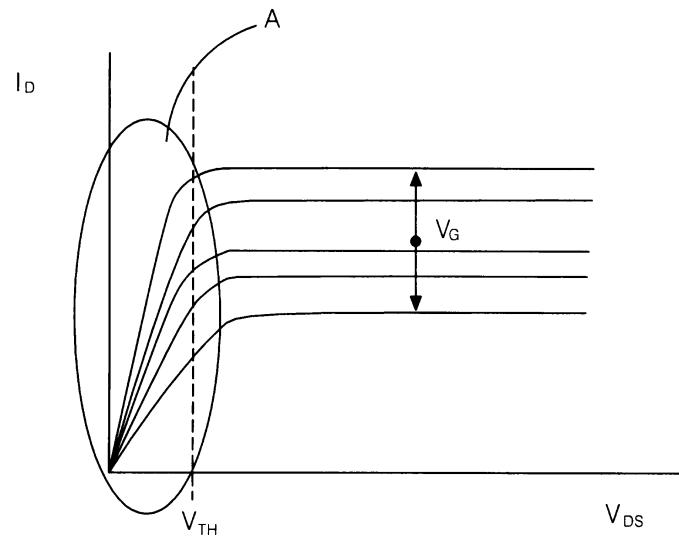
## 도면2



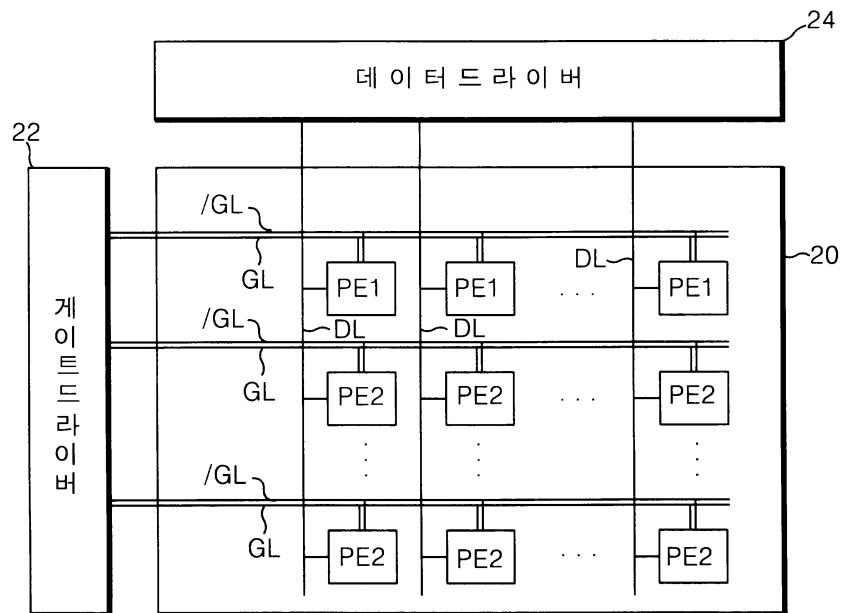
### 도면3



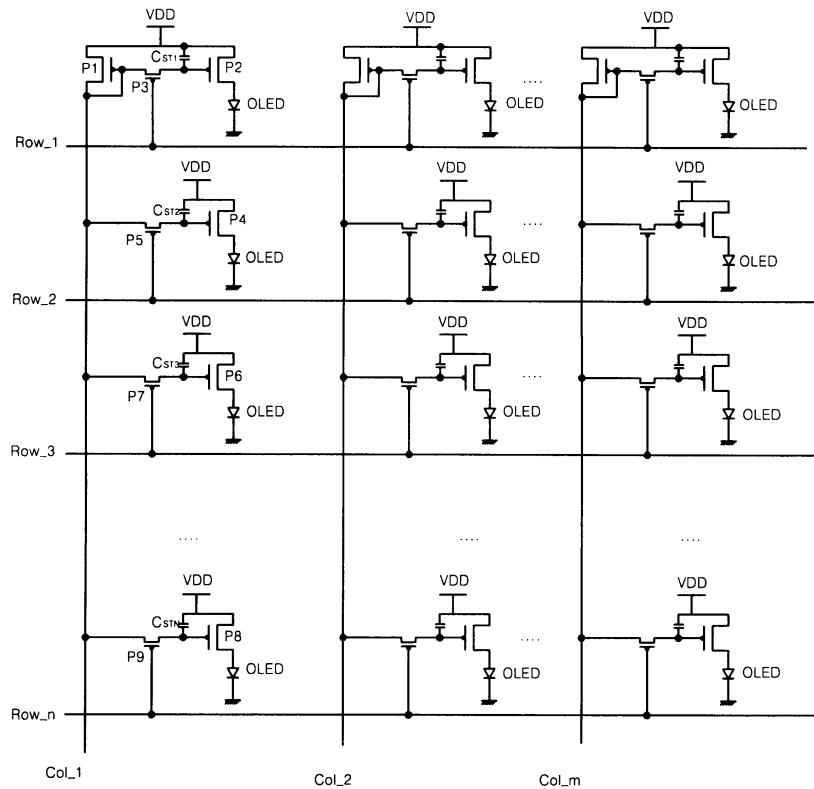
## 도면4



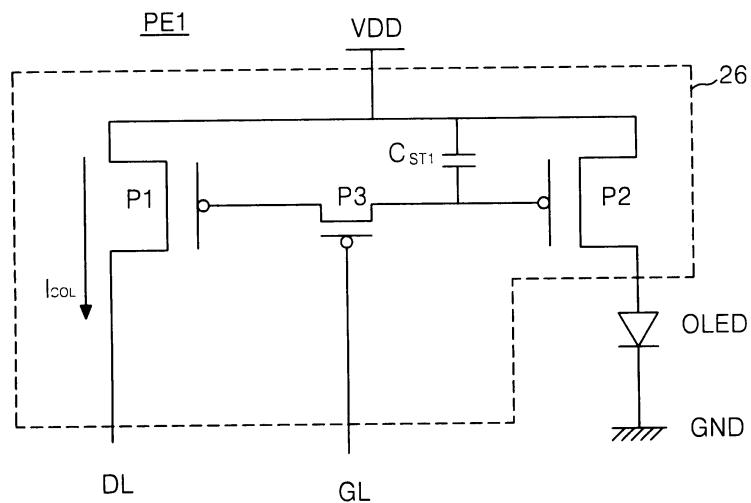
## 도면5



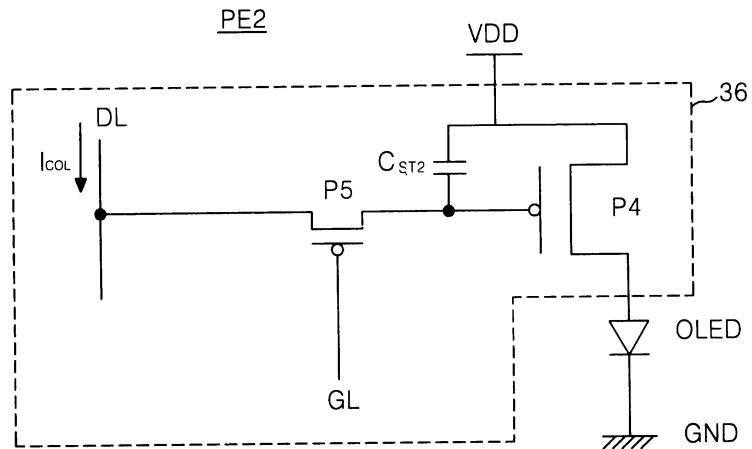
## 도면6



## 도면7



## 도면8



专利名称(译)	电致发光板		
公开(公告)号	<a href="#">KR100675319B1</a>	公开(公告)日	2007-01-26
申请号	KR1020000081417	申请日	2000-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JOON KYU 박준규 BAE SUNGJOON 배성준 LEE HANSANG 이한상 AHN TAE JOON 안태준		
发明人	박준규 배성준 이한상 안태준		
IPC分类号	G09G3/30 H01L51/50 G09G3/20 G09G3/32		
CPC分类号	G09G2300/0465 G09G2300/0842 G09G3/3283 G09G3/3241 G09G3/3233 G09G2300/08		
代理人(译)	KIM , YOUNG HO		
其他公开文献	KR1020020052136A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

目的：提供一种电致发光板，通过在电致发光板的制造过程中补偿PMOS TFT的电流特性来提高亮度。

