



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|---------------------|-----------|-------------|
| (51) 。 Int. Cl. | (45) 공고일자 | 2006년12월28일 |
| G09G 3/30 (2006.01) | (11) 등록번호 | 10-0662983 |
| G09G 3/20 (2006.01) | (24) 등록일자 | 2006년12월21일 |

| | | |
|-----------|-----------------|-----------|
| (21) 출원번호 | 10-2005-0092315 | (65) 공개번호 |
| (22) 출원일자 | 2005년09월30일 | (43) 공개일자 |
| 심사청구일자 | 2005년09월30일 | |

| | |
|-----------|-----------------------------------|
| (73) 특허권자 | 삼성에스디아이 주식회사 경기 수원시 영통구 신동 575 |
| (72) 발명자 | 신동용 서울특별시 관악구 봉천1동 969-37 |
| (74) 대리인 | 신영무 |

심사관 : 천대식

전체 청구항 수 : 총 10 항

(54) 주사 구동회로와 이를 이용한 유기 전계발광 장치

(57) 요약

본 발명의 제 1측면은, 입력 신호라인 또는 이전단 출력전압 라인에 종속 접속되고, 클럭신호 입력라인에 각각 접속된 다단의 스테이지들로 구성된 주사 구동회로에 있어서, 상기 다단의 스테이지를 통해 순차적으로 선택 신호 또는 부스트 신호를 출력하는 제 1주사 구동부가 포함되며, 상기 부스트 신호를 출력하는 제 1주사 구동부의 각 스테이지는, 이전단 출력전압 또는 최초 입력 신호를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 M1과; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 M2와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 M3와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드 사이(N1)에 접속된 M4와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 M5와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 3전원(VL) 입력라인 및 부스트 신호 출력라인(BST)에 접속된 M6와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 부스트 신호 출력 라인(BST) 사이에 접속된 M7와; 상기 제 2클럭단자에 게이트 단자가 접속되고, 상기 M6와 M7 사이에 접속된 M8가 포함되어 구성됨을 특징으로 하는 주사 구동회로를 제공한다.

대표도

도 18

특허청구의 범위

청구항 1.

입력 신호라인 또는 이전단 출력전압 라인에 종속 접속되고, 클럭신호 입력라인에 각각 접속된 다단의 스테이지들로 구성된 주사 구동회로에 있어서,

상기 다단의 스테이지를 통해 순차적으로 선택 신호 또는 부스트 신호를 출력하는 제 1주사 구동부가 포함되며,

상기 부스트 신호를 출력하는 제 1주사 구동부의 각 스테이지는, 이전단 출력전압 또는 최초 입력 신호를 입력 받고, 제 1 클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력라인(OUT) 사이에 접속된 제 5트랜지스터(M5)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 3전원(VL) 입력라인 및 부스트 신호 출력라인(BST)에 접속된 제 6트랜지스터(M6)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 부스트 신호 출력 라인(BST) 사이에 접속된 제 7트랜지스터(M7)와; 상기 제 2클럭단자에 게이트 단자가 접속되고, 상기 M6와 M7 사이에 접속된 제 8트랜지스터(M8)가 포함되어 구성됨을 특징으로 하는 주사 구동회로.

청구항 2.

제 1항에 있어서,

상기 제 1트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함되어 구성됨을 특징으로 하는 주사 구동회로.

청구항 3.

제 1항에 있어서,

상기 제 3전원(VL)은 소정의 로우 레벨 값에 해당하는 음의 전압임을 특징으로 하는 주사 구동회로.

청구항 4.

제 3항에 있어서,

상기 제 3전원의 로우 레벨은 상기 클럭신호의 로우 레벨 절대값 보다 적음을 특징으로 하는 주사 구동회로.

청구항 5.

입력 신호라인 또는 이전단 출력전압 라인에 종속 접속되고, 클럭신호 입력라인에 각각 접속된 다단의 스테이지들로 구성된 주사 구동회로에 있어서,

상기 다단의 스테이지를 통해 순차적으로 선택 신호 및 부스트 신호를 출력하는 제 1주사 구동부가 포함되며,

상기 제 1주사 구동부의 각 스테이지는, 이전단 출력전압 또는 최초 입력 신호를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 3전원(VL) 입력라인 및 부스트 신호 출력라인(BST)에 접속된 제 6트랜지스터(M6)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 부스트

신호 출력 라인(BST) 사이에 접속된 제 7트랜지스터(M7)와; 상기 제 2클럭단자에 게이트 단자가 접속되고, 상기 M6와 M7 사이에 접속된 제 8트랜지스터(M8)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 선택 제어신호 입력라인 및 선택 신호 출력라인(SEL)에 접속된 제 9트랜지스터(M9)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 선택 신호 출력 라인(SEL) 사이에 접속된 제 10트랜지스터(M10)가 포함되어 구성됨을 특징으로 하는 주사 구동 회로.

청구항 6.

제 5항에 있어서,

상기 제 1트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함되어 구성됨을 특징으로 하는 주사 구동 회로.

청구항 7.

제 5항에 있어서,

상기 제 3전원(VL)은 소정의 로우 레벨 값에 해당하는 음의 전압임을 특징으로 하는 주사 구동 회로.

청구항 8.

제 7항에 있어서,

상기 제 3전원의 로우 레벨은 상기 클럭신호의 로우 레벨 절대값 보다 적음을 특징으로 하는 주사 구동 회로.

청구항 9.

제 5항에 있어서,

상기 선택 제어신호 입력라인으로 기수번째 및 우수번째 선택 신호를 순차적으로 출력케 하기 위한 선택 제어신호가 인가됨을 특징으로 하는 주사 구동 회로.

청구항 10.

선택 신호선들, 데이터선들, 발광 신호선들 및 부스트 신호선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와;

상기 데이터선들로 데이터신호를 공급하는 데이터 구동 회로와;

클럭신호 입력라인에 각각 접속된 다단의 스테이지들로 구성되며, 상기 다단의 스테이지를 통해 순차적으로 선택 신호 또는 부스트 신호를 출력하는 제 1주사 구동부와; 상기 다단의 스테이지를 통해 순차적으로 발광 신호를 출력하는 제 2주사 구동부로 구성되는 주사 구동 회로가 포함되며,

상기 부스트 신호를 출력하는 제 1주사 구동부의 각 스테이지는, 이전단 출력전압 또는 최초 입력 신호를 입력 받고, 제 1 클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1 노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 3전원(VL) 입력라인

및 부스트 신호 출력라인(BST)에 접속된 제 6트랜지스터(M6)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 부스트 신호 출력 라인(BST) 사이에 접속된 제 7트랜지스터(M7)와; 상기 제 2클럭단자에 게이트 단자가 접속되고, 상기 M6와 M7 사이에 접속된 제 8트랜지스터(M8)가 포함되어 구성됨을 특징으로 하는 유기 전계발광 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계발광 장치에 관한 것으로, 특히 전류 기입형 유기전계발광 장치에 이용되는 주사 구동회로에 관한 것이다.

일반적으로 유기 전계발광 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, M*N 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 애노드(ITO), 유기 박막, 캐소드 레이어(metal)의 구조를 가지고 있다.

상기 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emission layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injection layer, EIL)과 정공 주입층(hole injection layer, HIL)을 포함하고 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT)를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터를 각 ITO(indium tin oxide) 화소 전극에 접속하고 박막 트랜지스터의 게이트에 접속된 캐패시터의 용량에 의해 유지된 전압에 따라 구동하는 방식이다.

이때, 캐패시터에 전압을 설정하기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

이와 같은 능동 구동 방식의 유기 전계발광 장치는 크게 표시 패널, 데이터 구동회로, 주사 구동회로, 타이밍 제어부가 포함되어 구성되며, 상기 주사 구동회로는 상기 타이밍 제어부로부터 주사 구동제어신호를 공급 받고, 이에 주사 구동회로는 주사신호를 생성하며, 상기 생성된 주사신호를 표시 패널의 주사선들로 순차적으로 공급한다.

즉, 상기 주사 구동회로는 상기 패널 내에 구비된 복수의 화소들을 구동하기 위해 순차적으로 상기 주사신호를 생성하여 이를 패널에 제공하는 역할을 수행한다.

도 1은 종래의 일반적인 주사 구동회로의 구성을 나타내는 블록도이다.

도 1을 참조하면, 종래의 일반적인 주사 구동회로는 스타트 펄스(SP) 입력 라인에 종속적으로 접속된 다수의 스테이지(ST1 내지 STn)으로 구성되며, 상기 다수의 스테이지들(ST1 내지 STn)은 스타트 펄스(SP)를 클럭 신호(C)에 따라 순차적으로 쉬프트시켜 출력신호(SO1 내지 SOn)를 발생한다. 이 경우 제 2 내지 제 n 스테이지(ST2 내지 STn) 각각은 전단 출력 신호를 스타트 펄스로 입력받아 이를 쉬프트시키게 된다.

이에 따라 상기 스테이지들은 상기 스타트 펄스가 순차적으로 쉬프트되는 형태의 출력신호(SO1 내지 SOn)를 발생하여 이를 상기 매트릭스 화소 어레이에 제공하게 되는 것이다.

도 2는 도 1에 도시된 주사 구동회로에서 임의 스테이지의 회로도이고, 도 3은 도 2에 도시된 스테이지의 입/출력 신호 파형도이다.

도 2 및 도 3을 참조하면, 종래의 경우 주사 구동회로를 구성하는 각 스테이지는 마스터-슬레이브(Master-Slave) 형태의 플립플롭(flip/flop)을 사용한다. 이러한 플립플롭은 클럭(clk)이 로우 레벨일 때 입력을 계속 받으며, 출력은 이전의 출력을 유지한다.

반면에 상기 클럭(clk)이 하이 레벨인 경우에는 상기 클럭(clk)이 로우 레벨일 때 받은 입력(IN)을 유지하며 이를 출력으로 내보내고 더 이상의 입력을 받지 않는다.

이와 같은 회로에 있어서, 상기 플립플롭 내부에 구비되는 인버터(inverter)의 경우 그 입력(in)이 로우 레벨일 때 스테틱 전류(static current)가 흐르는 문제가 있다. 또한, 상기 플립플롭 내부에서 하이 레벨 입력(in)을 받은 인버터와 로우 레벨 입력(in)을 받은 인버터의 수가 같으므로 상기 플립플롭 내부의 인버터 중 절반에서는 상기 스테틱 전류가 발생되어 소비 전력이 크게 되는 단점이 있다.

그리고, 도 3의 회로에서 출력 전압(OUT)의 하이 레벨은 공급전압(VDD)과 접지(GND) 사이를 연결하는 저항의 비에 의한 전압값으로 결정되며(ratioed logic), 출력 전압(OUT)의 로우 레벨은 접지(GND)보다 트랜지스터의 문턱전압 만큼 높게 된다.

즉, 트랜지스터의 특성 편차에 따라 각 스테이지마다 하이 레벨로 받아들이는 입력전압 레벨이 다르게 되기 때문에 이와 같은 회로를 채용할 경우 출력 전압의 하이 레벨에도 편차가 생겨 회로가 오동작할 수 있게 되는 단점이 있다.

또한, 상기 출력 전압의 로우 레벨 편차는 도 2의 회로에 구비된 인버터의 입력 트랜지스터(T1)의 온(on) 저항의 편차로 반영되어 출력 전압의 하이 레벨 편차를 가중시킬 수 있다. 특히 유기 전계발광 장치 패널에서는 특성 편차가 큰 트랜지스터를 사용하므로 이러한 문제가 더욱 심각해 진다.

또한, 상기 인버터는 입력 트랜지스터(T1)를 통해서 전류가 흘러 출력단(out)을 충전하며, 로드 트랜지스터(T2)를 통해서 전류가 흘러 출력단(out)을 방전하는데, 상기 출력단을 충전할 경우 상기 로드 트랜지스터(T2)의 소스-게이트 전압이 점점 줄어 방전 전류가 급격히 감소해 방전 효율이 떨어지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 능동 구동 방식의 전류 기입형 유기 전계발광 장치에서 선택 신호 및/또는 부스트 신호를 제공하는 주사구동 회로에 있어서, 상기 선택 신호 및 부스트 신호를 순차적으로 출력하는 다단의 스테이지를 구비하며, 출력 신호의 파형을 개선하고 상기 스테이지에 대해 스테틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써 소비전력을 줄이는 주사 구동회로 및 이를 이용한 유기 전계발광 장치를 제공함에 그 목적이 있다.

또한, 상기 부스트 신호의 펄스 폭과 스윙을 자유롭게 조정하여 출력토록 함으로써, 유기 EL 소자(OLED)에 공급되는 전류(I_{OLED})를 원하는 값으로 설정하도록 하는 주사 구동회로 및 이를 이용한 유기 전계발광 장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 제 1측면은, 입력 신호라인 또는 이전단 출력전압 라인에 종속 접속되고, 클럭신호 입력라인에 각각 접속된 다단의 스테이지들로 구성된 주사 구동회로에 있어서, 상기 다단의 스테이지를 통해 순차적으로 선택 신호 또는 부스트 신호를 출력하는 제 1주사 구동부가 포함되며, 상기 부스트 신호를 출력하는 제 1주사 구동부의 각 스테이지는, 이전단 출력전압 또는 최초 입력 신호를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 3전원(VL) 입력라인 및 부스트 신호 출력라인(BST)에 접속된 제 6트랜지스터(M6)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 부스트 신호 출력 라인(BST) 사이에 접속된 제 7트랜지스터(M7)와; 상기 제 2클럭단자에 게이트 단자가 접속되고, 상기 M6와 M7 사이에 접속된 제 8트랜지스터(M8)가 포함되어 구성됨을 특징으로 하는 주사 구동회로를 제공한다.

또한, 본 발명의 제 2측면은, 입력 신호라인 또는 이전단 출력전압 라인에 종속 접속되고, 클럭신호 입력라인에 각각 접속된 다단의 스테이지들로 구성된 주사 구동회로에 있어서, 상기 다단의 스테이지를 통해 순차적으로 선택 신호 및 부스트 신호를 출력하는 제 1주사 구동부가 포함되며, 상기 제 1주사 구동부의 각 스테이지는, 이전단 출력전압 또는 최초 입력 신호를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드 사이(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 3전원(VL) 입력라인 및 부스트 신호 출력라인(BST)에 접속된 제 6트랜지스터(M6)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 부스트 신호 출력 라인(BST) 사이에 접속된 제 7트랜지스터(M7)와; 상기 제 2클럭단자에 게이트 단자가 접속되고, 상기 M6와 M7 사이에 접속된 제 8트랜지스터(M8)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 선택 제어신호 입력라인 및 선택 신호 출력라인(SEL)에 접속된 제 9트랜지스터(M9)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 선택 신호 출력 라인(SEL) 사이에 접속된 제 10트랜지스터(M10)가 포함되어 구성됨을 특징으로 하는 주사 구동회로를 제공한다.

또한, 본 발명의 제 3측면은, 선택 신호선들, 데이터선들, 발광 신호선들 및 부스트 신호선들과 접속되도록 위치되는 복수의 화소를 포함하는 화소부와; 상기 데이터선들로 데이터신호를 공급하는 데이터 구동회로와; 클럭신호 입력라인에 각각 접속된 다단의 스테이지들로 구성되며, 상기 다단의 스테이지를 통해 순차적으로 선택 신호 또는 부스트 신호를 출력하는 제 1주사 구동부와; 상기 다단의 스테이지를 통해 순차적으로 발광 신호를 출력하는 제 2주사 구동부로 구성되는 주사 구동회로가 포함되며,

상기 부스트 신호를 출력하는 제 1주사 구동부의 각 스테이지는, 이전단 출력전압 또는 최초 입력 신호를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1트랜지스터(M1)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3트랜지스터(M3)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드 사이(N1)에 접속된 제 4트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5트랜지스터(M5)와; 상기 M1의 출력단에 게이트 단자가 접속되고, 제 3전원(VL) 입력라인 및 부스트 신호 출력라인(BST)에 접속된 제 6트랜지스터(M6)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 부스트 신호 출력 라인(BST) 사이에 접속된 제 7트랜지스터(M7)와; 상기 제 2클럭단자에 게이트 단자가 접속되고, 상기 M6와 M7 사이에 접속된 제 8트랜지스터(M8)가 포함되어 구성됨을 특징으로 하는 유기 전계발광 장치를 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

도 4는 본 발명의 실시예에 의한 유기 전계발광 장치를 개략적으로 도시한 블록도이다.

도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 유기 전계발광 장치는 유기 EL 표시 패널(이하, 표시 패널)(100), 데이터 구동회로(200), 주사 구동회로를 포함하여 구성되며, 상기 주사 구동회로(300)는 선택 신호 및/또는 부스트 신호를 제공하는 제 1주사 구동부(310)와, 발광 신호를 제공하는 제 2주사 구동부(320) 및 (320)로 이루어진다.

단, 상기 제 1주사 구동부(310)는 선택 신호 및 부스트 신호를 각각 별도로 출력하도록 주사 구동 유닛 및 부스트 구동 유닛으로 분리되어 구성될 수도 있으며, 이 경우 상기 부스트 신호를 출력하는 부스트 구동 유닛은 기수번째 및 우수번째 부스트 신호를 분리하여 출력하도록 다시 분리되어 구성될 수 있다.

상기 표시 패널(100)은 열 방향으로 뻗어 있는 복수의 데이터선(D_1 - D_n), 행 방향으로 뻗어 있는 복수의 신호선(S_1 - S_m , E_1 - E_m , B_1 - B_m), 및 매트릭스 모양으로 형성된 복수의 화소 회로(110)를 포함한다.

여기서, 상기 신호선은 화소를 선택하기 위한 선택 신호를 전달하는 복수의 선택 신호선(S_1 - S_m) 및 유기 EL 소자의 발광 기간을 제어하기 위한 발광 신호를 전달하는 복수의 발광 신호선(E_1 - E_m)과 구동 박막트랜지스터(m1)의 게이트 전압을 원하는 값으로 설정하기 위한 부스트 신호를 전달하는 복수의 부스트 신호선(B_1 - B_m)을 포함한다.

그리고, 데이터선(D_1 - D_n)과 스캔, 발광 및 부스트 신호선(S_1 - S_m , E_1 - E_m , B_1 - B_m)에 의해 정의되는 화소 영역에 각각 화소 회로(110)가 형성되어 있다.

데이터 구동회로(200)는 데이터선(D_1 - D_n)에 데이터 전류(I_{DATA})를 인가하며, 주사 구동회로(300)의 제 1주사 구동부(310)는 선택 신호선(S_1 - S_m)에 화소 회로를 선택하기 위한 선택 신호를 순차적으로 인가하고, 화소 회로의 구동 박막트랜지스터(m1) 게이트 전압을 원하는 값으로 설정하기 위한 부스트 신호를 부스트 신호선(B_1 - B_m)에 순차적으로 인가한다.

또한, 주사 구동회로(300)의 제 2주사 구동부(320)는 화소 회로(110)의 휘도를 제어하기 위한 발광 신호를 발광 신호선(E_1 - E_m)에 순차적으로 인가한다.

도 5는 도 4에 도시된 유기 전계발광 장치의 각 화소영역에 구비되는 화소 회로의 일 실시예를 나타내는 회로도이다.

단, 도 5에서는 설명의 편의상 j번째 데이터선(D_j)과 i번째 신호선(S_i , E_i , B_i)에 연결된 화소 회로만을 도시하였다.

도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 화소 회로(110)는 유기 EL 소자(OLED), 트랜지스터(m1-m4), 및 캐패시터(C1, C2)를 포함한다. 여기서, 트랜지스터(m1-m4)로는 PMOS 트랜지스터가 사용되었지만, 이에 한정되지는 않는다.

제 1트랜지스터(m1)는 전원(VDD)과 유기 EL 소자(OLED) 간에 접속되어, 유기 EL 소자에 흐르는 전류를 제어한다. 구체적으로는, 트랜지스터(m1)의 소스는 전원(VDD)에 접속되고, 드레인은 트랜지스터(m3)를 통하여 유기 EL 소자(OLED)의 캐소드에 접속된다.

또한, 제 2트랜지스터(m2)는 선택 신호선(S_i)으로부터의 선택 신호에 응답하여 데이터선(D_j)으로부터의 데이터 신호를 제 1트랜지스터(m1)의 게이트로 전달하고, 제 4트랜지스터(m4)는 선택 신호에 응답하여 제 1트랜지스터(m1)을 다이오드 연결시킨다.

또한, 제 1캐패시터(C2)는 제 1트랜지스터(m1)의 게이트 및 소스 간에 접속되어, 데이터선(D_j)으로부터의 데이터 전류(I_{DATA})에 해당하는 전압을 충전하며, 제 3트랜지스터(m3)는 발광 신호선(E_i)으로부터의 발광 신호에 응답하여 제 1트랜지스터(m1)에 흐르는 전류를 유기 EL 소자(OLED)로 전달한다.

또한, 제 2캐패시터(C2)는 제 1트랜지스터(m1)의 게이트 및 부스트 신호선(B_i) 간에 접속된다.

이 때, 상기 제 2캐패시터(C2)의 노드의 전압은 부스트 신호선(B_i)으로부터의 부스트 신호의 전압 상승폭($-V_B$)만큼 상승하게 되어, 제 1트랜지스터(m1)의 게이트 전압(V_G)의 증가량($-V_G$)은 수학식 1과 같이 된다. 따라서 트랜지스터(m1, m2, m4)의 기생 커패시턴스 성분대응하여 부스트 신호의 전압 상승폭($-V_B$)을 조절하여 트랜지스터(m1)의 게이트 전압(V_G)의 상승폭($-V_G$)을 원하는 값으로 설정할 수 있다. 즉, 유기 EL 소자(OLED)에 공급되는 전류(I_{OLED})를 원하는 값으로 설정할 수 있다.

수학식 1

$$\Delta V_G = \frac{\Delta V_B C_2}{C_1 + C_2}$$

도 6은 도 5의 화소 회로에 입력되는 선택 신호 및 발광 신호, 부스트 신호에 대한 타이밍도이다.

도 5 및 도 6을 참조하면, 선택 신호선(S_n)의 선택 신호에 의해 제 1 및 제 4트랜지스터(m2, m4)가 턴온되어 제 1트랜지스터(m1)에 데이터 전류(I_{DATA})가 전달되는 동안 제 3트랜지스터(m3)가 턴오프되어 있을 필요가 있다. 만약, 제 1트랜지스

터(m1)에 데이터 전류(I_{DATA})가 전달되는 동안 제 3트랜지스터(m3)가 턴온되어 유기 EL 소자(OLED)에 전류가 흐르면, 제 1트랜지스터(m1)의 드레인에는 데이터 전류(I_{DATA})와 유기 EL 소자(OLED)에 흐르는 전류의 차에 해당하는 전류가 흐르고, 이 전류에 대응하는 전압이 커패시터(C1)에 기입되게 된다.

이에 따라 도 6에 도시된 바와 같이 발광 신호선(E_n)의 발광 신호 펄스 끝을 선택 신호선(S_n)의 선택 신호의 펄스 끝보다 나중에 오도록 하면, 제 2트랜지스터(m2)가 턴온되어 있는 중간에 제 3트랜지스터(m3)가 턴온되지 않는다.

즉, 본 발명의 경우 수평 주기를 기준으로 상기 선택 신호의 로우 레벨 펄스 폭이 상기 수평 주기보다 약 2us 적게 인가되고, 이에 대해 상기 발광 신호의 하이 레벨 펄스 폭은 상기 선택 신호의 로우 레벨 펄스 폭을 모두 포함하도록 크게 인가된다.

그리고, 부스트 신호선(B_n)으로부터의 부스트 신호의 펄스 끝이 선택 신호의 펄스 끝보다 먼저 오면 제 2캐패시터(C2)의 노드 전압이 상승한 후에 데이터 전류(I_{DATA})의 기입이 완료되므로, 제 2캐패시터(C2)의 노드 전압을 상승시킨 효과가 없어진다. 따라서, 본 발명의 경우 도 6에 도시된 바와 같이 선택 신호선(S_n)에 전달되는 선택 신호의 펄스 끝을 부스트 신호선(B_n)에 전달되는 부스트 신호의 펄스 끝보다 먼저 오게 하면, 데이터 전류(I_{DATA})의 기입 이후에 커패시터(C2)의 노드 전압이 상승한다.

또한, 부스트 신호의 펄스 시작이 선택 신호의 펄스 시작보다 나중에 오면, 제 1캐패시터(C1)에 전압이 기입되는 중간에 제 2캐패시터(C2)의 노드 전압 하강에 의해 제 1캐패시터(C1)의 전압이 바뀐다. 이와 같이 제 1캐패시터(C1)의 전압이 변경되면 제 1캐패시터(C1)의 전압 기입 동작이 다시 이루어져야 하므로 제 1캐패시터(C1)에 전압을 기입하는 시간이 부족해진다. 따라서, 도 6에 도시된 바와 같이 선택 신호선(S_n)에 전달되는 선택 신호의 시작을 부스트 신호선(B_n)에 전달되는 부스트 신호의 시작보다 나중에 오게 하면, 커패시터(C2)의 노드 전압이 하강한 이후에 데이터 전류(I_{DATA})의 기입 동작이 이루어진다.

그리고, 상기 부스트 신호선(B_n)과 발광 신호선(E_n)에 연결되는 부하의 차이로 인해 발광 신호의 펄스 끝이 부스트 신호의 펄스 끝보다 먼저 오면, 발광 신호의 펄스 끝과 부스트 신호의 펄스 끝 사이의 기간 동안 제 2캐패시터(C2)의 노드 전압 상승 전의 전류가 유기 EL 소자(OLED)에 흘러 유기 EL 소자(OLED)에 스트레스를 준다. 이러한 동작이 계속 반복되면 유기 EL 소자(OLED)의 수명이 짧아질 수 있다. 따라서 도 6에 도시된 바와 같이 부스트 신호선(B_n)에 전달되는 부스트 신호의 펄스 끝을 발광 주사선(E_n)에 전달되는 발광 신호의 펄스 끝보다 먼저 오게 하여, 제 2캐패시터(C2)의 노드 전압 상승 이후에 유기 EL 소자(OLED)에 전류가 흐르도록 한다.

또한, 발광 신호의 펄스 시작이 부스트 신호의 펄스 시작보다 나중에 오면, 부스트 신호의 펄스 시작과 발광 신호의 펄스 시작 사이의 기간 동안 제 2캐패시터(C2)의 노드 전압 하강에 따른 전류가 유기 EL 소자(OLED)에 흘러 유기 EL 소자(OLED)에 스트레스를 준다. 이러한 스트레스가 반복되면 유기 EL 소자(OLED)의 수명이 짧아질 수 있다. 따라서 도 6에 도시된 바와 같이 발광 신호의 펄스 시작을 부스트 신호의 펄스 시작보다 먼저 오게 하여, 제 3트랜지스터(m3)가 턴오프된 이후에 제 2캐패시터(C2)의 노드 전압이 하강하도록 한다.

즉, 본 발명의 경우 상기 부스트 신호의 로우 레벨 펄스 폭은 상기 선택 신호의 로우 레벨 펄스 폭을 포함하도록 크게 인가되면서, 상기 발광 신호의 하이 레벨 펄스 폭 보다 적게 인가된다.

이와 같은 상기 선택 신호, 부스트 신호 및 발광 신호는 앞서 도 4를 통해 설명한 바와 같이 제 1주사 구동부(310) 및 제 2주사 구동부(320)를 통해 출력되어 패널로 제공된다.

이하에서는 도 6에 도시된 바와 같은 파형을 갖는 선택 신호 및 부스트 신호를 출력하는 본 발명의 실시예에 의한 주사 구동회로의 구성 및 동작에 대해 설명하도록 한다.

즉, 본 발명의 주사 구동회로 중 제 1주사 구동부의 구성에 대해 설명하도록 하며, 발광 신호를 출력하는 제 2주사 구동부는 상기 제 1주사 구동부의 구성 및 동작으로부터 충분히 유추 가능하므로 그 설명을 생략토록 한다.

도 7은 본 발명의 제 1실시예에 의한 주사 구동회로의 제 1주사 구동부 구성을 나타내는 블록도이다.

여기서, 상기 본 발명의 제 1 실시예에 의한 제 1 주사 구동부(310)는 선택 신호 및 부스트 신호를 각각 별도로 출력하도록 주사 구동 유닛(312) 및 부스트 구동 유닛(314)으로 분리되어 구성된다.

이에 상기 주사 구동 유닛(312) 및 부스트 구동 유닛(314)은 각각의 입력 신호(IN1, IN2) 라인에 종속 접속되어진 n개의 스테이지들을 구비하며, 각각의 스테이지에는 클럭신호들이 인가된다.

또한, 상기 주사 구동 유닛(312)을 구성하는 각 스테이지에는 제 1, 2 클럭신호(CLK1, CLK2)가 인가되고, 상기 부스트 구동 유닛(314)을 구성하는 각 스테이지에는 제 3, 4, 5, 6 클럭신호(CLK3, CLK4, CLK5, CLK6) 중 2개의 클럭신호가 번갈아가며 순차적으로 인가된다.

이들 n개의 스테이지들의 출력라인들은 상기 화소 어레이에 포함된 n개의 로우라인들(S1 내지 Sn, B1 내지 Bn)에 각각 접속되어 상기 화소 어레이를 구성하는 각각의 화소에 선택 신호 및 부스트 신호를 제공한다.

여기서, 상기 주사 구동 유닛(312) 및 부스트 구동 유닛(314)에 구비된 제 1 스테이지에는 각각 최초 입력 신호(IN1, IN2)가 공급되고 제 1 내지 제 n-1 스테이지들의 출력신호는 각각 후단의 스테이지들에 입력 신호로서 공급된다.

또한, 선택 신호를 출력하는 상기 주사 구동 유닛(312)의 각 스테이지들은 위상이 반전되고 하이 레벨에서 소정부분 오버랩되어 제공되는 제1 및 제2 클럭신호(CLK1, CLK2)가 각각 공급되는 제1 클럭단자(CLKa)와 제2 클럭단자(CLKb)를 구비하며, 기수번째 스테이지들의 제1 클럭단자(CLKa)에는 제1 클럭신호(CLK1)가 공급되고, 제2 클럭단자(CLKb)에는 제2 클럭신호(CLK2)가 공급된다. 이와 반대로 우수번째 스테이지들의 제1 클럭단자(CLKa)에는 제2 클럭신호(CLK2)가 공급되며, 제2 클럭단자(CLKb)에는 제1 클럭신호(CLK1)가 공급된다.

즉, 최초 입력 신호(IN1) 또는 이전단 출력전압(gi)과, 제1 및 제2 클럭신호(CLK1, CLK2)를 공급 받은 각 스테이지는 상기 각 스테이지의 출력라인을 통해 상기 제 1, 2 클럭신호가 하이레벨에서 오버랩된 만큼 시간 간격을 두고 순차적으로 로우 레벨의 신호를 출력한다.

이에 반해 부스트 신호를 출력하는 상기 부스트 구동 유닛(314)의 각 스테이지들은 위상이 반전되고 하이 레벨에서 소정부분 오버랩되어 제공되는 제3 내지 제6 클럭신호(CLK3, CLK4, CLK5, CLK6) 중 2개의 클럭신호가 번갈아가며 순차적으로 공급되는 제1 클럭단자(CLKa)와 제2 클럭단자(CLKb)를 구비한다.

즉, 도시된 바와 같이 제 1 스테이지의 제1 클럭단자(CLKa)에는 제3 클럭신호(CLK3)가 공급되고, 제2 클럭단자(CLKb)에는 제5 클럭신호(CLK5)가 공급되며, 제 2 스테이지의 제1 클럭단자(CLKa)에는 제4 클럭신호(CLK4)가 공급되고, 제2 클럭단자(CLKb)에는 제6 클럭신호(CLK6)가 공급된다.

또한, 제 3 스테이지의 경우에는 상기 제 1 스테이지와 반대로 제1 클럭단자(CLKa)에는 제5 클럭신호(CLK5)가 공급되고, 제2 클럭단자(CLKb)에는 제3 클럭신호(CLK3)가 공급되며, 제 4 스테이지의 경우에는 상기 제 2 스테이지와 반대로 제1 클럭단자(CLKa)에는 제6 클럭신호(CLK6)가 공급되고, 제2 클럭단자(CLKb)에는 제4 클럭신호(CLK4)가 공급된다.

또한, 제 5 스테이지 이후는 연속되는 4개의 스테이지를 단위로 하여 상기 제 1 내지 제 4 스테이지에서와 동일하게 상기 제 1 내지 제 4 스테이지에 입력되는 클럭신호가 입력된다.

즉, 최초 입력 신호(IN2) 또는 이전단 출력전압과, 제3 및 제5 클럭신호(CLK3, CLK5) 또는 제 4 및 제 6 클럭신호(CLK4, CLK6)를 공급 받은 각 스테이지는 상기 각 스테이지의 출력라인을 통해 상기 제 3, 5 클럭신호 또는 제 4, 6 클럭신호가 하이레벨에서 오버랩된 만큼 시간 간격을 두고 각각 기수번째 부스트 신호 라인 및 우수번째 부스트 신호 라인에 순차적으로 로우 레벨의 신호를 출력한다.

단, 인접하는 기수번째 및 우수번째 스테이지에서 출력되는 로우 레벨의 부스트 신호는 소정부분 중첩되어 출력된다.

이 때, 앞서 도 6을 통해 설명한 바와 같이 상기 부스트 신호의 로우 레벨 펄스 폭은 이에 대응하는 선택 신호의 로우 레벨 펄스 폭을 포함하도록 크게 출력되면서, 발광 신호의 하이 레벨 펄스 폭 보다 적게 출력됨을 특징으로 한다. 또한, 상기 선택 신호의 로우 레벨 펄스 폭은 수평 주기보가 적은 폭으로 출력된다.

도 8은 본 발명의 제 1실시예에 의한 제 1주사 구동부 중 주사 구동 유닛의 제 1스테이지에 대한 구체적인 회로 구성을 나타내는 것이다. 또한, 도 9는 도 8에 도시된 스테이지의 입/출력 신호의 타이밍도이다.

도 8 및 도 9를 참조하면, 상기 주사 구동 유닛의 스테이지는, 입력되는 클럭신호(CLK1,CLK2)에 대해 서로 위상이 다른 제 1기간 동안에는 프리차지(Precharge)를 수행하고, 상기 제 1기간과 반전된 위상을 갖는 제 2 기간 동안에 평가(Evaluation)를 수행하여, 결과적으로 로우 레벨의 펄스를 상기 클럭신호가 하이 레벨에서 오버랩된 만큼 시간 간격을 두고 순차적으로 출력한다.

즉, 상기 프리차지 기간에서는 하이 레벨의 출력을 내며, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

단, 상기 주사 구동 유닛을 구성하는 스테이지의 경우 기수번째 스테이지의 평가 기간(프리차지 기간)을 우수번째 스테이지의 프리차지 기간(평가 기간)과 같게 한다.

이하, 도 8에 도시된 주사 구동 유닛의 제 1스테이지의 회로 구성을 통해 보다 구체적으로 스테이지의 동작을 설명하도록 한다.

단, 스테이지에 구비되는 트랜지스터의 경우 이하에서는 PMOS 박막트랜지스터를 그 예로 설명하고 있으나 본 발명의 실시예가 반드시 이에 한정되는 것은 아니다.

도 8을 참조하면, 본 발명의 제 1실시예에 의한 주사 구동 유닛의 기수번째 스테이지로서의 제 1 스테이지(400)는 최초 입력 신호(IN1)를 입력 받고, 제 1클럭단자에 게이트 단자가 접속된 제 1PMOS 트랜지스터(M1)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 2클럭단자 및 출력라인(OUT)에 접속된 제 2PMOS 트랜지스터(M2)와; 상기 제 1클럭단자에 게이트 단자가 접속되고, 제 2전원(VSS) 및 제 1노드(N1) 사이에 접속된 제 3PMOS 트랜지스터(M3)와; 상기 제 1PMOS 트랜지스터(M1)의 출력단에 게이트 단자가 접속되고, 제 1클럭단자 및 제 1노드(N1)에 접속된 제 4PMOS 트랜지스터(M4)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 출력 라인(OUT) 사이에 접속된 제 5PMOS 트랜지스터(M5)가 포함되어 구성된다.

또한, 상기 제 1PMOS 트랜지스터(M1)의 출력단 및 상기 출력 라인(OUT) 사이에 접속된 제 1캐패시터(C1)가 더 포함되어 구성된다.

여기서, 도시된 바와 같이 상기 스테이지가 주사 구동 유닛의 기수번째 스테이지인 경우에는 상기 제 1 클럭단자에 제 1클럭신호(CLK1)가 공급되고, 제 2클럭단자에 제 2클럭신호(CLK2)가 공급된다. 이와 반대로 상기 스테이지가 우수번째인 경우에는 상기 제 1 클럭단자에는 제 2클럭신호(CLK2)가 공급되며, 제 2클럭단자에는 제 1클럭신호(CLK1)가 공급된다.

또한, 상기 제 2전원(VSS)에는 별도의 음의 전원이 인가될 수 있으나, 도시된 바와 같이 접지(GND) 되어 구성될 수도 있다. 본 발명의 실시예에서는 상기 제 2전원이 접지로 구현되는 것이 도시되어 있다.

이와 같은 각 스테이지는 크게 전달부(transfer unit), 반전부(inversion unit), 버퍼부(buffer unit)로 이루어지며, 상기 전달부는 제 1, 2 PMOS 트랜지스터(M1,M2) 및 제 1캐패시터(C1)로 구성되고, 상기 반전부는 제 1, 3, 4 PMOS 트랜지스터(M1,M3,M4)로 구성되고, 상기 버퍼부는 제 5 PMOS 트랜지스터(M5)로 구성된다.

이 때, 상기 제 1클럭신호(CLK1)가 로우 레벨 즉, 제 2클럭신호(CLK2)가 하이 레벨인 기간이 프리차지 기간이 되고, 제 1 클럭신호(CLK1)가 하이 레벨 즉, 제 2클럭신호(CLK2)가 로우 레벨인 기간이 평가 기간이 된다. 이에 상기 프리차지 기간에서는 하이 레벨의 출력을 내고, 평가 기간에는 상기 프리차지 기간에 받은 입력에 해당하는 신호를 출력한다.

단, 본 발명의 실시예의 경우 각 스테이지에 입력되는 신호로서의 제 1, 2클럭신호가 각각 도시된 바와 같이 하이 레벨에서 소정부분 오버랩되어 제공됨을 특징으로 한다.

이는 상기 각 스테이지로 입력되는 한쌍의 클럭신호(CLK1,CLK2)가 하이레벨에서 오버랩된 만큼 시간 간격을 두고 순차적으로 로우 레벨의 신호를 출력하도록 하며, 이와 같이 각 스테이지의 출력 신호간에 소정의 시간 간격을 두도록 하는 것은 클럭 스큐(skew) 또는 지연(delay)에 대한 마진을 확보하기 위함이다.

도 8 및 도 9를 참조하여 먼저 주사 구동 유닛의 기수번째 스테이지에 대한 회로의 동작을 살펴보면, 먼저 프리차지(Precharge) 기간 즉, 제 1클럭신호(CLK1)가 로우 레벨 즉, 제 2클럭신호(CLK2)가 하이 레벨로 입력되는 동안에는 M1, M3이 온(ON) 되고, 이에 입력신호(IN1)가 각각 M2, M4의 게이트 단자에 전달된다.

따라서, 상기 프리차지 기간에는 상기 제 1 캐패시터(C1)에 입력 신호로서의 상기 이전단 출력전압 또는 입력 신호(IN1)가 저장되고, 제 1노드(N1)에는 제 2클럭신호(CLK2) 또는 제 2전원(VSS)에 의해 로우 레벨의 신호가 충전되므로 상기 M5가 온되어 하이 레벨의 제 1전원(VDD)가 출력단(OUT)을 통해 출력된다.

즉, 상기 프리차지 기간에서 상기 스테이지의 버퍼부 출력은 하이 레벨이 된다.

또한, 평가(Evaluation) 기간 동안에는 M1이 오프되어 입력 신호(IN1)가 차단되고, 이에 M3, M4 또한 오프된다.

이 때, 상기 프리차지 기간 동안에 입력받은 신호 즉, 이전단 출력전압 또는 입력 신호(IN1)가 하이 레벨인 경우에는 상기 프리차지 기간 동안에 프리차지된 신호 레벨이 유지되어 상기 버퍼부는 여전히 하이 레벨을 출력하게 된다.

반면에 상기 프리차지 기간 동안에 입력받은 신호 즉, 이전단 출력전압 또는 입력 신호(IN1)가 로우 레벨인 경우에는 상기 제 1 캐패시터(C1)에 의해 저장된 상기 로우 레벨 신호에 의해 상기 M2가 온 되는데, 이에 상기 전달부에서는 상기 M2가 온 됨에 따라 로우 레벨 값을 갖는 제 2클럭신호(CLK2)가 출력단(OUT)을 통해 출력된다.

즉, 상기 평가 기간에 있어서 상기 스테이지는 이전 프리차지 기간에 입력 받은 신호 즉, 이전단 출력전압 또는 최초 입력 신호(IN1)가 로우 레벨인 경우에는 로우 레벨을 출력하고, 하이 레벨인 경우에는 하이 레벨을 출력하는 동작을 수행한다.

단, 앞서 설명한 바와 같이 상기 스테이지에 입력되는 신호로서의 제 1, 2클럭신호는 도시된 바와 같이 하이 레벨에서 소정 부분 오버랩되어 제공됨을 특징으로 한다.

이에 상기 제 1 및 제 2 클럭신호(CLK1, CLK2)가 하이 레벨일 때 그 이전이 프리차지(Precharge) 기간이면 제 1클럭신호(CLK1)에 의해 제어되는 M1, M3이 모두 오프 되고, C1의 전압이 그대로 유지되므로 이전의 출력을 유지한다.

반면에 그 이전이 평가(Evaluation) 기간이면 상기 M1, M3이 오프 되어 있고, M2는 이전 상태를 유지하는데 상기 M2가 오프되어 있으면 하이 레벨을 입력 받은 것이므로 결과적으로 M5에 의해 하이 레벨 출력이 유지된다.

반대로 상기 M3가 온 되어 있으면 로우 레벨을 입력 받은 것이므로 상기 M2의 게이트 단자가 플로팅(floating)되어 있기 때문에 C1의 전압이 그대로 유지되며 그에 따라 M2는 계속 온 되어 출력을 하이 레벨인 제 2클럭신호가 출력됨으로써 결과적으로 하이 레벨이 출력된다.

이와 같이 제 1, 2클럭신호(CLK1, CLK2)가 하이 레벨일 때 이전이 프리차지 기간이면 이전 출력을 유지하고, 평가 기간이면 출력이 하이 레벨이 되므로, 제 1, 2클럭신호(CLK1, CLK2)의 하이 레벨이 오버랩된 만큼 인접한 스테이지의 출력 펄스 사이에 시간 간격을 줄 수 있게 되는 것이다.

도 10은 본 발명의 제 1 실시예에 의한 제 1 주사 구동부 중 부스트 구동 유닛의 제 1 내지 제 4 스테이지에 대한 구체적인 회로 구성을 나타내는 것이다. 또한, 도 11는 도 10에 도시된 스테이지의 입/출력 신호의 타이밍도이다.

도 10에 도시된 바와 같이 상기 부스트 구동 유닛의 각 스테이지의 회로 구성 및 동작은 앞서 도 8을 통해 설명한 주사 구동 유닛의 회로 구성과 동일하므로 구체적인 설명은 생략토록 한다.

단, 상기 부스트 구동 유닛의 스테이지의 경우 제 1 스테이지의 제 1 클럭단자에는 제 3 클럭신호(CLK3)가 공급되고, 제 2 클럭단자에는 제 5 클럭신호(CLK5)가 공급되며, 제 2 스테이지의 제 1 클럭단자에는 제 4 클럭신호(CLK4)가 공급되고, 제 2 클럭단자에는 제 6 클럭신호(CLK6)가 공급된다.

또한, 제 3 스테이지의 경우는 상기 제 1 스테이지와 반대로 제 1 클럭단자에는 제 5 클럭신호(CLK5)가 공급되고, 제 2 클럭단자에는 제 3 클럭신호(CLK3)가 공급되며, 제 4 스테이지의 경우는 상기 제 2 스테이지와 반대로 제 1 클럭단자에는 제 6 클럭신호(CLK6)가 공급되고, 제 2 클럭단자에는 제 4 클럭신호(CLK4)가 공급된다.

또한, 제 5스테이지 이후는 연속되는 4개의 스테이지를 단위로 하여 상기 제 1 내지 제 4스테이지에서와 동일하게 상기 제 1 내지 제 4스테이지에 입력되는 클럭신호가 입력된다.

즉, 최초 입력 신호(IN2) 또는 이전단 출력전압과, 제3 및 제5 클럭신호(CLK3,CLK5) 또는 제 4 및 제 6클럭신호(CLK4,CLK6)를 공급 받은 각 스테이지는 상기 각 스테이지의 출력라인을 통해 상기 제 3, 5클럭신호 또는 제 4, 6클럭신호가 하이레벨에서 오버랩된 만큼 시간 간격을 두고 각각 기수번째 부스트 신호 라인 및 우수번째 부스트 신호 라인에 순차적으로 로우 레벨의 신호를 출력한다.

단, 인접하는 기수번째 및 우수번째 스테이지에서 출력되는 로우 레벨의 부스트 신호는 소정 부분 중첩되어 출력된다.

즉, 기수번째 스테이지에서 출력되는 로우 레벨의 부스트 신호들 및 우수번째 스테이지에서 출력되는 로우 레벨의 부스트 신호들 각각은 소정 간격 이격되어 출력되나, 전체적으로 보면 인접하는 기수번째 및 우수번째 스테이지에서 출력되는 로우 레벨의 부스트 신호는 소정 부분 중첩되어 출력되며, 이는 도 11에 도시된 바와 같다.

또한, 상기 부스트 구동 유닛을 구성하는 스테이지의 경우에는 도 11에 도시된 바와 같이 i번째 스테이지의 평가 기간(프리차지 기간)을 i+2번째 스테이지의 프리차지 기간(평가 기간)과 같게 한다.

도 12는 본 발명의 제 1실시예에 의한 제 1주사 구동부의 각 스테이지에 입/출력되는 신호의 타이밍도이다.

즉, 이는 앞서 도 9 및 도 11에서 설명된 주사 구동 유닛 및 부스트 구동 유닛에 입/출력되는 신호를 통합적으로 나타내는 타이밍도이다.

도 12에 도시된 바와 같이, 부스트 구동 유닛의 각 스테이지에 입력되는 제 3, 5클럭신호(CLK3,CLK5) 및 제 4, 6클럭신호(CLK4,CLK6)는 주사 구동 유닛에 입력되는 제 1, 2클럭신호(CLK1,CLK2)에 비해 하이 레벨에서 오버랩되는 기간이 길고, 프리차지 및 평가 기간이 길도록 입력되며, 상기 부스트 구동 유닛에 각각 입력되는 입력신호(IN2) 또한 상기 주사 구동 유닛에 입력되는 입력신호(IN1)에 비해 넓은 폭의 로우 레벨을 갖음을 특징으로 한다.

또한, 상기 제 3 내지 제 6클럭신호는 순차적으로 소정 주기 만큼 지연되어 입력된다.

이는 앞서 도 6을 통해 설명한 바와 같이 상기 부스트 신호의 로우 레벨 펄스 폭은 이에 대응하는 선택 신호의 로우 레벨 펄스 폭을 포함하도록 크게 인가되게 하기 위함이다.

즉, 본 발명의 제 1실시예는 상기 출력되는 부스트 신호의 펄스 폭을 이에 대응하는 선택 신호의 펄스 폭보다 크게 하기 위해 각각 부스트 구동 유닛에 인가되는 클럭신호(CLK3,CLK4, CLK5,CLK6)의 주기 및 입력신호(IN2)의 로우 레벨 폭을 상기 주사 구동 유닛에 인가되는 클럭신호(CLK1,CLK2) 및 입력신호(IN1)에 비해 보다 넓게 조절함을 특징으로 한다.

도 13은 본 발명의 제 2실시예에 의한 주사 구동회로의 제 1주사 구동부 구성을 나타내는 블록도이다.

단, 도 7을 통해 설명한 제 1실시예와 동일한 구성 및 동작에 대해서는 그 설명을 생략토록 한다.

즉, 상기 본 발명의 제 2실시예에 의한 제 1주사 구동부(310)는 앞서 도 7을 통해 설명한 제 1실시예와 마찬가지로 선택 신호 및 부스트 신호를 각각 별도로 출력하도록 주사 구동 유닛(312) 및 부스트 구동 유닛(316)으로 분리되어 구성된다.

단, 상기 부스트 구동 유닛(316)에 대해 클럭신호(CLK3,CLK4,CLK5,CLK6)와 입력신호(IN2) 외에 출력 펄스의 스윙을 조절케 하는 조절신호(D1,D2,D3,D4)가 더 인가됨을 특징으로 한다.

이 때, 상기 부스트 구동 유닛의 제 1 내지 제 4스테이지에는 각각 순차적으로 D1, D2, D3, D4 조절신호가 입력되고, 제 5스테이지 이후는 연속되는 4개의 스테이지를 단위로 하여 상기 제 1 내지 제 4스테이지에서와 동일하게 상기 제 1 내지 제 4스테이지에 입력되는 조절신호(D1,D2,D3,D4)가 순차적으로 입력된다.

도 14은 본 발명의 제 2실시예에 의한 제 1주사 구동부 내의 임의 스테이지에 대한 회로도로서, 도 10에 도시된 주사 구동 유닛의 제 1스테이지와 부스트 구동 유닛의 제 1 내지 제 4스테이지에 대한 구체적인 회로 구성을 나타내는 것이다. 또한, 도 15는 도 14에 도시된 스테이지의 입/출력 신호의 타이밍도이다.

도 14 및 도 15에 도시된 바와 같이 주사 구동 유닛의 스테이지(400) 구성 및 이에 입력되는 신호의 타이밍도는 앞서 도 8 및 도 9를 통해 설명한 제 1 실시예의 주사 구동 유닛과 동일하므로 그 설명은 생략토록 한다.

단, 부스트 구동 유닛의 경우에는 도 8에 도시된 제 1 실시예의 구성에서 제 6 PMOS 박막트랜지스터(M6) 및 제 7 PMOS 박막트랜지스터(M7)가 추가 구성되며, 출력되는 부스트 신호의 스윙을 조절하기 위해 상기 M6의 입력단에 상기 조절 신호(B1, B2, B3, B4)가 입력됨을 특징으로 한다.

여기서, 부스트 구동 유닛의 제 1 내지 제 4 스테이지에는 각각 D1, D2, D3, D4 조절 신호가 입력된다.

보다 상세히 설명하면, 도 11에 도시된 바와 같이 부스트 구동 유닛의 스테이지(500)는, M1 내지 M5 및 C1 외에 상기 M1의 출력단에 게이트 단자가 접속되고, 조절 신호(D1 내지 D4) 입력 라인 및 부스트 신호 출력 라인(BST))에 접속된 제 6 PMOS 트랜지스터(M6)와; 상기 제 1 노드(N1)에 게이트 단자가 접속되고, 제 1 전원(VDD) 및 상기 부스트 신호 출력 라인(BST) 사이에 접속된 제 7 PMOS 트랜지스터(M7)가 추가로 구성되는 것이다.

이와 같이 상기 M6 및 M7이 추가 구성되고, 상기 M6를 통해 조절 신호가 인가됨에 따라 각 스테이지에서 출력되는 부스트 신호의 하이 레벨과 로우 레벨 절대값 차이 즉, 출력 펄스의 스윙은 상기 조절 신호에 의해 조정된다.

즉, 스테이지의 출력단(OUT)을 통해서는 제 1 실시예에서와 동일한 신호가 출력되어 다음 스테이지에 입력되나, 상기 각 스테이지의 부스트 신호 출력 라인(BST)을 통해서는 상기 조절 신호의 스윙 정도에 의존하여 그에 의한 부스트 신호가 출력된다.

도 15에 도시된 바와 같이 상기 부스트 구동 유닛에 인가되는 조절 신호(D1, D2, D3, D4)는 상기 부스트 구동 유닛에 인가되는 클럭 신호(CLK3, CLK4, CLK5, CLK6)와 비교할 때 하이 레벨과 로우 레벨의 절대값 차이가 적은 펄스로 인가됨을 알 수 있다.

즉, 상기 조절 신호는 이에 대응하는 클럭 신호에 비해 펄스의 스윙이 적은 것이다.

이에 따라 상기 도 14에 도시된 부스트 구동 유닛의 스테이지를 통해 출력되는 부스트 신호는 제 1 실시예에 의한 바와 같이 부스트 신호의 펄스 폭이 이에 대응하는 선택 신호의 펄스 폭보다 크게 출력될 뿐 아니라, 상기 조절 신호에 의해 하이 레벨과 로우 레벨의 절대값 차이가 적은 펄스 즉, 스윙이 적은 펄스로 출력된다.

즉, 본 발명의 제 2 실시예는 앞서 설명한 제 1 실시예에 비해 출력되는 부스트 신호의 펄스 스윙을 상기 조절 신호를 통해 조정할 수 있다는 장점이 있는 것이다.

또한, 상기 출력 펄스의 스윙을 조절케 하는 조절 신호(D1, D2, D3, D4) 대신 제 3 전원(VL)을 인가하면서도 앞서 설명한 제 2 실시예와 유사한 부스트 신호를 출력할 수 있는데, 이는 이하 도 16 및 도 17을 통해 설명하도록 한다.

도 16은 본 발명의 제 3 실시예에 의한 제 1 주사 구동부 내의 임의의 스테이지에 대한 회로도로서, 주사/부스트 구동 유닛의 제 1 스테이지에 대한 구체적인 회로 구성을 나타내는 것이다. 또한, 도 17은 도 16에 도시된 스테이지의 입/출력 신호의 타이밍도이다.

도 16 및 도 17에 도시된 바와 같이 본 발명의 제 3 실시예에 의한 주사/부스트 구동 유닛은 앞서 설명한 제 2 실시예와는 달리 M6에 소정의 조절 신호(D1, D2, D3, D4) 대신 제 3 전원(VL)을 인가함에 그 특징이 있다.

이 때, 상기 제 3 전원(VL)은 상기 조절 신호의 로우 레벨 값에 해당하는 음의 전압이 제공된다.

단, 도 17에 도시된 바와 같이 상기 제 3 실시예의 경우 출력되는 부스트 신호의 파형이 제 1 로우레벨 및 제 2 로우레벨의 계단 형태로 출력되는데, 이 때 상기 제 1 로우레벨이 출력될 때, 상기 M6과 M7이 모두 온되어 결과적으로 제 1 전원(VDD) 및 제 3 전원(VL)이 연결되는 문제가 발생된다.

이에 따라, 상기 제 3 실시예의 경우 상기 부스트 신호의 제 1 로우레벨이 출력되는 기간에 소비전력이 증가되는 단점이 있다.

이와 같은 단점을 극복하기 위해 본 발명의 제 4실시예는 상기 부스트 신호의 제 1로우레벨 출력을 제거하기 위해 M8이 추가 구성됨을 특징으로 하며, 이는 이하 도 18 및 도 19를 통해 설명하도록 한다.

도 18은 본 발명의 제 4실시예에 의한 제 1주사 구동부 내의 임의 스테이지에 대한 회로도로서, 주사/부스트 구동 유닛의 제 1스테이지에 대한 구체적인 회로 구성을 나타내는 것이다. 또한, 도 19는 도 18에 도시된 스테이지의 입/출력 신호의 타이밍도이다.

도 18을 참조하면, 본 발명의 제 4실시예에 의한 스테이지의 회로 구성은, M1 내지 M5 및 C1 외에 상기 M1의 출력단에 게이트 단자가 접속되고, 제 3전원(VL) 입력라인 및 부스트 신호 출력라인(BST)에 접속된 제 6POMS 트랜지스터(M6)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 부스트 신호 출력 라인(BST) 사이에 접속된 제 7PMOS 트랜지스터(M7) 뿐 아니라, 제 2클럭단자에 게이트 단자가 접속되고, 상기 M6와 M7 사이에 접속된 M8이 더 구비됨을 특징으로 한다.

이와 같이 상기 M8이 추가 구성하여 M6과 M7이 모두 온되는 구간을 제거함으로써, 결과적으로 제 1전원(VDD) 및 제 3전원(VL)이 연결되는 문제를 극복할 수 있게 되어 이를 통해 소비전력을 개선하고, 도 19에 도시된 바와 같이 출력되는 부스트 신호의 파형을 개선할 수 있게 되는 것이다.

도 20은 본 발명의 제 5실시예에 의한 주사 구동회로의 제 1주사 구동부 구성을 나타내는 블록도이다.

이는 앞서 제 1실시예 내지 제 4실시예에서 주사 구동 유닛 및 부스트 구동 유닛으로 나뉘어 구성된 상기 제 1주사 구동부를 주사/부스트 구동 유닛(317)으로 통합하여 구성함을 특징으로 한다.

이는 앞서 설명한 제 1실시예 및 제 4실시예를 결합하여 도출된 것이므로, 앞서 설명한 바와 동일한 부분에 대해서는 그 설명을 생략하도록 한다.

즉, 상기 주사/부스트 구동 유닛에 대해 클럭신호(CLK7, CLK8, CLK9, CLK10)와 입력신호(IN3)가 인가되고, 출력 펄스의 스윙을 조절케 하는 조절신호(D1, D2, D3, D4) 대신 제 3전원(VL)이 인가될 뿐 아니라, 기수번째 및 우수번째 선택 신호를 순차적으로 출력케 하기 위한 선택 제어신호(A1, A2, A3, A4)가 더 인가됨을 특징으로 한다.

이 때, 상기 제 3전원(VL)은 상기 조절 신호의 로우 레벨 값에 해당하는 음의 전압이 제공된다.

여기서, 상기 주사/부스트 구동 유닛의 제 1 내지 제 4 스테이지에는 각각 A1, A2, A3, A4 선택 제어신호가 입력된다.

이 때, 상기 부스트 구동 유닛의 제 1 내지 제 4스테이지에는 각각 순차적으로 A1, A2, A3, A4 선택 제어신호가 입력되고, 제 5스테이지 이후는 연속되는 4개의 스테이지를 단위로 하여 상기 제 1 내지 제 4스테이지에서와 동일하게 상기 제 1 내지 제 4스테이지에 입력되는 선택 제어신호(A1, A2, A3, A4)가 순차적으로 입력된다.

도 21은 본 발명의 제 5실시예에 의한 제 1주사 구동부 내의 임의 스테이지에 대한 회로도로서, 도 20에 도시된 주사/부스트 구동 유닛의 제 1 스테이지에 대한 구체적인 회로 구성을 나타내는 것이다. 또한, 도 22는 도 21에 도시된 스테이지의 입/출력 신호의 타이밍도이다.

도 21 및 도 22에 도시된 바와 같이 본 발명의 제 5실시예에 의한 주사/부스트 구동 유닛은 앞서 도 19에 도시된 제 4실시예의 구성에서 제 9 PMOS 박막트랜지스터(M9) 및 제 10 PMOS 박막트랜지스터(M10)가 추가 구성되며, 선택 신호를 순차적으로 출력케 하기 위하여 상기 M9의 입력단으로 상기 선택 제어신호(A1, A2, A3, A4)가 입력됨을 특징으로 한다.

여기서, 상기 주사/부스트 구동 유닛의 제 1 내지 제 4 스테이지에는 각각 순차적으로 A1, A2, A3, A4 선택 제어신호가 입력된다.

보다 상세히 설명하면, 도 21에 도시된 바와 같이 주사/부스트 구동 유닛의 스테이지(600)는, M1 내지 M8 및 C1 외에 상기 M1의 출력단에 게이트 단자가 접속되고, 선택 제어신호(A1, A2, A3, A4) 입력라인 및 선택 신호 출력라인(SEL)에 접속된 제 9POMS 트랜지스터(M9)와; 상기 제 1노드(N1)에 게이트 단자가 접속되고, 제 1전원(VDD) 및 상기 선택 신호 출력 라인(SEL) 사이에 접속된 제 10PMOS 트랜지스터(M10)가 추가로 구성되는 것이다.

이와 같이 상기 M9 및 M10이 추가 구성되고, 상기 M9를 통해 선택 제어신호가 인가됨에 따라 각 스테이지에서 출력되는 선택 신호가 도 22에 도시된 바와 같이 순차적으로 출력될 수 있게 된다.

즉, 본 발명의 제 5 실시예는 전체적으로 구동 유닛의 수를 줄일 수 있다는 장점이 있다.

또한, 상기 제 5 실시예의 경우는 제 4 실시예에서와 같이 상기 M6와 M7 사이에 접속된 M8이 더 구비됨으로써, M6과 M7이 모두 온되는 구간을 제거하여, 결과적으로 제 1전원(VDD) 및 제 3전원(VL)이 연결되는 문제를 극복할 수 있게 되고, 이를 통해 소비전력을 개선할 수 있다는 장점이 있다.

발명의 효과

이와 같은 본 발명에 의하면, 상기 선택 신호 및 부스트 신호를 순차적으로 출력하는 다단의 스테이지를 구비하여 출력 신호의 파형을 개선하고 상기 스테이지에 대해 스테틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써 소비전력을 줄이는 장점이 있다.

또한, 주사 구동회로를 통해 하이 레벨 출력을 낼 때 출력단을 충전하지 않게 되어 새는 전류(leakage current)를 최소화 하며, 로우 레벨 출력을 낼 때 출력단을 방전하는 전류의 감소 정도를 최소화하여 동작 속도가 빨라지는 장점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정하여져야만 한다.

도면의 간단한 설명

도 1은 종래의 일반적인 주사 구동회로의 구성을 나타내는 블록도.

도 2는 도 1에 도시된 주사 구동회로에서 임의 스테이지의 회로도.

도 3은 도 2에 도시된 스테이지의 입/출력 신호 파형도.

도 4는 본 발명의 실시예에 의한 유기 전계발광 장치를 개략적으로 도시한 블록도.

도 5는 도 4에 도시된 유기 전계발광 장치의 각 화소영역에 구비되는 화소 회로의 일 실시예를 나타내는 회로도.

도 6은 도 5의 화소 회로에 입력되는 선택 신호 및 발광 신호, 부스트 신호에 대한 타이밍도.

도 7은 본 발명의 제 1 실시예에 의한 주사 구동회로의 제 1주사 구동부 구성을 나타내는 블록도.

도 8은 본 발명의 제 1 실시예에 의한 제 1주사 구동부 중 주사 구동 유닛의 제 1스테이지에 대한 회로도.

도 9는 도 8에 도시된 스테이지의 입/출력 신호의 타이밍도.

도 10은 본 발명의 제 1 실시예에 의한 제 1주사 구동부 중 부스트 구동 유닛의 제 1 내지 제 4스테이지에 대한 회로도.

도 11는 도 10에 도시된 스테이지의 입/출력 신호의 타이밍도.

도 12는 본 발명의 제 1 실시예에 의한 제 1주사 구동부의 각 스테이지에 입/출력되는 신호의 타이밍도.

도 13은 본 발명의 제 2 실시예에 의한 주사 구동회로의 제 1주사 구동부 구성을 나타내는 블록도.

도 14은 본 발명의 제 2 실시예에 의한 제 1주사 구동부 내의 임의 스테이지에 대한 회로도.

도 15는 도 14에 도시된 스테이지의 입/출력 신호의 타이밍도.

도 16은 본 발명의 제 3실시예에 의한 제 1주사 구동부 내의 임의 스테이지에 대한 회로도.

도 17은 도 16에 도시된 스테이지의 입/출력 신호의 타이밍도.

도 18은 본 발명의 제 4실시예에 의한 제 1주사 구동부 내의 임의 스테이지에 대한 회로도.

도 19는 도 18에 도시된 스테이지의 입/출력 신호의 타이밍도.

도 20은 본 발명의 제 5실시예에 의한 주사 구동회로의 제 1주사 구동부 구성을 나타내는 블록도.

도 21은 본 발명의 제 5실시예에 의한 제 1주사 구동부 내의 임의 스테이지에 대한 회로도.

도 22는 도 21에 도시된 스테이지의 입/출력 신호의 타이밍도.

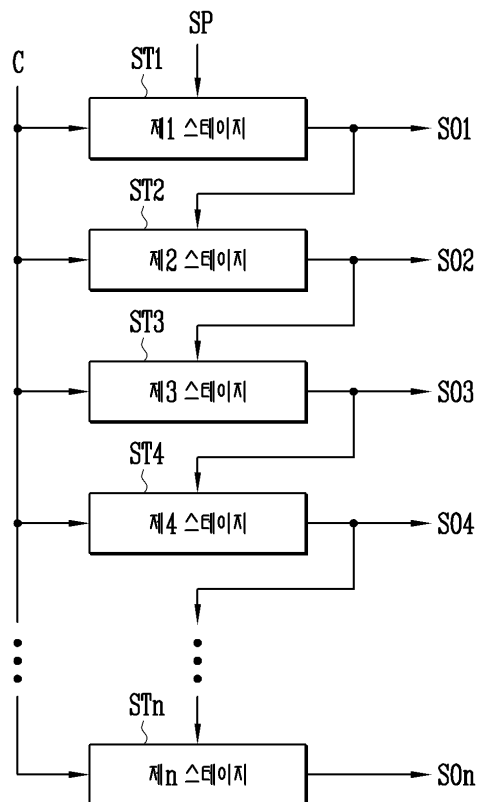
<도면의 주요 부분에 대한 부호의 설명>

300 : 주사 구동회로 310 : 제 1주사 구동부

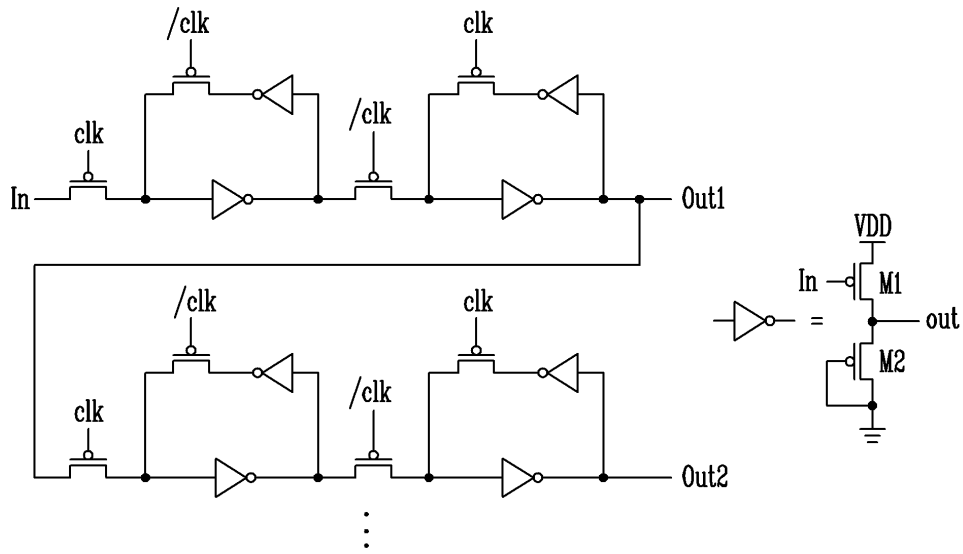
320 : 제 2주사 구동부

도면

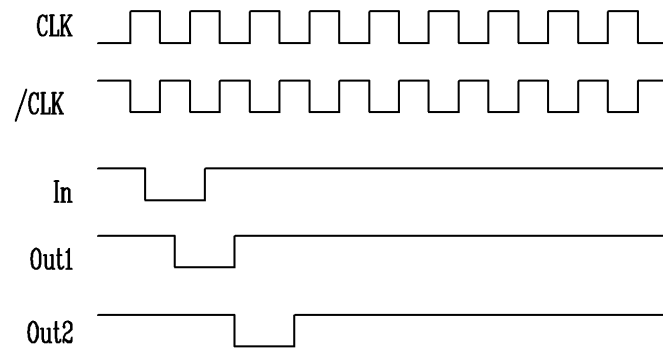
도면1



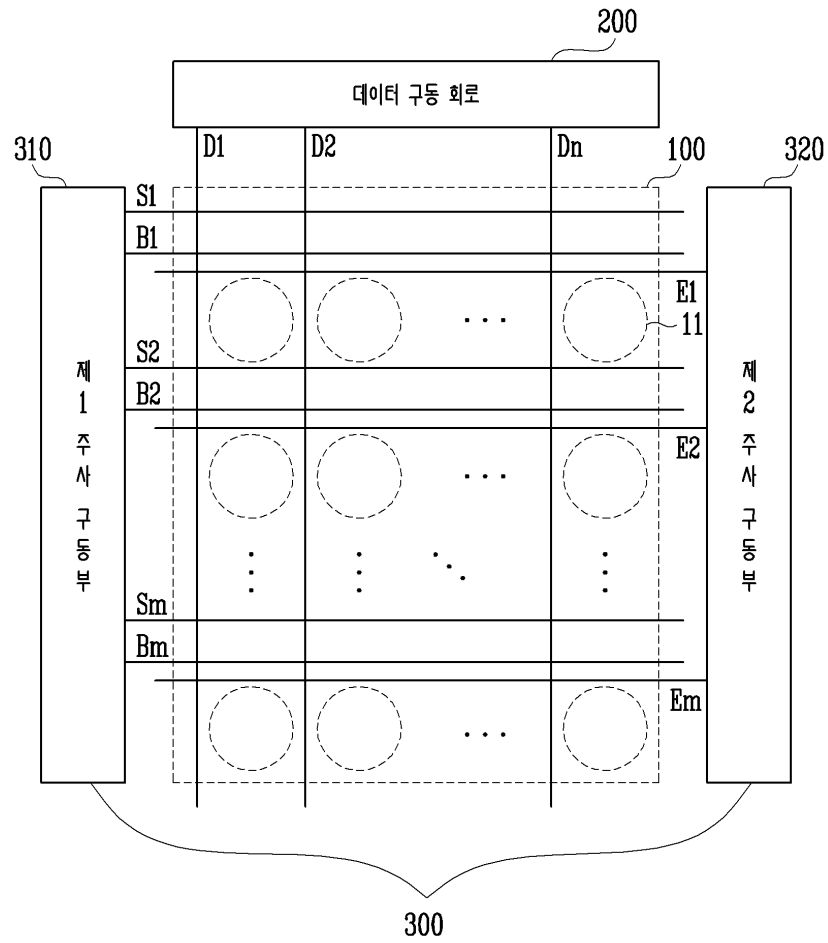
도면2



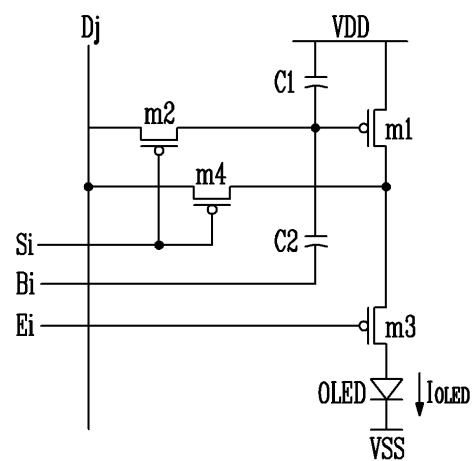
도면3



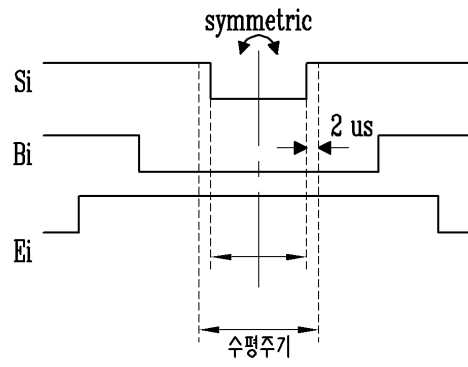
도면4



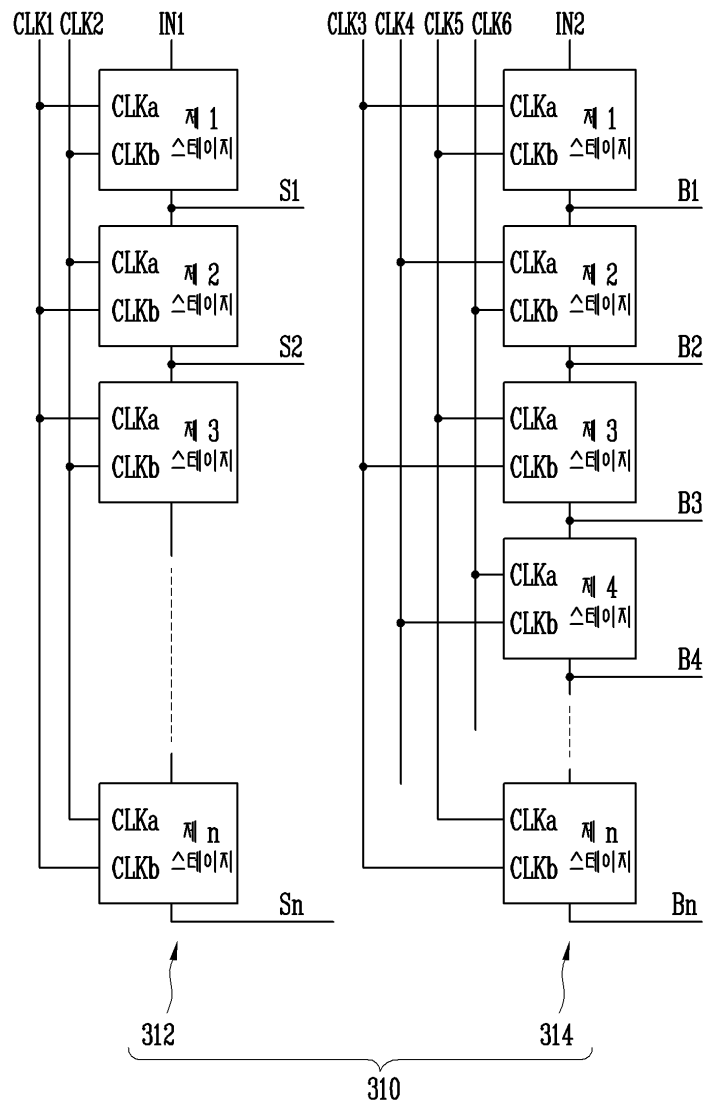
도면5



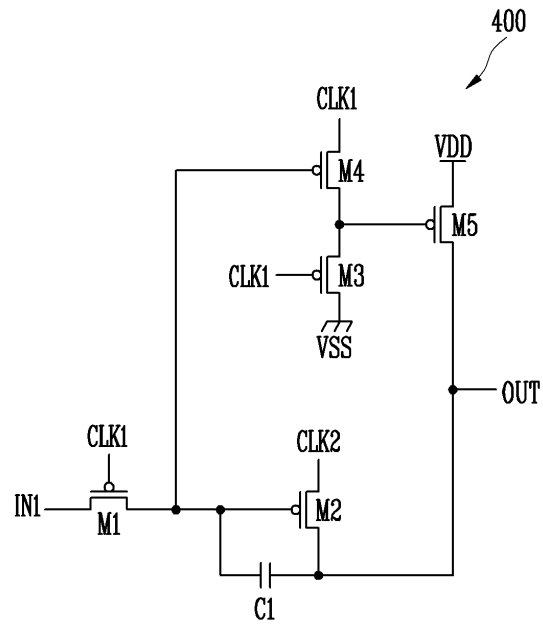
도면6



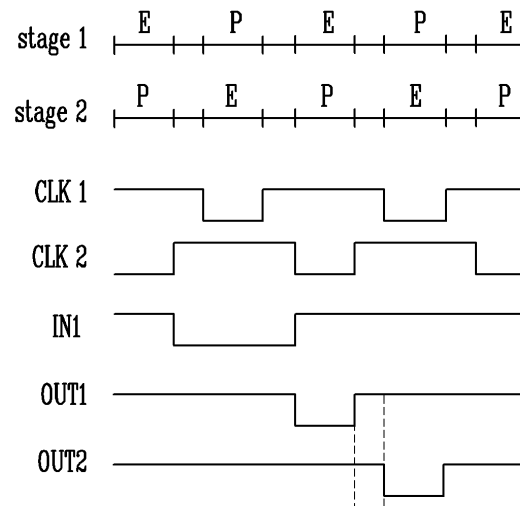
도면7



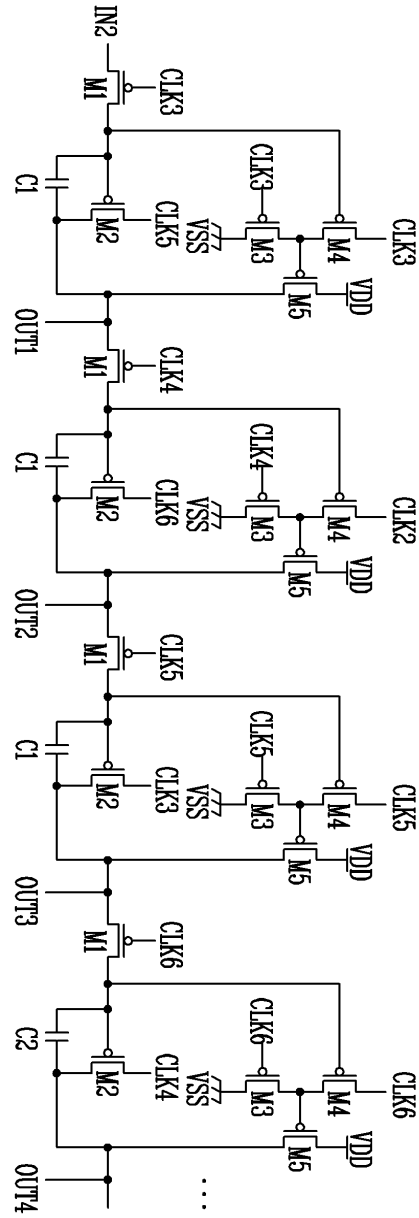
도면8



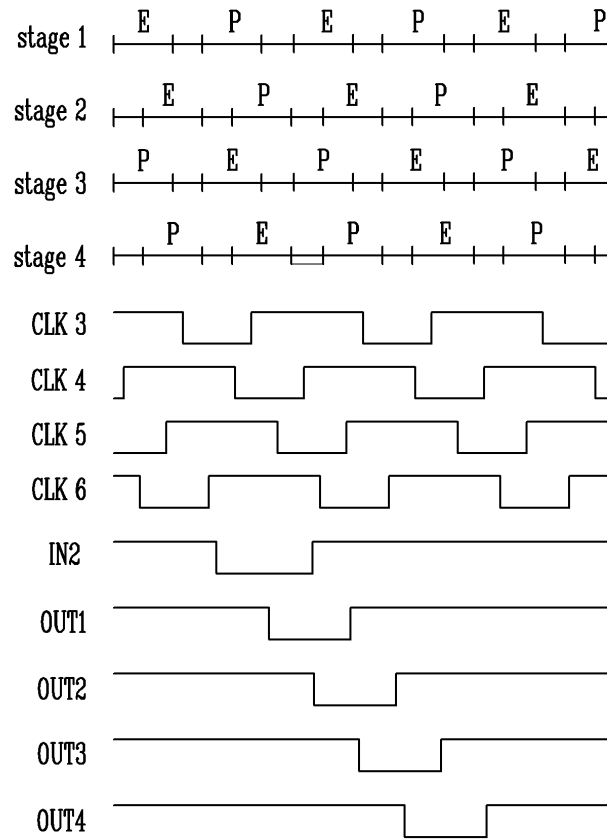
도면9



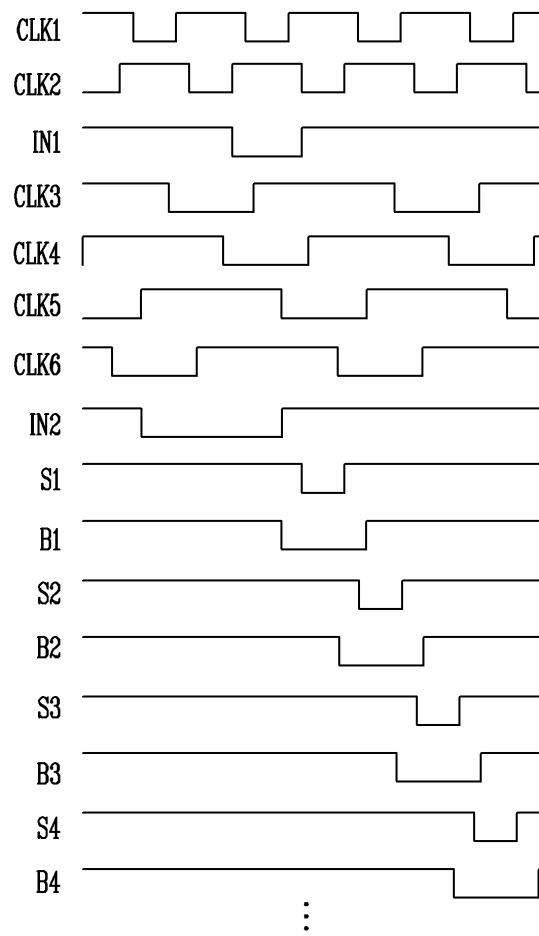
도면10



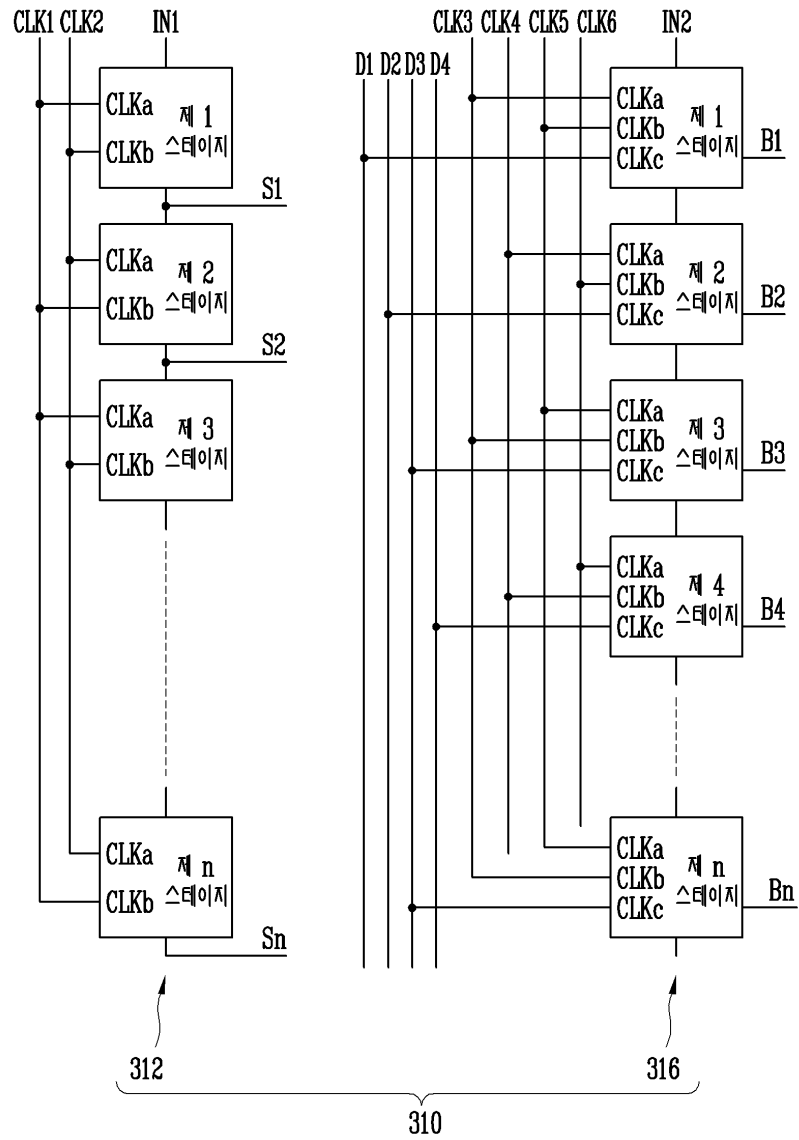
도면11



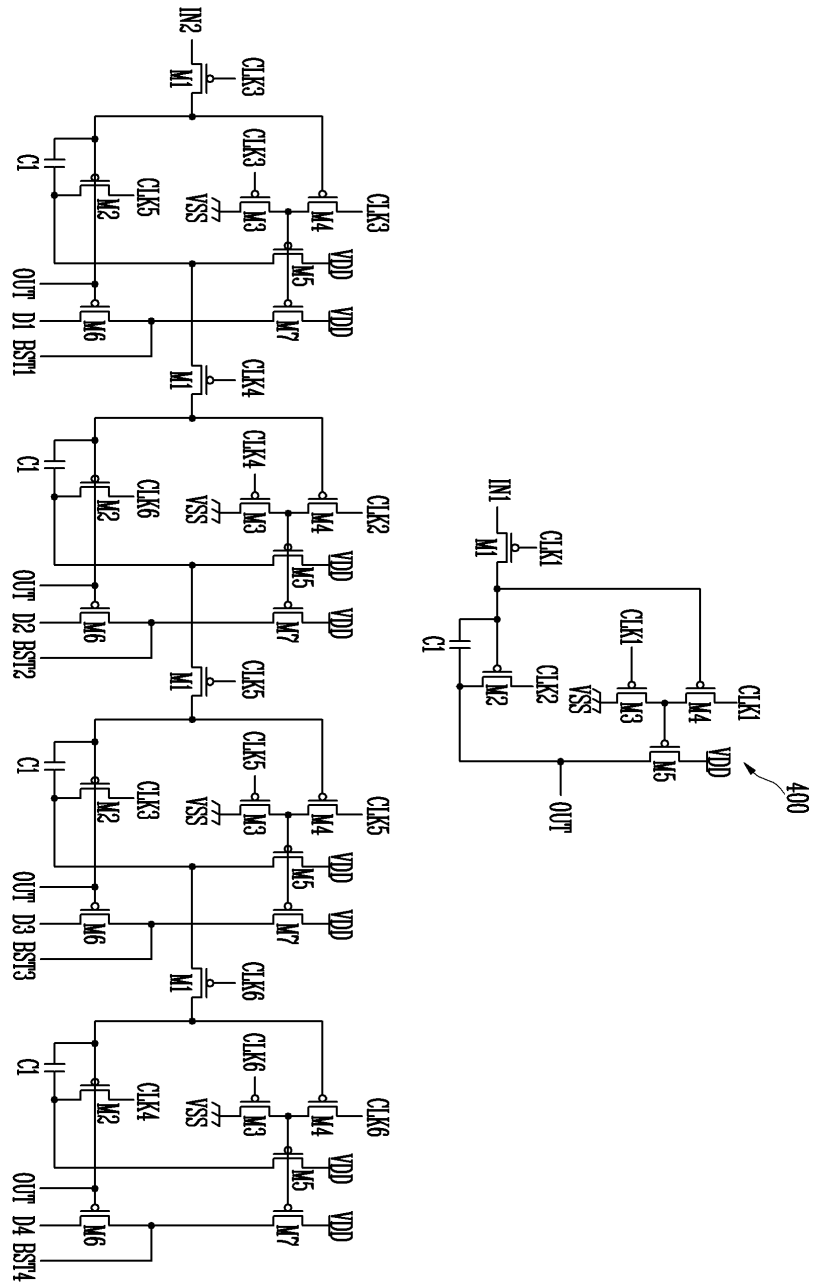
도면12



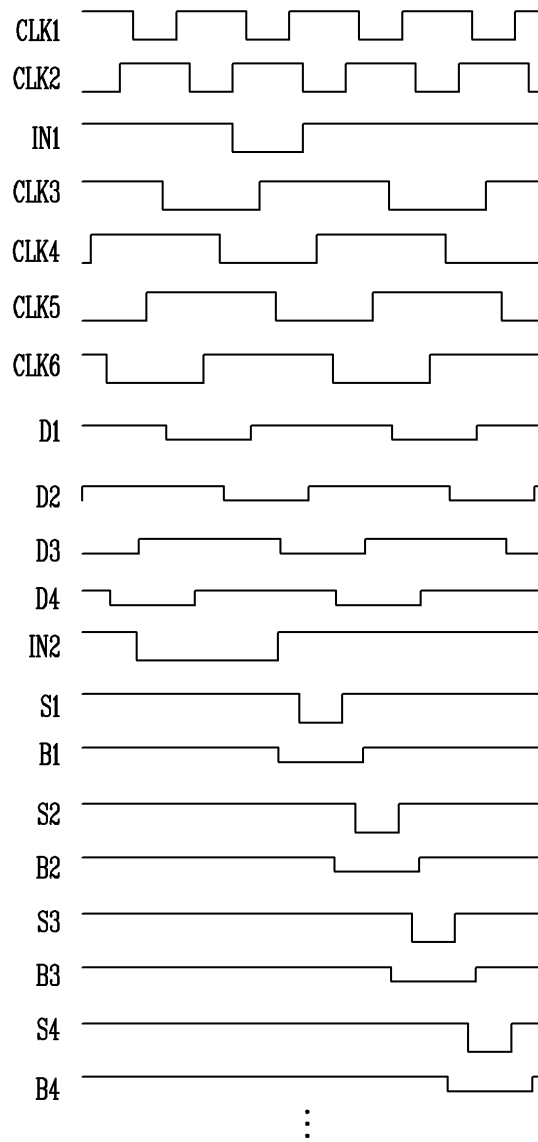
도면13



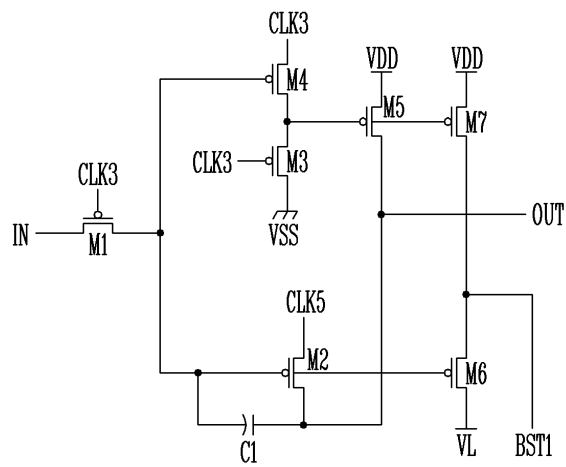
도면14



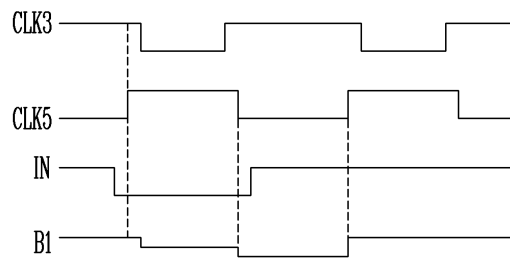
도면15



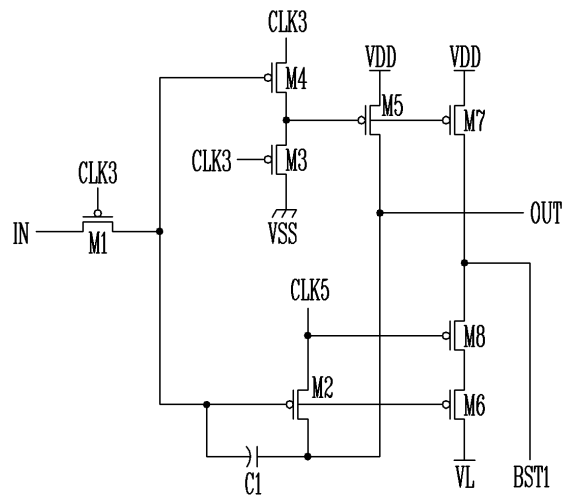
도면16



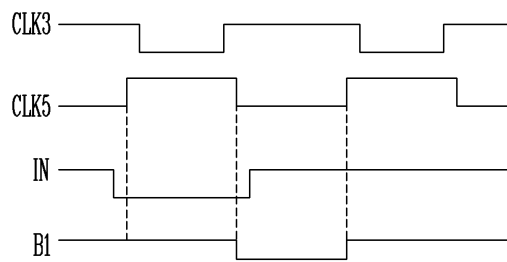
도면17



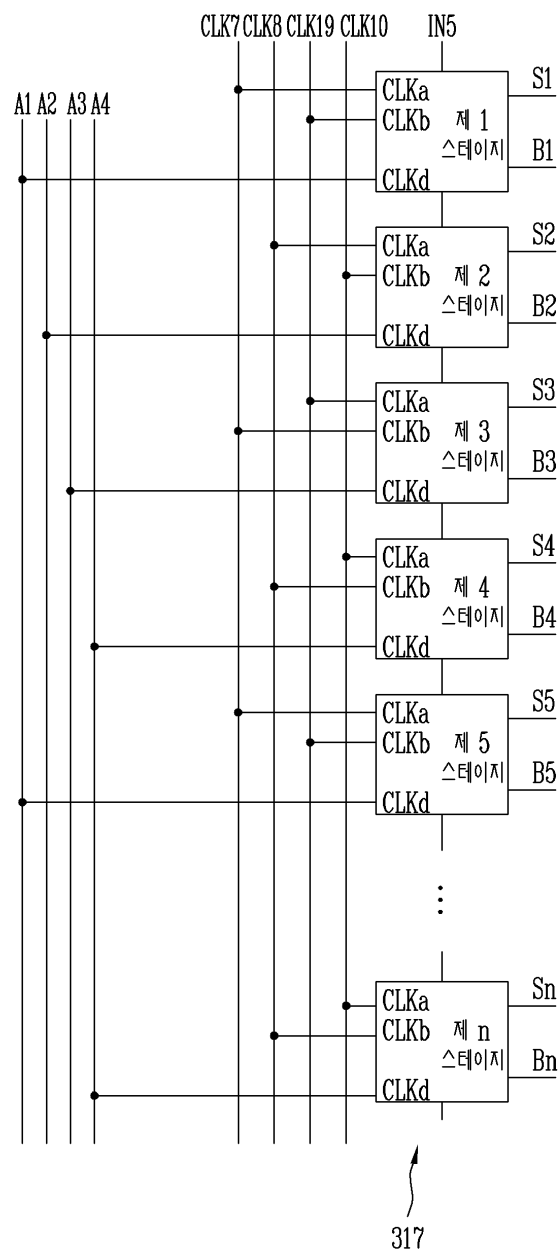
도면18



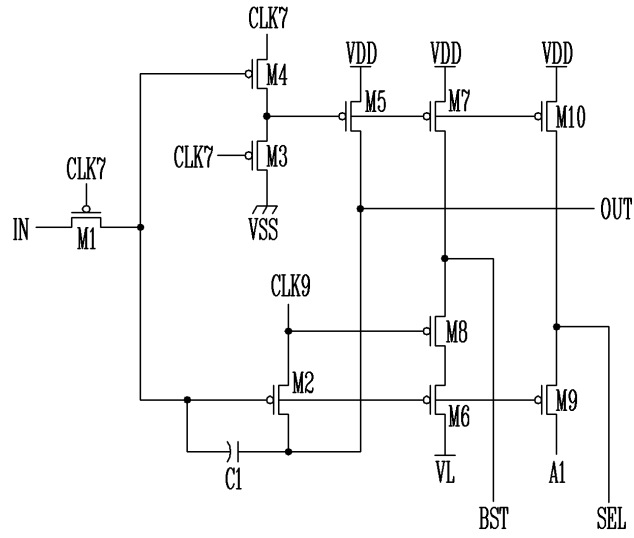
도면19



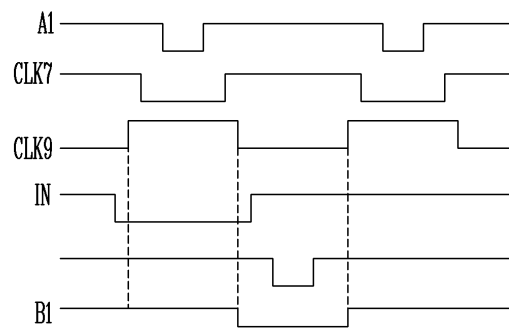
도면20



도면21



도면22



[illegible]