

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. (45) 공고일자 2006년04월24일
H05B 33/26 (2006.01) (11) 등록번호 10-0573132
(24) 등록일자 2006년04월17일

(21) 출원번호 10-2004-0009842	(65) 공개번호 10-2005-0081540
(22) 출원일자 2004년02월14일	(43) 공개일자 2005년08월19일

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 곽원규
 경기도 성남시 분당구 구미동 88번지 까치주 공아파트 207동 903호

(74) 대리인 리앤목특허법인
 이해영

심사관 : 손희수

(54) 유기 전계 발광 표시장치 및 그 제조 방법

요약

본 발명은 유기 전계 발광 표시장치에 관한 것으로서, 박막 트랜지스터를 구비하는 절연 기판 상에 형성되고, 상기 박막 트랜지스터의 소스 및 드레인 전극과 동일층 상에 형성된 전원라인(VDD); 상기 박막 트랜지스터 상에 형성된 평탄화막의 위에 배치되고, 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 접속된 하부 전극; 상기 하부 전극과 동일층 상에 형성된 보조 전원라인(VDDa) 및 보조 전극라인(VSS); 상기 보조 전극라인 상에는 형성되지 않고, 상기 하부 전극의 에지부 상에 형성되어 상기 하부 전극의 일부분을 노출시키는 개구부가 형성된 화소 정의막; 상기 개구부 상에 형성된 유기 막; 및 상기 절연 기판의 전면에 형성된 상부 전극을 포함하는 유기 전계 발광 표시장치를 제공한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래의 전면 발광 유기 전계 발광 표시장치를 설명하는 단면도이다.

도 2는 종래의 유기 전계 발광 표시장치의 화소부의 단면도이다.

도 3은 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시장치의 단면 구조를 도시한 것으로서, n번째 행(row)의 단면 구조와 n+1번째 행(row)의 단면 구조를 나타낸다.

도 4a 및 도 4b는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조 방법을 나타내는 단면도이다.

도 5a 및 도 5b는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조 방법을 나타내는 단면도이다.

도 6a 및 도 6b는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조 방법을 나타내는 단면도이다.

도 7a 및 도 7b는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조 방법을 나타내는 단면도이다.

도 8은 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시장치의 단면 구조를 도시한 것으로서, n번째 행(row)의 단면 구조와 n+ 1번째 행(row)의 단면 구조를 나타낸다.

도 9는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 평면 구조를 도시한 것이다.

<도면의 주요 부분에 대한 부호의 설명>

100,200,300; 절연 기판 110,210,310; 벼퍼층

120,220,320; 활성층 130,230,330; 게이트 절연막

141,241,242,341,342; 게이트 전극 150,250,350; 층간 절연막

161,261,262,361,362; 소스 및 드레인 전극

170,270,370; 패시베이션막 175,275,375; 평탄화막

170a,175a; 비아홀

270a,275a,270c,275c,370a,375a,370c,375c; 제 1 비아홀

270b,275b,370b,375b; 제 2 비아홀

180,181,182,281,282,381,382; 하부 전극

190,290,390; 유기층 195,295,395; 상부 전극

VDD; 전원 라인 VDDa; 보조 전원라인

VSS; 보조 전극라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 표시장치 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 전원라인 및 상부전극의 전압 강하를 방지하는 보조 라인을 사용하여 전압강하를 방지함으로써 휘도 불균일 방지 및 대형화가 가능한 유기 전계 발광 표시장치 및 그 제조 방법에 관한 것이다.

통상적으로 유기 전계 발광 표시장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광형 디스플레이로 낮은 전압에서 구동이 가능하고, 박형화가 용이하며 광시야각, 빠른 응답속도 등 액정표지 장치에 있어서 문제점으로 지적된 결점을 해결할 수 있는 차세대 디스플레이로 주목받고 있다. 유기 전계 발광 표시장치는 유리나 그밖의 투명한 절연기판에 소정 패턴의 유기막이 형성되고 이 유기막의 상하부에는 전극층들이 형성된다. 유기막은 유기 화합물로 이루어진다. 상기

와 같이 구성된 유기 전계 발광 표시장치는 전극들에 양극 및 음극 전압이 인가됨에 따라 양극전압이 인가된 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 음극전압이 인가된 전극으로부터 전자 수송층을 경유하여 발광층으로 주입된다. 이 발광층에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기 상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상이 형성된다.

이러한 유기 전계 발광 표시장치 중 능동 구동방식의 액티브 매트릭스(Active Matrix: AM)형 유기 전계 발광 표시장치는 각 화소당 적어도 2개의 박막 트랜지스터(이하, "TFT"라 함)를 구비한다. 이들 박막 트랜지스터는 각 화소의 동작을 제어하는 스위칭 소자 및 광셀을 구동시키는 구동 소자로 사용된다. 이러한 박막 트랜지스터는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드래인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는 반도체 활성층을 가지며, 이 반도체 활성층 상에 형성된 게이트 절연막, 및 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극, 게이트 전극 상에서 충간절연막을 사이에 두고 드레인 영역과 소스 영역과 콘택홀을 통해 접속된 드레인 전극 및 소스 전극 등으로 구성된다.

도 1은 액티브 매트릭스형(Active Matrix) 유기 전계 발광 표시장치의 화소부를 도시한 평면도이고, 도 2는 유기 전계 발광 표시장치의 화소부의 단면도이다.

먼저, 도 1에 나타난 바와 같이, 유기 전계 발광 표시장치는 복수개의 부화소를 갖는다. 단일의 부화소는 스캔 라인(Scan), 데이터 라인(Data) 및 구동 라인(VDD)으로 둘러싸여 있으며, 각 부화소는 가장 간단하게는 스위칭용인 스위칭 TFT (TFT_{sw})와, 구동용인 구동 TFT(TFT_{dr})의 적어도 2개의 박막 트랜지스터와, 하나의 커페시터(Cst) 및 하나의 유기 전계 발광 소자(OLED)로 이루어질 수 있다. 상기와 같은 박막 트랜지스터 및 커페시터의 개수는 반드시 이에 한정되는 것은 아니며, 이보다 더 많은 수의 박막 트랜지스터 및 커페시터를 구비할 수 있음은 물론이다.

상기 스위칭 TFT(TFT_{sw})는 스캔 라인(Scan)에 인가되는 스캐닝 신호에 구동되어 데이터 라인(Data)에 인가되는 데이터 신호를 전달하는 역할을 한다. 상기 구동 TFT(TFT_{dr})는 상기 스위칭 TFT(TFT_{sw})를 통해 전달되는 데이터 신호에 따라서, 즉, 게이트와 소오스 간의 전압차(V_{gs})에 의해서 구동라인(VDD)을 통해 유기 전계 발광 소자(OLED)로 유입되는 전류량을 결정한다. 상기 커페시터(Cst)는 상기 스위칭 TFT(TFT_{sw})를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 한다.

도 2는 이러한 액티브 매트릭스형 유기 전계 발광 표시장치의 단면도를 도시한 것으로, 도 2에서 볼 수 있는 바와 같이, 클래스재의 제 1 기판(100)상에 베퍼층(110)이 형성되어 있고, 이 위에 박막 트랜지스터(TFT)와, 유기 전계 발광 소자(OLED)가 형성된다.

이러한 액티브 매트릭스형 유기 전계 발광 표시장치는 일반적으로 다음과 같이 형성된다.

먼저, 기판(100)의 베퍼층(110)상에 소정 패턴의 반도체 활성층(121)이 구비된다. 반도체 활성층(121)의 상부에는 SiO₂ 등에 의해 게이트 절연막(130)이 구비되고, 게이트 절연막(130) 상부의 소정 영역에는 MoW, Al/Cu 등의 도전막으로 게이트 전극(141)이 형성된다. 상기 게이트 전극(141)은 TFT 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 상기 게이트 전극(141)의 상부로는 충간 절연막(inter-insulator:150)가 형성되고, 컨택 홀을 통해 소스/드레인 전극(161)이 각각 반도체 활성층(121)의 소스 영역 및 드레인 영역에 접하도록 형성된다. 소스/드레인 전극(161)의 형성시에 전원 라인(VDD)도 형성된다. 소스/드레인 전극(23) 상부로는 SiO₂, SiNx 등으로 이루어진 패시베이션막(170)이 형성되고, 이 패시베이션 막(170)의 상부에는 아크릴, 폴리 이미드, BCB 등의 유기물질로 평탄화막(175)이 형성되어 있다.

패시베이션 막(170) 및 평탄화막(175)에는 포토리소그래피 또는 천공에 의해 소스/드레인 전극(161)에 이어지는 비아홀(170a, 175a)이 형성된다. 그리고, 이 평탄화막(175)의 상부에 애노드 전극이 되는 하부 전극층(180)이 형성됨으로써, 하부 전극층(180)은 소스/드레인 전극(161)에 전기적으로 접속된다. 그리고, 하부 전극층(180)을 덮도록 유기물로 화소 정의막(Pixel Define Layer: 185)이 형성된다. 이 화소 정의막(185)에 소정의 개구부를 형성한 후, 이 개구부로 한정된 영역 내에 유기층(190)을 형성한다. 유기층(190)은 발광층을 포함한 것이 된다. 그리고, 이 유기층(190)을 덮도록 캐소드 전극인 상부 전극층(195)이 형성된다. 상기 유기층(190)은 하부 전극층(180)과 상부 전극층(195)의 서로 대향되는 부분에서 정공 및 전자의 주입을 받아 발광된다.

한편, 통상적으로 액티브 매트릭스 유기 전계 발광 표시장치(AMOLED)에서는 광을 봉지 기판 방향으로 발광시키기 위하여 투명 캐소드 전극이 사용된다. 일반적으로 상기 투명 캐소드 전극은 ITO 또는 IZO 등의 투명한 도전성의 물질이 주로

사용되지만, 캐소드 전극으로 씨의 역할을 수행하기 위해 유기막과 접하는 쪽에 일함수(work function)가 낮은 MgAg와 같은 금속 물질을 얇게 증착하여 반투명 금속막을 형성하고 상기 반투명 금속막 상에 ITO 또는 IZO를 두껍게 증착하여 사용한다.

그런데, 상기와 같은 공정에서, 상기 ITO 또는 IZO는 유기막을 형성한 후에 형성되므로, 열이나 플라즈마(plasma)에 의한 유기막의 손상을 최소화하기 위하여 저온 증착에 의하여 형성되어 막질이 나쁘고, 비저항이 높아진다. 캐소드 전극의 비저항이 높음으로 인하여, 화소의 위치별로 동일한 캐소드 전압이 인가되는 것이 아니라 전압 강하(IR drop)에 의해 전원이 입력되는 부위에서 가까운 영역과 면 영역에서 전압 차이가 발생하며, 이로 인하여 휘도나 화상 특성의 불균일이 발생하고, 또한, 소비 전력이 상승하는 문제점이 발생한다. 이러한 전압 강하 현상때문에, 대형의 액티브 매트릭스 유기 전계 발광 표시장치(AMOLED)를 제조하기 곤란한 문제점이 있다.

상기한 문제점을 해결하기 위하여 쇼지 테라다 등(shoiji terada et al)은 SID2003의 54.5L에 화소 정의막(285) 상에 상부 전극 전압 강하 방지를 위한 보조 전극을 형성하는 방식을 도입하였다. 이 방식에서는, 화소 정의막(185) 상에 상부 전극 전압 강하 방지를 위한 보조 전극라인(193)이 형성되며, 상기 절연 기판(100) 전면에 캐소드 전극으로 작용하는 상부 전극(195)이 형성된 구조를 갖는다.

그러나, 상기의 방법은 보조 전극(193)을 형성하는 과정에서, 화소 정의막(185) 상에 보조 전극라인(193)으로 사용되는 반투명 금속막을 증착하고 패터닝할 때, 상기 유기막(190)이 손상을 입는 문제점이 있으며, 또한, 상기 상부 전극 전압 강하 방지를 위한 보조 전극(193)을 형성하기 위해 마스크 공정이 추가되어 공정이 복잡해지는 문제점이 있다.

한편, 소스/드레인 전극(161)에 전류를 유입하는 역할을 하는 전원 라인(VDD)은 소스/드레인 전극(161)을 형성할 때 그 측면에 동시에 형성되어 접속된다. 그러나, 전원 라인(VDD)의 배선은 기판의 측면에서 제공되는 이유로 인하여, 박막구조에 있어서 그 단면적이 작아 배선 저항이 크게 된다. 이에 따라, RC 지연 및 전압강하로 인하여 구동 TFT에 공급되는 전류량이 불규칙하게 되고, 결국 유기 전계 발광소자(OLED)의 휘도 불균일이 발생하는 문제점이 발생한다.

이상 설명한 바와 같이, 전원 라인(VDD)의 전압 강하 및 캐소드 전극의 전압 강하 현상때문에, 대형의 액티브 매트릭스 유기 전계 발광 표시장치(AMOLED)를 제조하기 곤란한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 보조 전원라인을 사용하여 전원 라인(VDD)의 전압 강하 및 캐소드 전극의 전압 강하를 동시에 방지하는 유기 전계 발광 표시장치와 그 제조 방법을 제공하는 데에 있다.

또한, 본 발명의 다른 목적은 전원 라인(VDD)의 전압 강하 및 캐소드 전극의 전압 강하를 방지하여 휘도 및 화상 특성이 향상되어, 대형화가 가능한 전면 발광 유기 전계 발광 표시장치와 그 제조 방법을 제공하는 데에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 박막 트랜지스터를 구비하는 절연 기판 상에 형성되고, 상기 박막 트랜지스터의 소스 및 드레인 전극과 동일층 상에 형성된 전원라인(VDD);

상기 박막 트랜지스터 상에 형성된 평탄화막의 위에 배치되고, 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 접속된 하부 전극;

상기 하부 전극과 동일층 상에 형성된 보조 전원라인(VDDa) 및 보조 전극라인(VSS);

상기 보조 전극라인 상에는 형성되지 않고, 상기 하부 전극의 애지부 상에 형성되어 상기 하부 전극의 일부분을 노출시키는 개구부가 형성된 화소 정의막;

상기 개구부 상에 형성된 유기막; 및

상기 절연 기판의 전면에 형성된 상부 전극을 포함하는 유기 전계 발광 표시장치를 제공한다.

그리고, 상기 보조 전원라인은 상기 전원라인과 전기적으로 접속된다.

또한, 상기 보조 전원라인과 상기 전원라인과의 사이에는 상기 평탄화막이 개재되며, 상기 보조 전원라인은 상기 평탄화막 내에 형성된 비아홀을 통해 상기 전원라인과 전기적으로 접속된다.

한편, 상기 보조 전극라인은 상기 상부 전극과 전기적으로 접속된다.

이때, 보조 전극라인은 상기 보조 전극라인의 측면을 통하여 상기 상부 전극과 전기적으로 접속되거나, 상기 보조 전극라인의 측면과 상부면을 통하여 상기 상부 전극과 전기적으로 접속될 수 있다.

그리고, 상기 하부 전극, 보조 전원라인 및 보조 전극라인은 동일한 물질로 이루어지는 것이 바람직하며, 상부 전극 물질보다 일함수가 큰 도전성의 물질로 이루어지는 것이 바람직하다. 더욱 바람직하게는, 상기 하부 전극, 보조 전원라인 및 보조 전극라인은 비저항이 낮으며 반사율이 우수한 물질로 이루어지는 것이 바람직하다. 또한, 하부 전극, 보조 전원라인 및 보조 전극은 단일막 또는 다중막으로 이루어질 수 있고, Al-ITO, Mo-ITO, Ti-ITO 또는 Ag-ITO으로 이루어질 수 있다. 특히, 하부 전극, 보조 전원라인 및 보조 전극은 상기 유기막에 비하여 두껍게 형성되는 것이 바람직하다.

한편, 본 발명에 따른 상기 유기 전계 발광 표시장치는 상기 박막 트랜지스터 및 전원라인을 가진 복수의 부화소들을 구비하며, 상기 복수의 부화소들 중 일부의 부화소들은 상기 보조 전원라인을 포함하고, 다른 일부의 부화소들은 상기 보조 전극라인을 포함한다. 이때, 각각의 상기 보조 전원라인이나 보조 전극라인은 그 보조 전원라인이나 보조 전극라인이 속하는 부화소의 전원라인에 대해 교차되어 형성될 수 있다. 그리고, 복수의 부화소들의 상기 보조 전원라인들과 상기 보조 전극라인들은 서로 교번적으로 형성될 수 있다.

한편, 본 발명에 따른 유기 전계 발광 표시장치의 제조 방법은,

박막 트랜지스터 및 상기 박막 트랜지스터의 소스 및 드레인 전극과 동일층 상에 형성된 전원라인을 구비하는 절연 기판 상에, 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 접속되는 하부 전극 및, 상기 하부 전극과 동일층에, 보조 전원라인 및 보조 전극라인을 형성하는 보조라인 형성단계;

상기 보조 전극라인 상에는 형성되지 않고, 상기 하부 전극의 에지부 상에 형성되어 하부 전극의 일부분을 노출시키는 개구부를 구비하는 화소 정의막을 형성하는 단계;

상기 개구부 상에 유기막을 형성하는 단계; 및

상기 절연 기판의 전면에 상부 전극을 형성하는 단계를 포함한다.

이때, 상기 보조라인 형성단계는, 박막 트랜지스터를 구비하는 절연 기판 상에 평탄화막을 형성하는 단계;

상기 평탄화막에, 상기 박막 트랜지스터의 소스 또는 드레인 전극이 노출되는 제 1 비아홀과, 전원라인이 노출되는 제 2 비아홀을 형성하는 단계; 및

상기 평탄화막 상에 소정의 도전성 물질을 도포한 후 패터닝하여, 상기 제 1 비아홀을 통해 상기 소스 또는 드레인 전극과 전기적으로 접속되도록 상기 하부 전극, 상기 제 2 비아홀을 통해 상기 전원라인과 전기적으로 접속되도록 보조 전원라인 및 상기 보조 전극라인을 형성하는 단계를 포함한다.

이때, 상기 제 1 비아홀과 상기 제 2 비아홀은 동시에 형성될 수 있고, 상기 평탄화막 상에 형성되는 상기 하부 전극, 상기 보조 전원라인 및 상기 보조 전극라인은 동일한 물질로 이루어질 수 있다.

이하에서는 첨부된 도면을 참조하여, 본 발명의 바람직한 실시예를 설명한다.

도 3은 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시장치의 단면 구조를 도시한 것으로서, n번째 행(row)의 단면 구조와 n+1번째 행(row)의 단면 구조를 나타낸다.

도 3을 참조하면, 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시장치는 절연 기판(200) 및 베퍼층(210) 상에 형성된 활성 반도체층(221,222)과, 그 위에 게이트 절연막(230)을 매개로 형성된 게이트 전극(241,242)과, 그 위에 층간 절연막(250) 및 컨택 홀을 통해 활성 반도체층(221,222)과 접속된 소스 및 드레인 전극(261,262)을 구비하며, 소스 및 드레인 전극(261,262)과 동일층 상에는 전원라인(VDD)이 형성되어 있다. 전원라인(VDD)은 동일한 열(Column) 또는 데이터 라인에 접속되는 복수의 화소에 대해 공통 접속되도록 연장된다. 즉, 도 3과 같이, 전원라인(VDD(n))은 n번째 열(Column)에 접속되는 복수의 화소에 대해 공통 접속되도록 연장되어 있고, 전원라인(VDD(n+1))은 n+1번째 열(Column)에 접속되는 복수의 화소에 대해 공통 접속되도록 연장되어 있다.

상기 박막 트랜지스터가 형성된 절연 기판 상에는 SiO_2 , SiN_x 등으로 이루어진 패시베이션막(270)과, 아크릴, 폴리 이미드, BCB 등의 유기물질로 이루어진 평탄화막(275)이 도포되며, 평탄화막(275)의 위에는 유기 전계 발광 소자(OLED)의 애노드 전극으로 작용할 수 있는 하부 전극(281,282) 및 보조 전원라인(VDDa)과 보조 전극라인(VSS)이 배치된다. 하부 전극(281)은 비아홀(270a, 275a)을 통해 박막 트랜지스터의 소스 또는 드레인 전극(261)과 전기적으로 접속되고, 하부 전극(282)은 비아홀(270c, 275c)을 통해 박막 트랜지스터의 소스 또는 드레인 전극(262)과 전기적으로 접속된다.

보조 전원라인(VDDa)은 하부 전극(281, 282)과 동일층 상에 형성되며, 비아홀(270b, 275b)을 통해 전원라인(VDD(n))과 전기적으로 접속된다. 도 3에서, 이해를 돋기 위하여, 보조 전원라인(VDDa(n))은 평면상에서 90도 회전한 모습을 나타내고 있다. 실제로는, 보조 전원라인(VDDa(n))은 좌우 방향으로 연속적으로 연장된 구조를 취한다.

보조 전극라인(VSS)은 하부 전극(281, 282)과 동일층 상에 형성되며, 상부 전극(295)과 전기적으로 접속되어 상부 전극(295)의 저항을 감소시킨다. 도 3에서, 이해를 돋기 위하여, 보조 전극라인(VSS(n+1))은 평면상에서 90도 회전한 모습을 나타내고 있다. 실제로는, 보조 전극라인(VSS(n+1))은 좌우 방향으로 연속적으로 연장된 구조를 취한다.

그리고, 하부 전극(281)의 에지부를 포함한 소정의 영역에는 화소 정의막(285)이 형성된다. 화소 정의막(285)은 보조 전극라인(VSS) 상에는 형성되지 않도록 한다. 화소 정의막(285)을 패터닝 할 때, 하부 전극의 일부분을 노출시킴으로써 개구부가 형성된다. 개구부 영역 또는 기판 상의 모든 영역에는 유기막(290)이 구비된다. 도 3에 도시된 실시예에서는, 기판상의 모든 영역에 유기막(290)이 구비되어 있으나, 도 8과 같이 개구부에만 유기막(290)이 구비될 수도 있다.

유기막(290)은 보조 전극라인(VSS)의 측면에는 형성되지 않고 끊어져 있다. 유기막(290) 상에는 유기 전계 발광 소자의 캐소드 전극으로 작용하는 상부 전극(295)이 구비되는데, 유기막(290)이 보조 전극라인(VSS)의 측면에는 형성되지 않고 끊어져 있음으로 인해, 보조 전극라인(VSS)의 측면은 상부 전극(295)과 전기적으로 접속된다. 보조 전극라인(VSS)의 측면에 유기막(290)을 형성시키지 않는 것은, 보조 전극라인(VSS)의 두께를 충분히(예컨대, 3000 Å 이상) 높게 형성한 후 유기막(290)을 도포함으로써 이루어질 수 있다. 화소 정의막(285)은 어느 정도의 일정 각을 갖고 형성되어 상기 유기막(290)이 넘어갈 수 있으나, 상기 보조 전극(VSS)은 측면이 거의 수직에 가깝고 상기 유기막(290)의 두께에 비하여 충분히 두껍게 형성되기 때문이다.

애노드 전극으로 작용하는 하부 전극(281, 282)과, 보조 전원라인(VDDa), 보조 전극라인(VSS)은 동일한 물질로 이루어지는 것이 바람직하고, 또한, 캐소드 전극으로 작용하는 상부 전극(295) 물질보다 일함수가 큰 도전성의 물질로 이루어지는 것이 바람직하다. 예를 들어, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 를 형성할 수 있다. 더욱 바람직하게는, 하부 전극(281,282) 및 보조 전원라인(VDDa), 보조 전극라인(VSS)은 캐소드 전극의 전압 강하를 최소화하기 위해 비저항이 낮으며, 후속 공정에서 형성되는 유기막의 반사율을 증대시키기 위해 반사율이 우수한 Al-ITO, Mo-ITO, Ti-ITO 또는 Ag-ITO 또는 기타 반사막이나 애노드 전극으로 사용될 수 있는 물질로 이루어지는 것이 바람직하다.

또한, 하부 전극(281,282) 및 보조 전원라인(VDDa), 보조 전극라인(VSS)은 단일막 또는 다중막으로 이루어질 수 있다.

한편, 개구부 상에 형성되는 유기막(290)은 저분자 또는 고분자 유기층이 사용될 수 있는데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이를 저분자 유기층은 진공증착의 방법으로 형성된다.

고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

유기층(290) 상에 형성되는 상부 전극(295)도 투명 전극 또는 반사형 전극으로 구비될 수 있는데, 투명전극으로 사용될 때에는 이 제 2 전극층(63)이 캐소드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물이 유기층(290)의 방향을 향하도록 중착한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 등의 투명 전극 형성용 물질을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물을 전면 중착하여 형성한다. 본 발명의 바람직한 실시예에 있어서, 전면 발광 유기 전계 발광 표시장치에서는 상부 전극(295)으로서 일함수가 작고 전기 저항이 작은 MgAg 금속층 상에 IZO막을 형성하는 것이 바람직하다.

상부 전극(295)은 보조 전극라인(VSS)의 측면에 유기막(290)이 형성되지 않으므로, 보조 전극라인(VSS)의 측면과 전기적으로 연결된다. 따라서, 상부 전극(295)이 보조 전극라인(VSS)의 측면과 전기적으로 연결되므로, 캐소드 전압 강하를 방지할 수 있게 된다.

한편, 도 8은 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시장치의 단면 구조를 도시한 것으로서, n번째 행(row)의 단면 구조와 n+1번째 행(row)의 단면 구조를 나타낸다.

도 8에 도시된 액티브 매트릭스 유기 전계 발광 표시장치(AMOLED)는 제 1 실시예의 액티브 매트릭스 유기 전계 발광 표시장치와 구조적으로 유사하다. 다만, 보조 전극라인(VSS) 상에 유기막(390)이 형성되지 않고, 보조 전극라인(VSS)의 측면과 상부면을 통하여 상부 전극(395)과 전기적으로 접속되는 구조만이 다르다.

이때, 유기막(390)은 LITI 전사 또는 패터닝 등의 방법을 통하여 하부 전극(381,382)의 에지부에만 형성된 화소 정의막(385)의 개구부에 한정되어 형성된다. 즉, 제 1 실시예와는 달리 유기막(390)이 보조 전극라인(VSS) 상에는 형성되지 않는다.

따라서, 상기 상부 전극 전압 강하 방지용 보조 전극(423)은 보조 전극(423)의 양측면과 상부면을 통하여 상부 전극(450)과 전기적으로 연결되어, 상부 전극의 전압 강하를 방지하게 된다.

한편, 도 9는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 평면 구조를 도시한 것이다.

도 9를 참조하면, 유기 전계 발광 표시장치는 내부에 박막 트랜지스터 및 하부 전극, 유기층, 상부 전극 등을 구비한 복수의 부화소들을 가진 열과 행의 매트릭스 형태를 취하고 있으며, 이들 복수의 부화소들은 동일 열(Column)에 대해서는 동일한 전원라인(VDD) 및 동일한 데이터라인(Data)에 접속되어 있다. 그리고, 이들 복수의 부화소들은 동일 행(Row)에 대해서는 동일한 스캔라인(Scan)에 접속되어 있다. 또한, 복수의 부화소들은 동일 행(Row)에 대해서, 전원라인(VDD)에 교차되어 형성되는 동일한 보조 전원라인(VDDa) 또는 동일한 보조 전극라인(VSS)에 접속되어 있다. 보조 전원라인(VDDa)은 비아홀(70b,75b)에 의해 전원라인(VDD)과 접속되어 있다.

복수의 부화소들 중 일부의 부화소들은 보조 전원라인(VDDa)에 접속되어 있고, 다른 일부의 부화소들은 보조 전극라인(VSS)에 접속되어 있다. 이로써, 평면도상에서 복수의 부화소들은 메쉬(Mesh) 형태로 형성된다.

도 9에 도시된 실시예에서는, 각 행마다 보조 전원라인(VDDa) 및 보조 전극라인(VSS)이 교번적으로 형성되어 있다. 그러나, 전원라인(VDD)의 전압강하(IR drop)를 고려할 필요성이 크면 보조 전원라인(VDDa)의 개수를 늘릴 수 있고, 캐소드 전극의 전압강하(IR drop)를 고려할 필요성이 크면 보조 전극라인(VSS)의 개수를 늘림으로써, 적응적으로 설계 가능하다.

이하에서는, 도 4a 내지 도 7b를 참조하면서, 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조 방법을 설명하겠다.

도 4a 및 도 4b는 본 발명의 일 실시예에 따른 유기 전계 발광 표시장치의 제조 방법으로서, 기판 상에 박막 트랜지스터(TFT) 및 전원라인(VDD)가 형성되어 있는 모습을 나타낸다.

먼저, 클래스재 또는 플라스틱재의 절연 기판(200)상에 SiO_2 등으로 베퍼층(210)을 형성한다. 기판(200) 상에 베퍼층(210)을 형성하면 불순원소의 침투가 방지되고, 표면이 평탄하게 된다. 베퍼층(210)은 SiO_2 로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있으며, 대략 3000Å 정도로 증착 가능하다. 그리고, 베퍼층(210) 상에 반도체 활성층(221,222)을 형성한 후 이온을 도핑하고, 이 반도체 활성층(221,222)의 상부에 게이트 절연막(230)을 형성한 다음, 게이트 절연막(230) 상부에 게이트 전극(241,242)을 형성한다. 그리고, 상기 반도체 활성층(221)과 콘택홀을 통해 접하는 소스/드레인 전극(261,262)을 형성함으로써, 박막 트랜지스터(TFT)를 완성한다.

보다 구체적으로 설명하면, 상기 반도체 활성층(221,222)은 무기반도체 또는 유기반도체로 형성될 수 있는데, 대략 500Å 정도로 형성될 수 있다. 반도체 활성층(221,222)을 무기반도체 중 폴리 실리콘으로 형성할 경우에는 비정질 실리콘을 형성한 후, 각종 결정화방법에 의해 다결정화할 수 있다. 이 활성층은 N형 또는 P형 불순물이 고농도로 도핑된 소스 및 드레인 영역을 가지며, 그 사이로 채널 영역을 갖는다. 무기반도체는 CdS , GaS , ZnS , CdSe , CaSe , ZnSe , CdTe , SiC , 및 a-Si (amorphous silicon)이나 poly-Si(poly silicon)과 같은 실리콘재를 포함하는 것일 수 있고, 상기 유기반도체는 밴드갭이 1eV 내지 4eV인 반도체성 유기물질로 구비될 수 있는데, 예를 들어 폴리티오펜 등의 고분자 또는 펜타센 등의 저분자를 포함할 수 있다.

상기 반도체 활성층(221,222)의 상부에는 SiO_2 등에 의해 게이트 절연막(230)이 구비되고, 게이트 절연막(230) 상부의 소정 영역에는 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 게이트 전극(241,242)이 형성된다. 상기 게이트 전극(241,242)을 형성하는 물질에는 반드시 이에 한정되지 않으며, 도전성 폴리머 등 다양한 도전성 물질이 게이트 전극(241,242)으로 사용될 수 있다. 상기 게이트 전극(241,242)이 형성되는 영역은 반도체 활성층(221,222)의 채널 영역에 대응된다.

상기 게이트 전극(241,242)의 상부로는 SiO_2 및/또는 SiN_x 등으로 층간 절연막(inter-insulator: 250)이 형성되고, 이 층간 절연막(250)과 게이트 절연막(230)에 콘택홀이 천공되어진 상태에서 소스 및 드레인 전극(261,262)을 층간 절연막(250)의 상부에 형성한다. 소스/드레인 전극(261,262)을 형성하는 재료로서는, MoW, Al, Cr, Al/Cu 등의 도전성 금속막이나 도전성 폴리머 등이 사용될 수 있다. 소스 및 드레인 전극(261,262)의 형성시에, 층간 절연막(250) 상에 전원라인(VDD(n), VDD(n+1))이 설치된다. 전원라인(VDD)은 소스 및 드레인 전극(261,262)과 동시에 같은 재료로 설치될 수도 있고, 별도의 다른 재료로 설치될 수도 있다.

이상 설명한 바와 같은 박막 트랜지스터의 구조는 반드시 이에 한정되는 것은 아니고, 종래의 일반적인 박막 트랜지스터의 구조가 모두 그대로 채용될 수 있음을 물론이다.

다음으로, 도 5a 및 도 5b와 같이, 박막 트랜지스터(TFT) 및 상기 박막 트랜지스터의 소스 및 드레인 전극(261,262)과 동일층 상에 형성된 전원라인(VDD)을 구비하는 절연 기판 상에, 박막 트랜지스터의 소스 또는 드레인 전극(261,262)과 전기적으로 접속되는 하부 전극(281,282)을 형성한다. 그리고, 하부 전극(281,282)과 동일층에, 보조 전원라인(VDDa) 및 보조 전극라인(VSS)을 형성한다.

보조 전원라인(VDDa)은 하부 전극(281, 282)과 동일층 상에 형성되지만, 비아홀(270b, 275b)을 통해 전원라인(VDD(n))과 전기적으로 접속된다. 도 5a에서, 이해를 돋기 위하여, 보조 전원라인(VDDa(n))은 평면상에서 90도 회전한 모습을 나타내고 있다. 실제로는, 보조 전원라인(VDDa(n))은 좌우 방향으로 연속적으로 연장된 구조를 취한다.

또한, 도 5b에서, 이해를 돋기 위하여, 보조 전극라인(VSS(n+1))은 평면상에서 90도 회전한 모습을 나타내고 있다. 실제로는, 보조 전원라인(VSS(n+1))은 좌우 방향으로 연속적으로 연장된 구조를 취한다.

하부 전극(281,282) 및 보조 전원라인(VDDa) 및 보조 전극라인(VSS)은 박막 트랜지스터상에 도포되는 패시베이션막(270) 및 평탄화막(275) 상에 형성된다.

패시베이션막(270)은 상기 소스/드레인 전극(261,262) 상부에 SiN_x 등으로 형성하고, 평탄화막이 패시베이션 막(270)의 상부에는 아크릴, BCB, 폴리 이미드 등에 의해 평탄화막(275)을 형성한다. 이때, n번째 행의 부화소에서, 패시베이션막(270) 및 평탄화막(275)에는 소스/드레인 전극(261,262)을 노출시키도록 비아홀(270a, 275a)을 형성한다. 그리고, 패시베이션 막(270)의 상부에 유기 전계 발광 소자(OLED)의 하부 전극(281,282)을 형성해, 이 하부 전극(281,282)이 비아홀(270a, 275a)을 통해 소스/드레인 전극(261,262) 중 어느 하나에 접속되도록 한다.

그런데, n번째 행의 부화소에서, 비아홀(270a, 275a) 형성시에, 전원라인(VDD(n))을 노출시키도록 다른 비아홀(270b, 275b)을 형성한다. 그리고, 패시베이션 막(270)의 상부에 하부 전극(281, 282)을 형성시와 동시에, 두번째 비아홀(270b, 275b)을 통해 전원라인(VDD(n))과 접속되도록 보조 전원라인(VDDa(n))을 형성한다. 또한, 패시베이션 막(270)의 상부에 하부 전극(281, 282)을 형성시와 동시에, n+1번째 행의 부화소에서는 전원라인(VDD(n+1)) 상에 보조 전극라인(VSS(n+1))을 형성한다.

애노드 전극으로 작용하는 하부 전극(281, 282)과, 보조 전원라인(VDDa), 보조 전극라인(VSS)은 동일한 물질로 형성하는 것이 바람직하고, 또한, 캐소드 전극으로 작용하는 상부 전극(295) 물질보다 일함수가 큰 도전성의 물질로 이루어지는 것이 바람직하다. 예를 들어, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 를 형성할 수 있다. 특히, 더욱 바람직하게는, 하부 전극(281, 282) 및 보조 전원라인(VDDa), 보조 전극라인(VSS)은 캐소드 전극의 전압 강하를 최소화하기 위해 비저항이 낮으며, 후속 공정에서 형성되는 유기막의 반사율을 증대시키기 위해 반사율이 우수한 Al-ITO, Mo-ITO, Ti-ITO 또는 Ag-ITO 또는 기타 반사막이나 애노드 전극으로 사용될 수 있는 물질로 형성하는 것이 바람직하다.

또한, 하부 전극(281, 282) 및 보조 전원라인(VDDa), 보조 전극라인(VSS)은 단일막 또는 다중막으로 형성할 수 있다.

하부 전극(281, 282) 및 보조 전원라인(VDDa(n))과 보조 전극라인(VSS(n+1))은 동시에 형성되어 제조 공정을 단축시키는 것이 바람직하다. 또한, 그 두께를 최대한 두껍게 형성하는 것이 바람직한데, 그 이유는 후술하는 바와 같이 그 후에 도포될 유기층(290)이 보조 전극라인(VSS(n+1))의 측면에는 형성되지 않고 끊어져 있게 함으로써, 유기층(290)위에 형성되는 상부 전극(295)이 보조 전극라인(VSS(n+1))과 전기적으로 접속되도록 하기 위함이다.

하부 전극(281, 282) 및 보조 전원라인(VDDa(n))과 보조 전극라인(VSS(n+1))이 형성된 다음, 절연 기판(200) 상에서 하부 전극(281, 282)의 예지부에 화소 정의막(285)을 형성한다. 화소 정의막(285)은 도 6a 및 도 6b에 도시된 바와 같이, 보조 전극라인(VSS(n+1)) 상에는 형성되지 않는다. 그리고, 화소 정의막(285)은 하부 전극(281, 282)의 예지부 상에 형성됨으로써, 하부 전극(281, 282)의 일부분을 노출시키는 개구부가 형성된다.

그 후, 절연 기판(200)의 전면에 걸쳐 발광층을 포함하는 유기막(290)을 도포한다. 상기한 바와 같이, 유기막(290)은 보조 전극라인(VSS)의 측면에는 형성되지 않고 끊어져 있다. 유기막(290) 상에는 유기 전계 발광 소자의 캐소드 전극으로 작용하는 상부 전극(295)이 구비되는데, 유기막(290)이 보조 전극라인(VSS)의 측면에는 형성되지 않고 끊어져 있음으로 인해, 보조 전극라인(VSS)의 측면은 상부 전극(295)과 전기적으로 접속되게 된다. 보조 전극라인(VSS)의 측면에 유기막(290)을 형성시키지 않는 것은, 보조 전극라인(VSS)의 두께를 충분히(예컨대, 3000 Å 이상) 높게 형성한 후 유기막(290)을 도포함으로써 이루어질 수 있다. 화소 정의막(285)은 어느 정도의 일정 각을 갖고 형성되어 상기 유기막(290)이 넘어갈 수 있으나, 상기 보조 전극(VSS)은 측면이 거의 수직에 가깝고 상기 유기막(290)의 두께에 비하여 충분히 두껍게 형성되기 때문이다.

이어서, 도 7a 및 도 7b와 같이, 절연 기판(200)의 전면에 걸쳐 캐소드 전극으로 작용하는 상부 전극(295)을 도포한다. 상부 전극(295)으로서, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물이 유기층(290)의 방향을 향하도록 중착한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 등의 투명 전극 형성용 물질을 형성할 수 있다. 특히, 본 발명의 바람직한 실시예에 있어서, 상부 전극(295)으로서는 일함수가 작고 전기 저항이 작은 MgAg 금속층 상에 IZO막을 형성하는 것이 바람직하다.

상부 전극(295)의 도포에 의해, 상부 전극(295)은 보조 전극라인(VSS(n+1))의 측면과 전기적으로 접촉된다. 앞서 설명한 바와 같이, 보조 전극라인(VSS(n+1))은 유기막(290)에 비하여 충분히 두껍게 형성되어 그 측면에 유기막(290)이 덮혀지지 않도록 형성됨으로써, 결국 상부 전극(295)과 전기적으로 접속되는 것이다.

도 8에 도시된 실시예는, 유기막(290)을 하부 전극(281, 282) 및 개구부에만 도포하고 그 외의 영역에는 도포하지 않은 상태에서, 상부 전극(295)을 도포한 경우를 나타낸다. 따라서, 보조 전극라인(VSS(n+1))은 그 측면 및 상부면에서 상부 전극(295)과 전기적으로 접속되며, 그 외의 사항은 상기 실시예와 동일하다.

상기와 같이 형성되는 유기 전계 발광 표시장치를 기판의 전면층으로부터 바라보면 도 9와 같은 평면도와 같이 된다. 도 9를 참조하면, 유기 전계 발광 표시장치는 내부에 박막 트랜지스터(TFT) 및 하부 전극(281, 282), 유기층(290), 상부 전극(295) 등을 구비한 복수의 부화소들을 가진 열과 행의 매트릭스 형태를 취하고 있으며, 이들 복수의 부화소들은 동일 열

(Column)에 대해서는 동일한 전원 라인(VDD) 및 동일한 데이터 라인(Data)에 접속되어 있다. 그리고, 이들 복수의 부화소들은 동일 행(Row)에 대해서는 동일한 스캔 라인(Scan)에 접속되어 있다. 또한, 복수의 부화소들은 동일 행(Row)에 대해서, 전원라인(VDD)에 교차되어 형성되는 동일한 보조 전원라인(VDDa) 또는 동일한 보조 전극라인(VSS)에 접속되어 있다. 보조 전원라인(VDDa)은 비아홀(70b,75b)에 의해 전원라인(VDD)과 접속되어 있다.

복수의 부화소들 중 일부의 부화소들은 보조 전원라인(VDDa)에 접속되어 있고, 다른 일부의 부화소들은 보조 전극라인(VSS)에 접속되어 있다. 이로써, 평면도상에서 복수의 부화소들은 메쉬(Mesh) 형태로 형성된다.

도 9에 도시된 실시예에서는, 각 행마다 보조 전원라인(VDDa) 및 보조 전극라인(VSS)이 교번적으로 형성되어 있다. 그러나, 전원라인(VDD)의 전압강하(IR drop)를 고려할 필요성이 크면 보조 전원라인(VDDa)의 개수를 늘릴 수 있고, 캐소드 전극의 전압강하(IR drop)를 고려할 필요성이 크면 보조 전극라인(VSS)의 개수를 늘림으로써, 적응적으로 설계 가능하다.

발명의 효과

상기한 바와 같이 본 발명에 따른 유기 전계 발광 표시장치와 그 제조 방법에 의하면, 보조 전원라인 및 보조 전극라인을 사용하여 전원 라인(VDD)의 전압 강하 및 캐소드 전극의 전압 강하를 동시에 방지할 수 있다.

그리고, 본 발명에 따르면, 전원 라인(VDD)의 전압 강하 및 캐소드 전극의 전압 강하를 방지하여 회도 및 화상 특성의 불균일을 방지하는 유기 전계 발광 표시장치를 제공할 수 있다.

또한, 보조 전원라인 및 보조 전극라인을 애노드 전극과 동시에 형성함으로써, 추가적인 마스크 공정 없이 전압 강하를 방지하는 버스 라인을 형성할 수 있다.

또한, 전원 라인 및 캐소드의 전압 강하를 방지함으로써, 소비 전력이 감소한 유기 전계 발광 표시장치를 제공할 수 있으며, 중대형의 유기 전계 발광 표시장치를 제공할 수 있다.

또한, 수명 및 신뢰성이 향상된 유기 전계 발광 표시장치를 제공할 수 있다.

위에서 설명한 바와 같이, 본 발명을 가장 바람직한 실시예를 기준으로 설명하였으나, 상기 실시예는 본 발명의 이해를 돋기 위한 것일 뿐이며, 본 발명의 내용이 그에 한정되는 것이 아니다. 본 발명의 구성에 대한 일부 구성요소의 부가, 삭제, 변경, 수정 등이 있더라도 첨부된 특허청구범위에 의하여 정의되는 본 발명의 기술적 사상에 속하는 한, 본 발명의 범위에 해당된다.

예를 들어, 도면에는 한 개의 TFT만이 도시되어 있으나 실제 평면 구조에서는 회로 설계에 따라 더 많은 TFT들이 배치될 수 있으며, 하부 전극을 애노드로서 설치하고 상부 전극을 캐소드로서 설치하였으나 그 위치를 반대로 하여 설계하는 것은 당업자가 용이하게 설계 변경할 수 있는 정도의 것이며 본 발명의 균등 범위에 속하는 것으로 이해하여야 한다.

(57) 청구의 범위

청구항 1.

박막 트랜지스터를 구비하는 절연 기판 상에 형성되고, 상기 박막 트랜지스터의 소스 및 드레인 전극과 동일층 상에 형성된 전원라인;

상기 박막 트랜지스터 상에 형성된 평탄화막의 위에 배치되고, 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 접속된 하부 전극;

상기 하부 전극과 동일층 상에 형성된 보조 전원라인 및 보조 전극라인;

상기 보조 전극라인 상에는 형성되지 않고, 상기 하부 전극의 애지부 상에 형성되어 상기 하부 전극의 일부분을 노출시키는 개구부가 형성된 화소 정의막;

상기 개구부 상에 형성된 유기막; 및

상기 절연 기판의 전면에 형성된 상부 전극을 포함하는 유기 전계 발광 표시장치.

청구항 2.

제 1 항에 있어서,

상기 보조 전원라인은 상기 전원라인과 전기적으로 접속된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 3.

제 2 항에 있어서,

상기 보조 전원라인과 상기 전원라인과의 사이에는 상기 평탄화막이 개재되며, 상기 보조 전원라인은 상기 평탄화막 내에 형성된 비아홀을 통해 상기 전원라인과 전기적으로 접속된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 4.

제 1 항에 있어서,

상기 보조 전극라인은 상기 상부 전극과 전기적으로 접속된 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 5.

제 4 항에 있어서,

상기 보조 전극라인은 상기 보조 전극라인의 측면을 통하여 상기 상부 전극과 전기적으로 접속되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 6.

제 4 항에 있어서,

상기 보조 전극라인은 상기 보조 전극라인의 측면과 상부면을 통하여 상기 상부 전극과 전기적으로 접속되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 7.

제 1 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극라인은 동일한 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 8.

제 7 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극라인은 상부 전극 물질보다 일함수가 큰 도전성의 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 9.

제 7 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극라인은 비저항이 낮으며 반사율이 우수한 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 10.

제 7 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극은 단일막 또는 다중막으로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 11.

제 7 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극라인은 Al-ITO, Mo-ITO, Ti-ITO 또는 Ag-ITO으로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 12.

제 7 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극은 상기 유기막에 비하여 두꺼운 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 13.

제 1 항에 있어서,

상기 유기 전계 발광 표시장치는 상기 박막 트랜지스터 및 전원라인을 가진 복수의 부화소들을 구비하며,

상기 복수의 부화소들 중 일부의 부화소들은 상기 보조 전원라인을 포함하고, 다른 일부의 부화소들은 상기 보조 전극라인을 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 14.

제 13 항에 있어서,

각각의 상기 보조 전원라인은 그 보조 전원라인의 속하는 부화소의 전원라인에 대해 교차되어 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 15.

제 13 항에 있어서,

각각의 상기 보조 전극라인은 그 보조 전극라인의 속하는 부화소의 전원라인에 대해 교차되어 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 16.

제 13 항에 있어서,

상기 복수의 부화소들의 상기 보조 전원라인들과 상기 보조 전극라인들은 서로 교번적으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 17.

박막 트랜지스터 및 상기 박막 트랜지스터의 소스 및 드레인 전극과 동일층 상에 형성된 전원라인을 구비하는 절연 기판 상에, 상기 박막 트랜지스터의 소스 또는 드레인 전극과 전기적으로 접속되는 하부 전극 및, 상기 하부 전극과 동일층에, 보조 전원라인 및 보조 전극라인을 형성하는 보조라인 형성단계;

상기 보조 전극라인 상에는 형성되지 않고, 상기 하부 전극의 에지부 상에 형성되어 하부 전극의 일부분을 노출시키는 개구부를 구비하는 화소 정의막을 형성하는 단계;

상기 개구부 상에 유기막을 형성하는 단계; 및

상기 절연 기판의 전면에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 보조라인 형성단계는,

박막 트랜지스터를 구비하는 절연 기판 상에 평탄화막을 형성하는 단계;

상기 평탄화막에, 상기 박막 트랜지스터의 소스 또는 드레인 전극이 노출되는 제 1 비아홀과, 전원라인이 노출되는 제 2 비아홀을 형성하는 단계; 및

상기 평탄화막 상에 소정의 도전성 물질을 도포한 후 패터닝하여, 상기 제 1 비아홀을 통해 상기 소스 또는 드레인 전극과 전기적으로 접속되도록 상기 하부 전극, 상기 제 2 비아홀을 통해 상기 전원라인과 전기적으로 접속되도록 보조 전원라인 및 상기 보조 전극라인을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 19.

제 18 항에 있어서,

상기 제 1 비아홀과 상기 제 2 비아홀은 동시에 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 20.

제 18 항에 있어서,

상기 평탄화막 상에 형성되는 상기 하부 전극, 상기 보조 전원라인 및 상기 보조 전극라인은 동일한 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 21.

제 18 항에 있어서,

상기 평탄화막 상에 형성되는 상기 하부 전극, 상기 보조 전원라인 및 상기 보조 전극라인은 상기 상부 전극보다도 일함수가 큰 도전성 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 22.

제 18 항에 있어서,

상기 평탄화막 상에 형성되는 상기 하부 전극, 상기 보조 전원라인 및 상기 보조 전극라인은 비저항이 낮으며 반사율이 우수한 물질로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 23.

제 18 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극은 단일막 또는 다중막으로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 24.

제 18 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극라인은 Al-ITO, Mo-ITO, Ti-ITO 또는 Ag-ITO으로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 25.

제 18 항에 있어서,

상기 하부 전극, 보조 전원라인 및 보조 전극은 상기 유기막에 비하여 충분히 두껍게 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 26.

제 17 항에 있어서,

상기 유기막은 상기 보조 전극라인의 측면에는 형성되지 않음으로써, 상기 보조 전극라인이 상기 상부 전극과 전기적으로 접속되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 27.

제 17 항에 있어서,

상기 유기막은 상기 보조 전극라인의 측면과 상부면에는 형성되지 않음으로써, 상기 보조 전극라인이 상기 상부 전극과 전기적으로 접속되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 28.

제 17 항에 있어서,

상기 유기 전계 발광 표시장치에는 상기 보조 라인 형성단계에 의해 보조 전원라인 또는 보조 전극라인을 가지는 복수의 부화소들이 형성되며,

상기 복수의 부화소들 중 일부의 부화소들에는 상기 보조 전원라인이 형성되고, 다른 일부의 부화소들에는 상기 보조 전극라인이 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 29.

제 17 항에 있어서,

각각의 상기 보조 전원라인은 그 보조 전원라인이 속하는 부화소의 전원라인에 대해 교차되어 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

청구항 30.

제 17 항에 있어서,

각각의 상기 보조 전극라인은 그 보조 전극라인이 속하는 부화소의 전원라인에 대해 교차되어 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

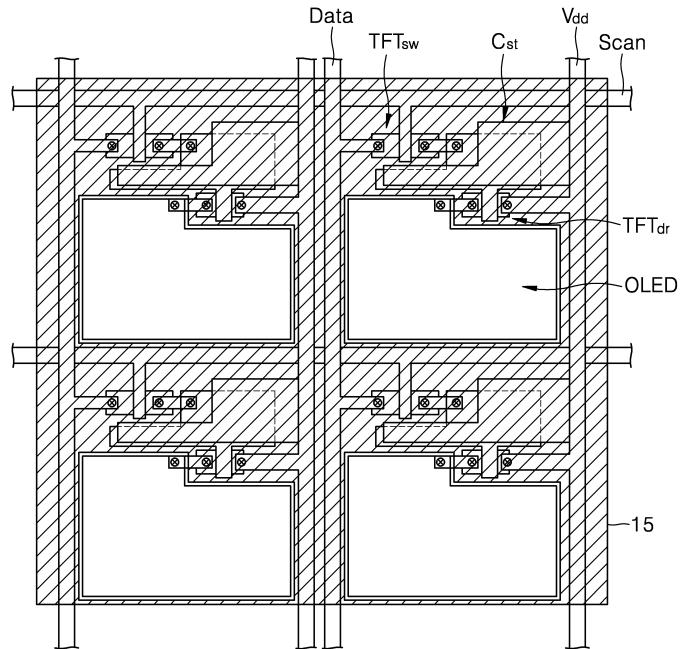
청구항 31.

제 17 항에 있어서,

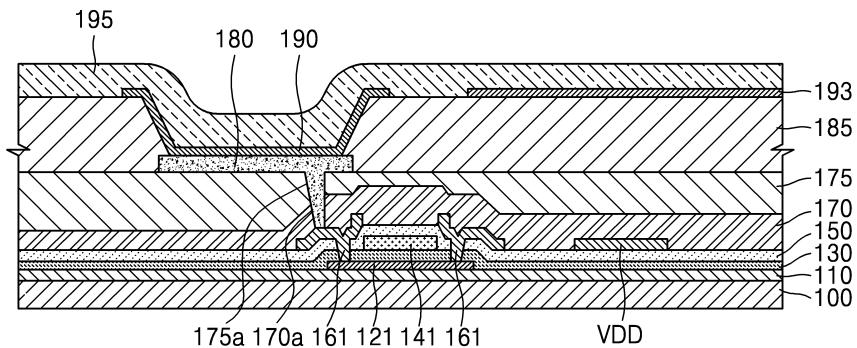
상기 복수의 부화소들의 상기 보조 전원라인들과 상기 보조 전극라인들은 서로 교번적으로 형성되는 것을 특징으로 하는 유기 전계 발광 표시장치의 제조 방법.

도면

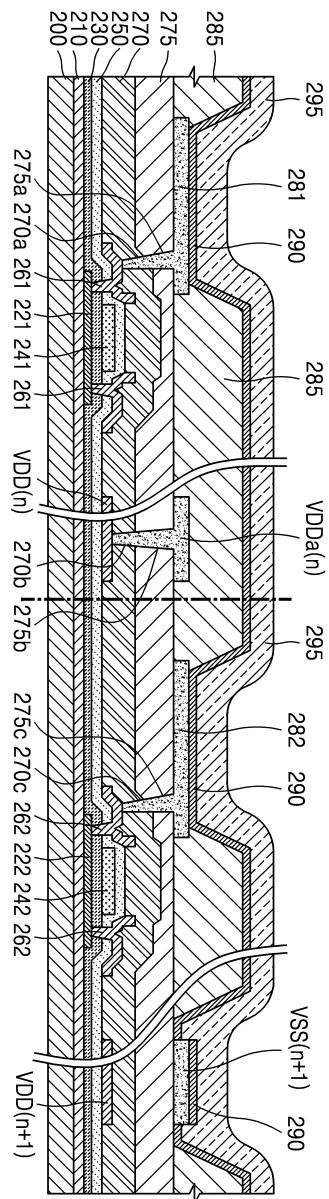
도면1



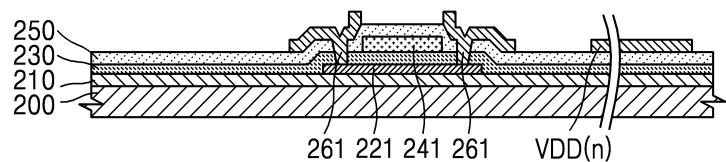
도면2



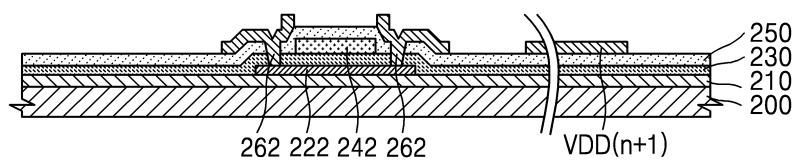
도면3



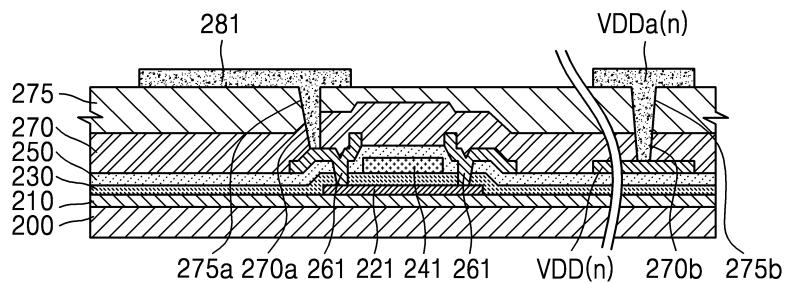
도면4a



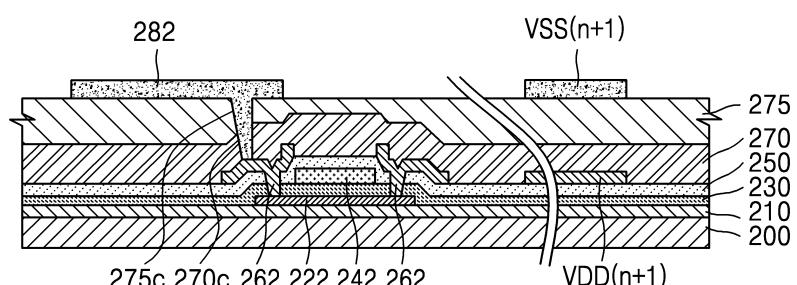
도면4b



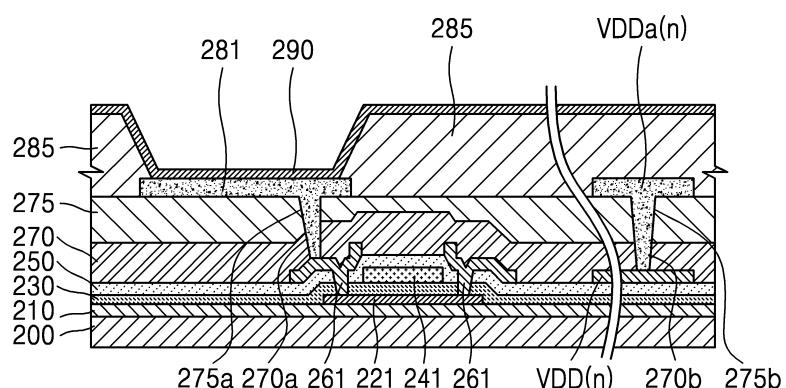
도면5a



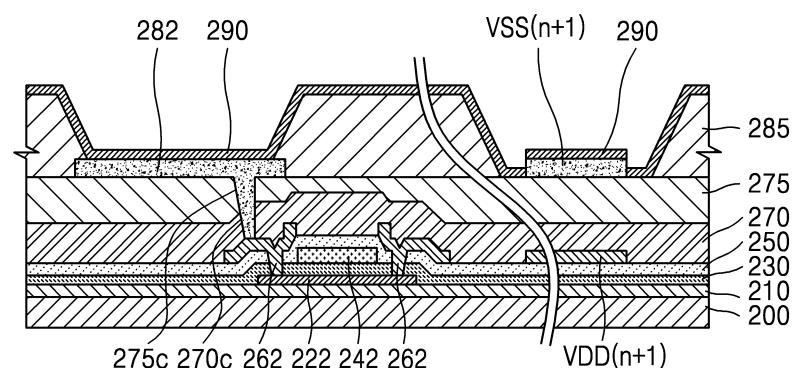
도면5b



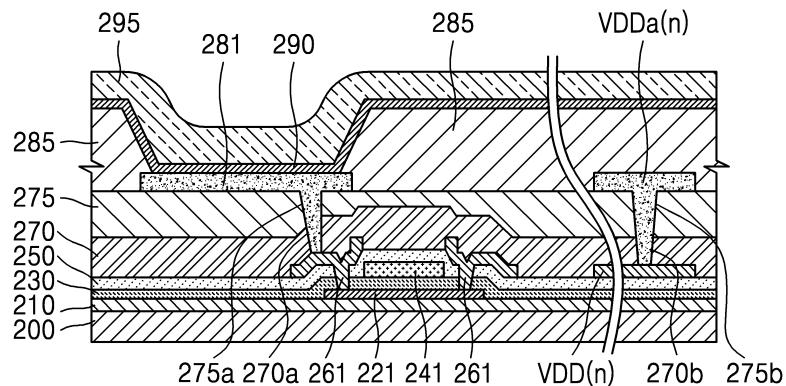
도면6a



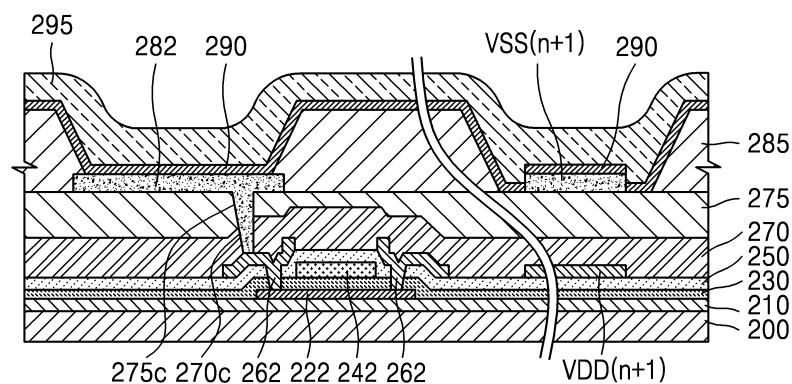
도면6b



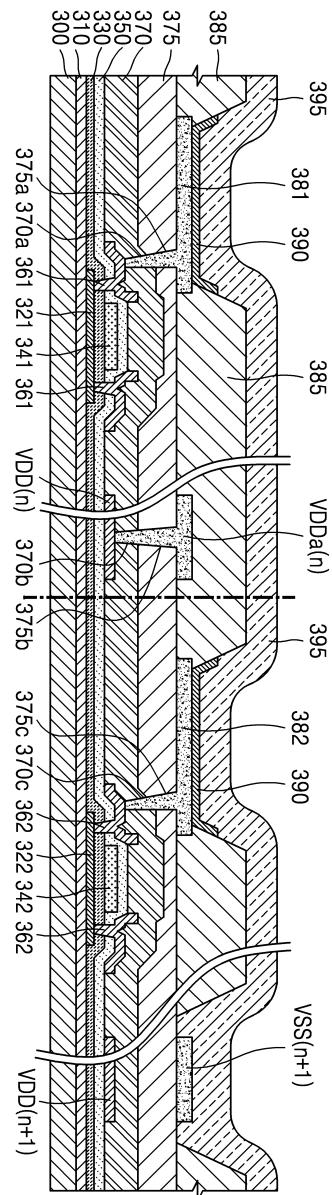
도면7a



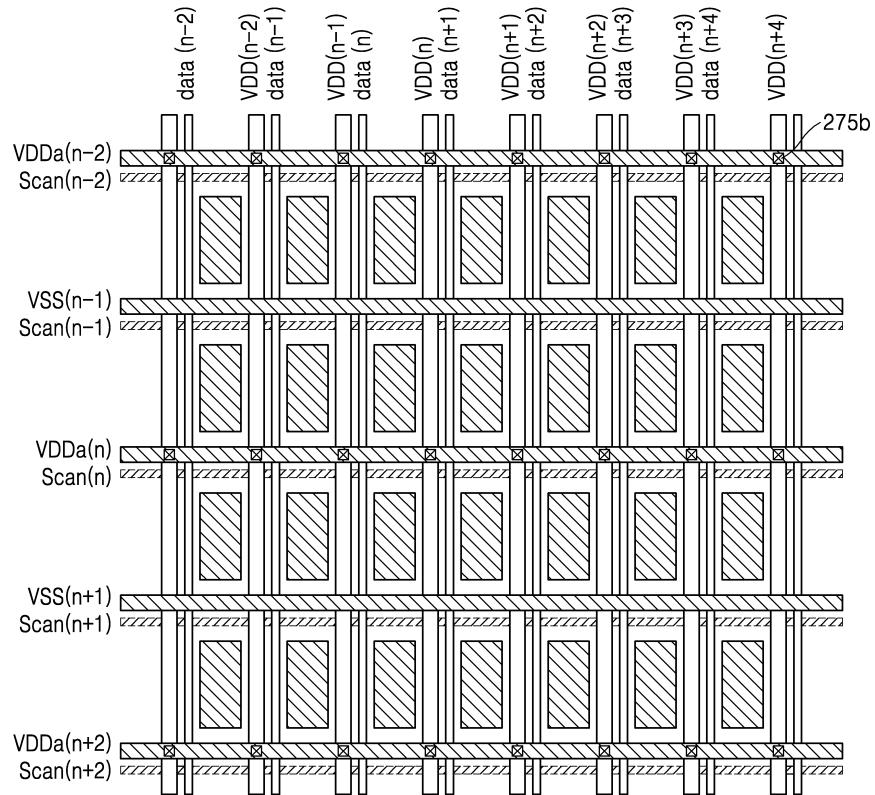
도면7b



도면8



도면9



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100573132B1	公开(公告)日	2006-04-24
申请号	KR1020040009842	申请日	2004-02-14
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KWAK WONKYU		
发明人	KWAK,WONKYU		
IPC分类号	H05B33/26 H05B33/10 G09F9/30 G09G3/32 H01L27/32 H01L51/50		
CPC分类号	H01L27/3276 H01L51/5234 H01L27/3279 H01L51/5228		
代理人(译)	李, 杨 HAE		
其他公开文献	KR1020050081540A		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机电致发光显示装置，其形成在绝缘基板上并包括形成在像素限定层的前侧的上电极：形成在开口部分上的有机层和形成有暴露一部分的开口部分的绝缘基板。本发明涉及有机电致发光显示装置的薄膜晶体管包括薄膜晶体管。

