



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0044657
(43) 공개일자 2012년05월08일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01)

(21) 출원번호 10-2010-0106075

(22) 출원일자 2010년10월28일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

한삼일

경기도 용인시 기흥구 삼성2로 95 (농서동)

가지현

충남 천안시 서북구 두정동 1849번지 505호

(74) 대리인

팬코리아특허법인

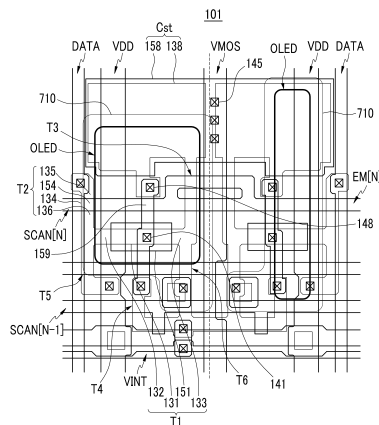
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 실시예에 따른 유기 발광 표시 장치는 스위칭 게이트 전극, 스위칭 액티브층, 스위칭 소스 전극, 및 스위칭 드레인 전극을 포함하는 스위칭 박막 트랜지스터와, 구동 게이트 전극, 구동 액티브층, 구동 소스 전극, 및 구동 드레인 전극을 포함하는 구동 박막 트랜지스터와, 제1 캐패시터 전극 및 제2 캐패시터 전극을 포함하는 캐패시터와, 상기 스위칭 박막 트랜지스터의 상기 스위칭 게이트 전극과 연결된 스캔 라인과, 상기 스캔 라인과 교차하며, 상기 스위칭 박막 트랜지스터의 상기 스위칭 소스 전극과 연결된 데이터 라인과, 상기 데이터 라인과 평행하며, 상기 구동 박막 트랜지스터의 상기 구동 소스 전극과 연결된 제1 전원 라인과, 상기 데이터 라인과 평행하게 이격되며, 상기 캐패시터의 상기 제2 캐패시터 전극과 연결된 제2 전원 라인, 그리고 상기 구동 박막 트랜지스터의 상기 구동 드레인 전극과 연결된 유기 발광 소자를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

스위칭 게이트 전극, 스위칭 액티브층, 스위칭 소스 전극, 및 스위칭 드레인 전극을 포함하는 스위칭 박막 트랜지스터;

구동 게이트 전극, 구동 액티브층, 구동 소스 전극, 및 구동 드레인 전극을 포함하는 구동 박막 트랜지스터;

제1 캐패시터 전극 및 제2 캐패시터 전극을 포함하는 캐패시터;

상기 스위칭 박막 트랜지스터의 상기 스위칭 게이트 전극과 연결된 스캔 라인;

상기 스캔 라인과 교차하며, 상기 스위칭 박막 트랜지스터의 상기 스위칭 소스 전극과 연결된 데이터 라인;

상기 데이터 라인과 평행하며, 상기 구동 박막 트랜지스터의 상기 구동 소스 전극과 연결된 제1 전원 라인;

상기 데이터 라인과 평행하게 이격되며, 상기 캐패시터의 상기 제2 캐패시터 전극과 연결된 제2 전원 라인; 및

상기 구동 박막 트랜지스터의 상기 구동 드레인 전극과 연결된 유기 발광 소자

를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제2 캐패시터 전극은 상기 제2 전원 라인의 일부와 중첩되고 상기 데이터 라인과 중첩되지 않는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 스위칭 박막 트랜지스터의 상기 스위칭 드레인 전극은 상기 구동 박막 트랜지스터의 상기 구동 소스 전극 및 상기 제1 전원 라인과 연결되며,

상기 구동 박막 트랜지스터의 상기 구동 게이트 전극은 상기 캐패시터의 상기 제1 캐패시터 전극과 연결된 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 스위칭 액티브층, 상기 구동 액티브층, 및 상기 제1 캐패시터 전극은 서로 동일한 층에 형성된 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 스위칭 소스 전극, 상기 스위칭 드레인 전극, 상기 구동 소스 전극, 및 상기 구동 드레인 전극은 상기 스위칭 액티브층과 서로 동일한 층에 형성되며, 다결정 규소를 사용하여 만들어진 유기 발광 표시 장치.

청구항 6

제4항에서,

상기 스위칭 게이트 전극, 상기 구동 게이트 전극, 상기 스캔 라인, 및 상기 제2 캐패시터 전극은 서로 동일한 층에 형성되며, 절연막을 사이에 두고 상기 스위칭 액티브층, 상기 구동 액티브층, 및 상기 제1 캐패시터 전극 상에 형성된 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 데이터 라인, 상기 제1 전원 라인, 및 상기 제2 전원 라인은 서로 동일한 층에 형성되며, 절연막을 사이에 두고 상기 스위칭 게이트 전극, 상기 구동 게이트 전극, 상기 스캔 라인, 및 상기 제2 캐패시터 전극 상에 형성된 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제2 캐패시터 전극과 상기 제2 전원 라인이 중첩된 영역에 형성된 접촉 구멍을 통해 상기 제2 캐패시터 전극과 상기 제2 전원 라인은 서로 연결된 유기 발광 표시 장치.

청구항 9

제1항 내지 제8항 중 어느 한 항에서,

복수의 추가 박막 트랜지스터들을 더 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 제어 라인을 더 포함하는 유기 발광 표시 장치.

청구항 11

제9항에서,

상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 추가의 스캔 라인을 더 포함하는 유기 발광 표시 장치.

청구항 12

제9항에서,

상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 내부 전압 라인을 더 포함하는 유기 발광 표시 장치.

명세서

기술분야

[0001] 본 발명의 실시예는 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 기생 용량의 발생을 억제한 유기 발광 표시 장치에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 각 화소마다 유기 발광 소자를 구동시키기 위하여 복수의 박막 트랜지스터들, 캐패시터, 스캔 라인, 데이터 라인, 및 하나 이상의 전원 라인 등을 포함한다.

[0003] 하지만, 캐패시터의 일 전극 또는 캐패시터의 일 전극과 연결된 전원 라인이 데이터 라인과 중첩되면, 불필요한 기생 용량(parasitic capacitance)이 발생하여 불량률의 원인이 되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는 데이터 라인과 캐패시터 사이에 불필요한 기생 용량의 발생을 방지한 유기 발광 표시 장치

를 제공한다.

과제의 해결 수단

- [0005] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 스위칭 게이트 전극, 스위칭 액티브층, 스위칭 소스 전극, 및 스위칭 드레인 전극을 포함하는 스위칭 박막 트랜지스터와, 구동 게이트 전극, 구동 액티브층, 구동 소스 전극, 및 구동 드레인 전극을 포함하는 구동 박막 트랜지스터와, 제1 캐패시터 전극 및 제2 캐패시터 전극을 포함하는 캐패시터와, 상기 스위칭 박막 트랜지스터의 상기 스위칭 게이트 전극과 연결된 스캔 라인과, 상기 스캔 라인과 교차하며, 상기 스위칭 박막 트랜지스터의 상기 스위칭 소스 전극과 연결된 데이터 라인과, 상기 데이터 라인과 평행하며, 상기 구동 박막 트랜지스터의 상기 구동 소스 전극과 연결된 제1 전원 라인과, 상기 데이터 라인과 평행하게 이격되며, 상기 캐패시터의 상기 제2 캐패시터 전극과 연결된 제2 전원 라인, 그리고 상기 구동 박막 트랜지스터의 상기 구동 드레인 전극과 연결된 유기 발광 소자를 포함한다.
- [0006] 상기 제2 캐패시터 전극은 상기 제2 전원 라인의 일부와 중첩되고 상기 데이터 라인과 중첩되지 않을 수 있다.
- [0007] 상기 스위칭 박막 트랜지스터의 상기 스위칭 드레인 전극은 상기 구동 박막 트랜지스터의 상기 구동 소스 전극 및 상기 제1 전원 라인과 연결될 수 있다. 그리고 상기 구동 박막 트랜지스터의 상기 구동 게이트 전극은 상기 캐패시터의 상기 제1 캐패시터 전극과 연결될 수 있다.
- [0008] 상기 스위칭 액티브층, 상기 구동 액티브층, 및 상기 제1 캐패시터 전극은 서로 동일한 층에 형성될 수 있다.
- [0009] 상기 스위칭 소스 전극, 상기 스위칭 드레인 전극, 상기 구동 소스 전극, 및 상기 구동 드레인 전극은 상기 스위칭 액티브층과 서로 동일한 층에 형성되며, 다결정 규소를 사용하여 만들어질 수 있다.
- [0010] 상기 스위칭 게이트 전극, 상기 구동 게이트 전극, 상기 스캔 라인, 및 상기 제2 캐패시터 전극은 서로 동일한 층에 형성되며, 절연막을 사이에 두고 상기 스위칭 액티브층, 상기 구동 액티브층, 및 상기 제1 캐패시터 전극 상에 형성될 수 있다.
- [0011] 상기 데이터 라인, 상기 제1 전원 라인, 및 상기 제2 전원 라인은 서로 동일한 층에 형성되며, 절연막을 사이에 두고 상기 스위칭 게이트 전극, 상기 구동 게이트 전극, 상기 스캔 라인, 및 상기 제2 캐패시터 전극 상에 형성될 수 있다.
- [0012] 상기 제2 캐패시터 전극과 상기 제2 전원 라인이 중첩된 영역에 형성된 접촉 구멍을 통해 상기 제2 캐패시터 전극과 상기 제2 전원 라인은 서로 연결될 수 있다.
- [0013] 상기한 유기 발광 표시 장치는 복수의 추가 박막 트랜지스터들을 더 포함할 수 있다.
- [0014] 상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 제어 라인을 더 포함할 수 있다.
- [0015] 상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 추가의 스캔 라인을 더 포함할 수 있다.
- [0016] 상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 내부 전압 라인을 더 포함할 수 있다.

발명의 효과

- [0017] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 데이터 라인과 캐패시터 사이에 불필요한 기생 용량의 발생을 방지할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 배치도이다.
- 도 2는 도 1의 화소 등가 회로도이다.
- 도 3 내지 도 5는 유기 발광 표시 장치의 적층 순서별 레이아웃(layout)을 나타낸 배치도들이다.

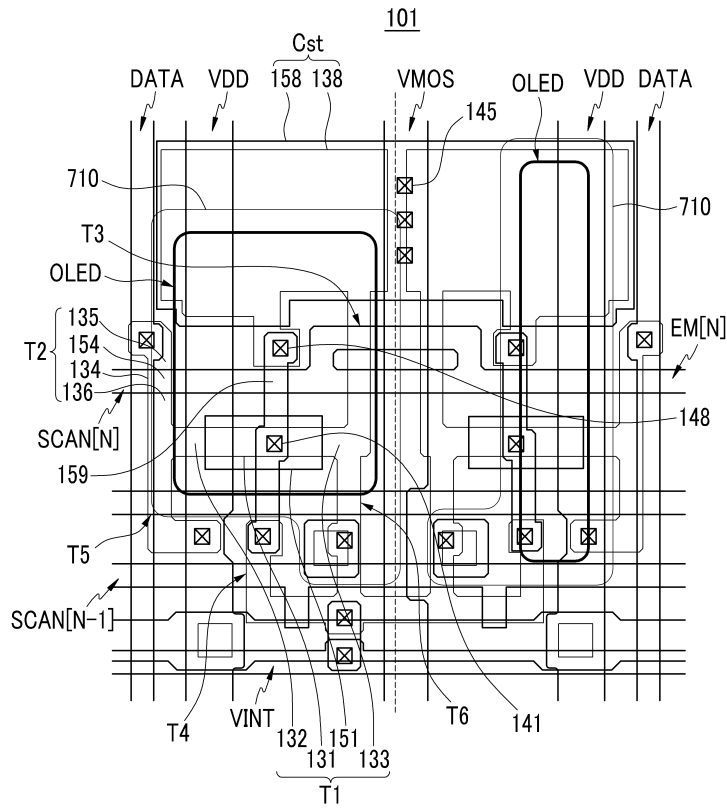
발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0020] 또한, 명세서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0021] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0022] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0023] 이하, 도 1 및 도 2를 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)를 설명한다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)가 갖는 화소의 배치를 나타낸다. 여기서, 하나의 화소는 유기 발광 표시 장치(101)가 화상을 표시하는 최소 단위를 말한다. 도 1에는 대체로 서로 대향된 구조를 갖는 한 쌍의 화소들이 도시되었다. 도 1에서 점선은 한 쌍의 화소들 간의 경계를 나타낸다. 도 2는 도 1의 일 화소의 등가 회로를 나타낸다.
- [0025] 도 1 및 도 2에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 각 화소마다 형성된 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 캐패시터(Cst), 스캔 라인(SCAN[N]), 데이터 라인(DATA), 제1 전원 라인(VDD), 제2 전원 라인(VMOS), 및 유기 발광 소자(OLED)를 포함한다.
- [0026] 구동 박막 트랜지스터(T1)는 구동 게이트 전극(151), 구동 액티브층(131), 구동 소스 전극(132), 및 구동 드레인 전극(133)을 포함한다. 스위칭 박막 트랜지스터(T2)는 스위칭 게이트 전극(154), 스위칭 액티브층(134), 스위칭 소스 전극(135), 및 스위칭 드레인 전극(136)을 포함한다. 캐패시터(Cst)는 제1 캐패시터 전극(138) 및 제2 캐패시터 전극(158)을 포함한다.
- [0027] 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(154)은 스캔 라인(SCAN[N])과 연결된다. 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(135)은 데이터 라인(DATA)과 연결된다. 스캔 라인(SCAN[N])과 데이터 라인(DATA)은 서로 교차하는 방향으로 형성된다. 스위칭 박막 트랜지스터(T2)의 스위칭 드레인 전극(136)은 구동 박막 트랜지스터(T1)의 구동 소스 전극(132) 및 제1 전원 라인(VDD)과 연결된다. 따라서, 구동 박막 트랜지스터(T1)의 구동 소스 전극(132)은 제1 전원 라인(VDD)과 연결된다. 구동 박막 트랜지스터(T1)의 구동 게이트 전극(151)은 캐패시터(Cst)의 제1 캐패시터 전극(138)과 연결된다. 그리고 캐패시터(Cst)의 제2 캐패시터 전극(158)은 제2 전원 라인(VMOS)과 연결된다. 제1 전원 라인(VDD) 및 제2 전원 라인(VMOS)은 각각 데이터 라인(DATA)과 평행하게 형성된다. 구동 박막 트랜지스터(T1)의 구동 드레인 전극(133)은 유기 발광 소자(OLED)와 연결된다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 전달받은 신호에 따라 발광된다.
- [0028] 본 발명의 일 실시예에서, 데이터 라인(DATA)과 제2 전원 라인(VMOS)은 평행하게 형성되며, 서로 겹치지 않는다. 또한, 제2 전원 라인(VMOS)과 연결된 제2 캐패시터 전극(158)을 포함하는 캐패시터(Cst)도 데이터 라인(DATA)과 겹치지 않는다.
- [0029] 따라서, 본 발명의 일 실시예에 따르면, 데이터 라인(DATA)과 캐패시터(Cst)의 제1 캐패시터 전극(138) 또는 제1 캐패시터 전극(138)과 연결된 제2 전원 라인(VMOS) 사이에서 불필요한 기생 용량(parasitic capacitance)이 발생하는 것을 방지할 수 있다.
- [0030] 한편, 전술한 구성들이 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)에서 필수적인 구성들이다. 하지만, 본 발명의 일 실시예가 전술한 바에 한정되는 것은 아니다. 따라서, 유기 발광 표시 장치(101)는 복수의 추가 박막 트랜지스터들(T3, T4, T5, T6), 제어 라인(EN[N]), 내부 전압 라인(VINT), 및 추가의 스캔 라인(SCAN[N-1]) 등을 더 포함할 수 있다.
- [0031] 제어 라인(EN[N]), 내부 전압 라인(VINT), 추가의 스캔 라인(SCAN[N-1]) 등은 각각 복수의 추가 박막 트랜지스터들(T3, T4, T5, T6) 중 일부와 연결되며, 스캔 라인(SCAN[N])과 평행하게 형성된다.
- [0032] 또한, 유기 발광 표시 장치(101)는 유기 발광 소자(OLED)가 형성되는 층을 제외하고 크게 3개의 도전막 패턴이 적층된 구조를 갖는다.
- [0033] 이하, 도 3 내지 도 5를 참조하여 유기 발광 표시 장치(101)를 적층 순서별로 구분하여 상세히 설명한다.

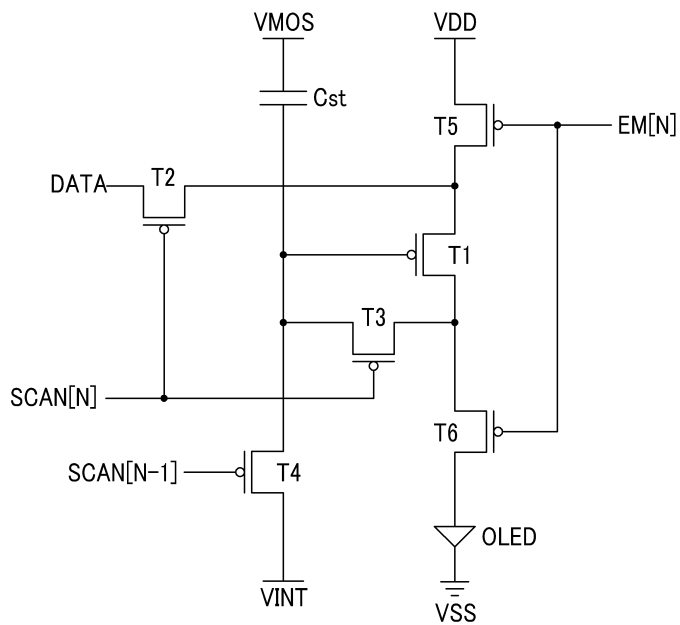
- [0034] 도 3에 도시한 바와 같이, 구동 액티브층(131), 스위칭 액티브층(134), 및 제1 캐패시터 전극(138)이 형성된다. 즉, 구동 액티브층(131), 스위칭 액티브층(134), 및 제1 캐패시터 전극(138)은 동일한 층에 동일한 소재를 사용하여 형성된다. 또한, 본 발명의 일 실시예에서는, 구동 소스 전극(132), 구동 드레인 전극(133), 스위칭 소스 전극(135), 스위칭 드레인 전극(136)도 구동 액티브층(131), 스위칭 액티브층(134), 및 제1 캐패시터 전극(138)과 서로 동일한 층에 동일한 소재를 사용하여 형성된다. 이하, 구동 액티브층(131), 구동 소스 전극(132), 구동 드레인 전극(133), 스위칭 액티브층(134), 스위칭 소스 전극(135), 스위칭 드레인 전극(136), 및 제1 캐패시터 전극(138)을 반도체층 패턴이라 한다.
- [0035] 반도체층 패턴은 다결정 규소막을 패터닝하여 만들어진다. 그런데 반도체층 패턴 중에서, 구동 소스 전극(132), 구동 드레인 전극(133), 스위칭 소스 전극(135), 스위칭 드레인 전극(136)에는 불순물이 도핑되며, 이들은 도체가 된다. 이때, 구동 액티브층(131) 및 스위칭 액티브층(134) 위에 각각 형성된 구동 게이트 전극(151) 및 스위칭 게이트 전극(154)은 구동 액티브층(131) 및 스위칭 액티브층(134)에 불순물이 도핑되어 도체가 되는 것을 방지한다.
- [0036] 불순물은 알루미늄, 붕소, 갈륨, 및 인듐 등의 원소를 포함하는 P형 불순물일 수 있다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 경우에 따라 N형 불순물이 도핑될 수도 있다.
- [0037] 도 4에 도시한 바와 같이, 반도체층 패턴 상에는 절연막을 사이에 두고 구동 게이트 전극(151), 스위칭 게이트 전극(154), 스캔 라인(SCAN[N]), 및 제2 캐패시터 전극(158)이 형성된다. 즉, 구동 게이트 전극(151), 스위칭 게이트 전극(154), 스캔 라인(SCAN[N]), 및 제2 캐패시터 전극(158)은 동일한 층에 동일한 소재를 사용하여 형성된다. 이하, 구동 게이트 전극(151), 스위칭 게이트 전극(154), 스캔 라인(SCAN[N]), 및 제2 캐패시터 전극(158)은 게이트 배선이라 한다. 또한, 게이트 배선은 제어 라인(EN[N]), 내부 전압 라인(VINT), 추가의 스캔 라인(SCAN[N-1]) 등을 더 포함할 수 있다. 게이트 배선은 금속막을 패터닝하여 만들어진다.
- [0038] 금속막은 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텅스텐(W) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하여 형성된다.
- [0039] 절연막은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소(SiNx), 및 산화규소(SiO₂) 등과 같은 무기막 또는 다양한 유기막을 포함하는 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질 중 하나 이상을 포함하여 형성된다.
- [0040] 구동 게이트 전극(151)은 구동 액티브층(131)과 중첩되고, 스위칭 게이트 전극(154)은 스위칭 액티브층(134)과 중첩된다. 그리고 제2 캐패시터 전극(158)은 제1 캐패시터 전극(138)과 중첩된다. 제2 캐패시터 전극(158)과 제1 캐패시터 전극(138) 사이의 절연막은 유전체가 된다.
- [0041] 도 5에 도시한 바와 같이, 게이트 배선 상에는 절연막을 사이에 두고 데이터 라인(DATA), 제1 전원 라인(VDD), 및 제2 전원 라인(VMOS)이 형성된다. 즉, 데이터 라인(DATA), 제1 전원 라인(VDD), 및 제2 전원 라인(VMOS)은 동일한 층에 동일한 소재를 사용하여 형성된다. 이하, 데이터 라인(DATA), 제1 전원 라인(VDD), 및 제2 전원 라인(VMOS)은 데이터 배선이라 한다. 또한, 데이터 배선은 제1 캐패시터 전극(138)과 구동 게이트 전극(151)을 연결하는 연결 라인(159) 등을 더 포함할 수 있다. 데이터 배선도 금속막을 패터닝하여 만들어진다.
- [0042] 제2 전원 라인(VMOS)의 일부는 제2 캐패시터 전극(158)과 중첩된다. 제2 전원 라인(VMOS)과 데이터 라인(DATA)은 서로 이격되며, 데이터 라인(DATA)은 제2 캐패시터 전극(158)과 중첩되지 않는다. 제2 전원 라인(VMOS)과 제2 캐패시터 전극(158)이 중첩된 영역에는 접촉 구멍(145)이 형성된다. 이 접촉 구멍(145)을 통해 제2 전원 라인(VMOS)과 제2 캐패시터 전극(158)은 서로 연결된다. 또한, 연결 라인(159)이 제1 캐패시터 전극(138) 및 구동 게이트 전극(151)과 각각 연결되기 위한 접촉 구멍들(141, 148)도 형성된다. 이러한 접촉 구멍들(141, 145, 148)은 데이터 배선이 형성되기 전에 먼저 형성된다.
- [0043] 앞서, 도 1에 도시한 바와 같이, 데이터 배선 위에는 유기 발광 소자(OLED)가 형성된다. 유기 발광 소자(OLED)의 일 전극(710)은 구동 드레인 전극(133)과 연결된다.
- [0044] 유기 발광 소자(OLED)의 일 전극(710)은 투명 도전막으로 형성되며, 유기 발광 표시 장치(101)는 유기 발광 소자(OLED)의 일 전극(710)과 동일한 층에 동일한 소재로 형성된 기타 배선을 더 포함할 수 있다.
- [0045] 투명 도전막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZITO (Zinc Indium Tin Oxide), GITO(Gallium Indium Tin Oxide), In₂O₃(Indium Oxide), ZnO(Zinc Oxide), GIZO(Gallium Indium Zinc Oxide),

도면

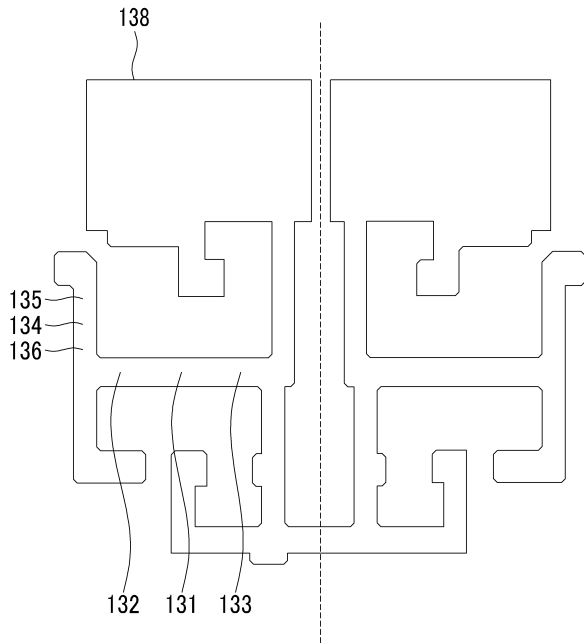
도면1



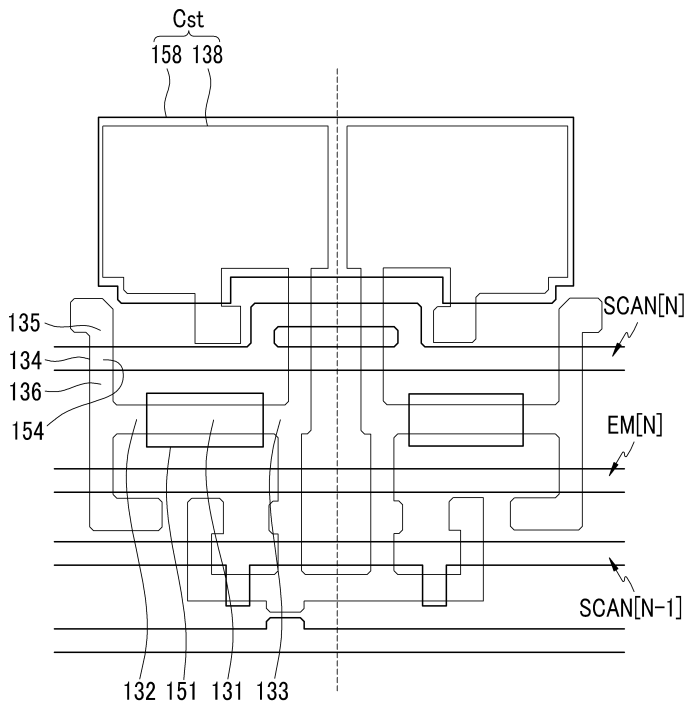
도면2



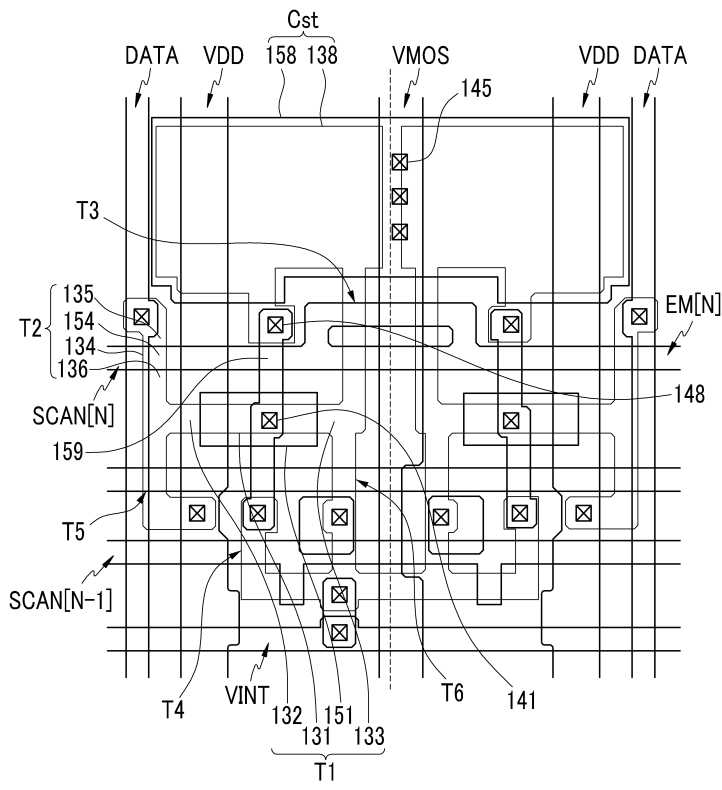
도면3



도면4



도면5



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020120044657A	公开(公告)日	2012-05-08
申请号	KR1020100106075	申请日	2010-10-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HAN SAM IL 한삼일 KA JIHYUN 가지현		
发明人	한삼일 가지현		
IPC分类号	H01L51/52		
CPC分类号	G09G3/325 H01L27/3276 H01L27/3288 G09G2300/0861 G09G2310/0262		
其他公开文献	KR101739526B1		
外部链接	Espacenet		

摘要(译)

根据本发明，开关栅电极，所述开关有源层，开关源电极，以及用于开关漏电极，驱动栅电极，和驱动有源层，驱动源电极的开关薄膜晶体管的一个示例性实施例的有机发光显示器，以及驱动一种电容器，包括第一电容器电极和第二电容器电极；扫描线，连接到开关薄膜晶体管的开关栅电极；扫描线，与扫描线交叉；开关源电极和连接到所述晶体管的数据线，以及与所述数据线，其中，所述驱动器是平行于连接到源电极的间隔开的第一电源线，和所述驱动薄膜晶体管的数据线平行，其中所述电容器连接到两个电容器电极的第二电源线，和有机发光元件连接到所述驱动薄膜晶体管的驱动漏电极。

